

論文97-34D-1-5

## 클럭-피드쓰루를 개선한 새로운 전류 기억 소자

## (New Current Memory Cell with Clock-feedthrough Reduction Scheme)

関丙茂\*, 金栽完\*, 金壽遠\*

(Byung Moo Min, Jae Wan Kim, and Soo Won Kim)

## 요 약

본 논문에서는 전류 스위칭 시스템에 사용할 수 있는 개선된 클럭-피드쓰루 보상 회로를 제안 하였다. 제안된 회로는 NMOS 전류거울과 PMOS 전류거울을 동시에 사용하고, 전류원 복사 기술을 이용함으로써 클럭-피드쓰루의 신호 의존 성분과 비 신호 의존 성분을 동시에 제거할 수 있다. 0.6 $\mu$ m 표준 CMOS 공정을 이용하여 제작된 회로의 측정 및 이론적인 해석의 결과 제안된 회로가 기존의 회로보다 개선된 클럭-피드쓰루 특성을 보였다.

## Abstract

An improved clock-feedthrough compensation scheme for switched current system is proposed. Both the signal dependent and the constant clock-feedthrough terms are cancelled by using both NMOS and PMOS current samplers and by adopting a source replication technique. The proposed current memory cell was fabricated with 0.6 $\mu$ m CMOS process. Both experimental and theoretical results on clock-feedthrough error reveal substantial reduction over the existing compensation schemes.

## I. 서론

CMOS 아날로그 샘플드 데이터 시스템을 구현하는 실제적인 방법으로 스위치드 전류(switched-current, SI) 기술이 연구되어왔다<sup>[1]</sup>. 그러나 다양한 응용 분야에 대하여 클럭-피드쓰루(clock-feedthrough, CFT) 문제가 주요 제한 조건으로 대두되고 있다<sup>[2]</sup>. MOS 트랜지스터의 제곱 특성(square-law characteristics)에 의해 게이트의 CFT 오차 전압은 출력 전류에 비신호 의존적인 일정한 오차와 신호에 유관한 오차를 만들어낸다. 현재까지 CFT 오차를 최소화하기 위해 몇 가지 회로가 제안되었다<sup>[3,4]</sup>. 그러나 대부분 CFT

오차 성분중 신호에 무관한 부분만 또는 신호에 유관한 부분만 중점적으로 개선을 한 것들이었다. 최근에는 두 성분을 모두 제거할 수 있는 SI 메모리 셀들이 제안되었으나, 회로가 복잡하고 CFT 성분을 제거하는데 필요한 적절한 전류비를 얻기 위해서는 복잡한 소자 매칭이 필요하다<sup>[5,6]</sup>. 본 논문에서는 복잡한 매칭 없이 CFT 오차의 두가지 성분을 모두 제거할 수 있는 새로운 1세대 전류 메모리 셀을 제안하였다.

## II. CFT 해석

SI 메모리 셀에서 첫번째 CFT 오차는 게이트-확산 오버랩 커패시턴스를 통한 클럭 신호의 커패시티브 커플링(capacitive coupling)에 의한 것이다. 두번째는 스위치 트랜지스터 채널에 축적된 전하가 채널로부터 메모리 트랜지스터 게이트로 흐르는 전하 이동에

\* 正會員, 高麗大學校 電子工學科 ASIC 研究室  
(ASIC Lab., Dept. of Electronics Eng., Korea Univ.)

接受日字:1996年11月7日, 수정완료일:1997年1月14日

의한 것이다. 이때 전하에 의해 발생하는 오차 전압  $\delta V$ 은 메모리 트랜지스터의 게이트에 더해지며 출력 전류에 CFT 오차를 유발시킨다.

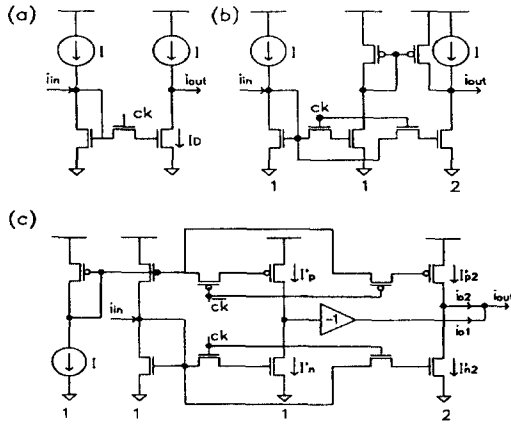


그림 1. SI 전류 기억소자들  
 (a) 기본 회로 (b) 기존의 회로 (c) 제안된 회로  
 Fig. 1. SI memory cells.  
 (a) basic (b) conventional (c) proposed

채널 길이 변조 효과(channel length modulation effect)를 무시하고 그림 1(a)의 메모리 트랜지스터의 드레인 전류  $I_D$ 의 대신호 수식을 사용하면 CFT 오차 전류  $\delta I$ 는 다음과 같이 주어진다.

$$\begin{aligned}
 I_D &= K(\delta V + V_{gs} - V_T)^2 \\
 &= K(\delta V + \sqrt{\frac{I + i_m}{K}})^2 \\
 \delta I &= I_D - (I + i_m) \\
 &= K(\delta V^2 + 2\delta V \sqrt{\frac{I + i_m}{K}}), \quad K = \frac{K'W}{2L}
 \end{aligned}
 \tag{1}$$

여기서  $I$ 는 바이어스 전류이고  $i_m$ 는 입력 신호 전류이다.

Taylor series에 의해,  $I > i_m$ 라고 가정하여  $\delta I$ 를 직류와 교류 성분으로 분리하면 다음과 같이 된다.

$$\begin{aligned}
 \delta I_{DC} &= K \delta V^2 + 2\delta V \sqrt{KI} \\
 \delta I_{AC} &= 2\delta V \sqrt{KI} \left( \frac{1}{2} \left( \frac{i_m}{I} \right) - \frac{1}{8} \left( \frac{i_m}{I} \right)^2 + \frac{1}{16} \left( \frac{i_m}{I} \right)^3 - \dots \right)
 \end{aligned}
 \tag{2}$$

직류 성분  $\delta I_{DC}$ 는 출력신호에 오프셋(offset)을 형성하고 반면에 교류 성분  $\delta I_{AC}$ 는 입력 신호  $i_m$ 의 비선형 함수로 고조파 신호(harmonics)들을 유발한다.

CFT 문제를 해결하기 위해 다음과 같은 기본적인 방법들이 있다. 그림 1(a)의 회로에서는 스위치 트랜

지스터와 전류기억 트랜지스터간의 면적비를 아주 작게 함으로써 CFT에 의해서 발생하는 오차전압을 줄이는 방법이 있다. 그러나 이러한 방법은 회로의 동작속도를 현저히 낮추는 단점이 있다. 아날로그 회로에서는 settling time을 만족시키지 않으면 시스템의 선형성이 나빠지는 문제점이 있다. 다른 방법은 SC회로에서 많이 쓰이는 dummy 스위치 트랜지스터를 함께 사용하는 방법으로 역위상의 클럭을 각각의 스위치 트랜지스터에 인가함으로써 반대의 부호를 갖는 CFT 오차전압을 발생시켜 서로 상쇄시키는 방법이다. 그러나, 이 방법은 정확한 시간을 갖는 역위상의 클럭이 있어야 한다는 단점이 있다. 따라서 이러한 기본적인 방법들 이외에 회로적인 개선방법이 제안되어 왔다. 그림 1(b)의 회로는 회로적인 CFT 개선방법의 하나로 전류원 복사 기술(current source replication technique)을 사용한 방법이다. 즉, 첫 번째 전류 기억소자와 두 번째 전류 기억소자의 면적비가 1대2가 되도록 하고 첫 번째 전류 메모리의 출력이 PMOS 거울에 의해 극성이 반전되어 두 번째 전류 메모리 출력에 더해짐으로써 출력 노드에서의 CFT 오차 전류를 줄일 수 있는 회로이다. 그러나 그림 1(b)의 회로는 CFT 오차전류가 완전히 제거되지 않으므로 이를 상쇄하기 위해서는 스위치 트랜지스터보다 메모리 트랜지스터의 면적을 훨씬 크게 해야 하는 단점이 있다<sup>[3]</sup>.

### III. 제안된 SI 메모리 셀

그림 1(c)는 본 논문에 제안된 회로로서 기본원리는 다음과 같다. 기본적인 메모리 셀에서 CFT 오차를 제거하기 위해서 두 개의 기본적인 NMOS 전류 기억소자에 두 개의 PMOS 전류 기억소자를 추가하였다. 그리고 이 소자들은 반대 위상의 클럭 신호를 필요로 하도록 연결되었다. 두 개의 전류 기억소자들의 출력 전류  $i_{o1}$ 와  $i_{o2}$ 는 그림 1(c)에서와 같이 출력단에서 합하여진다. 그러나 첫 번째 출력 전류의 극성은 기본적인 전류 거울로 구현될 수 있는 전류 인버터에 의해 반전되고 두 번째 출력은 첫 번째 출력의 두 배의 이득을 갖도록 설계된다. 결국 각각의 전류 기억소자들의 출력 전류  $i_{o1}$ 와  $i_{o2}$ 에 포함된 CFT 오차 전류  $\delta I_1$ 와  $\delta I_2$ 를 다음과 같이 구할 수 있다.

첫 번째 전류 거울의 드레인 전류  $I_n'$ 와  $I_p'w$ 는

$$I_n = K_n (\delta V_n + \sqrt{\frac{I_n}{K_n}})^2$$

$$I_p = K_p (\delta V_p - \sqrt{\frac{I_p}{K_p}})^2 \quad (3)$$

이다. 여기서  $\delta V_p$ 와  $\delta V_n$ 는 각각 PMOS, NMOS 전류 기억소자의 CFT 오차 전압이고  $I$ 는 바이어스 전류이다. 또한,  $I_n = I + i_m$ 의 관계를 갖는다. 따라서, 각각의 전류 기억소자의 CFT 오차 전류는 다음과 같다.

$$\delta I_1 = (I_n - I_p) - (I_n - I)$$

$$= K_n (\delta V_n^2 + 2\delta V_n \sqrt{\frac{I_n}{K_n}}) - K_p (\delta V_p^2 - 2\delta V_p \sqrt{\frac{I_p}{K_p}})$$

$$\delta I_2 = (I_n - I_p) - 2(I_n - I)$$

$$= 2K_n (\delta V_n^2 + 2\delta V_n \sqrt{\frac{I_n}{K_n}}) - 2K_p (\delta V_p^2 - 2\delta V_p \sqrt{\frac{I_p}{K_p}}) \quad (4)$$

또한 오차 전압은 게이트 커패시턴스와 CFT에 의해 유도된 전하에 관계가 있고, 첫 번째 전류 기억소자의 게이트-소스 커패시턴스를  $C_K$ 라고하고, 두 번째 전류 기억소자의 게이트-소스 커패시턴스를  $C_K'$ 이라고하면, 첫 번째와 두 번째의 면적비가 1대2이고, 각각의 스위치 트랜지스터에서 발생하는 CFT 전하의 크기는 동일하다고 가정할 수 있으므로, 각각의 CFT 오차전압은 다음과 같이  $\delta V = \frac{Q_{CFT}}{C_K} = \frac{Q_{CFT}}{2C_K} \approx \frac{1}{2} \delta V$ 의 관계로 주어진다. 결국, 출력 노드에서 얻어 지는 CFT 오차 전류는 아래와 같이 주어진다.

$$\delta I = \delta I_2 - \delta I_1$$

$$= \frac{1}{2} (K_p \delta V_p^2 - K_n \delta V_n^2) \quad (5)$$

식 (2)와 (5)의 오차 전류를 비교해 보면, CFT 오차 전류에 의해 발생하는 출력 오차 전류는 제안된 회로에 의해 상당히 감소된다. 신호에 유관한 CFT 오차는 완전히 사라졌고 식 (5)의 직류 성분도 NMOS와 PMOS 트랜지스터의 적 절한 면적 조정에 의해 CFT 오차 전류의 차이를 최소화할 수 있다. 식 (5)의 남은 CFT 오차 전류는 작은 오프셋 오차로 근사화할 수 있으며, 이 오차는 적 분기, 미분기, 지연 소자등에서와 같은 메모리 셀 쌍(pair)을 적용한 회로에서 첫번째 셀의 작은 오프셋은 두 번째 셀에 의해 거의 제거될 수 있으므로 중요 하지 않다.

IV. 실험 결과

CFT 영향을 제거하기 위해 제안된 기술의 효율성을

증명하기 위해 그림 1(c)의 제안된 회로와 그림 1(b)의 기존 회로를 비교하였다. 스위치 트랜지스터의 크기는 도그-본(dog-bone) 형태의 레이아웃과 short channel 효과를 피하기 위해 3/3  $\mu m$ 으로 하였다. 그리고 전류 메모리 트랜지스터는 CFT 제거 성능을 최악의 조건에서 비교하기 위해 면적비의 비율이 1이 되도록 스위치 트랜지스터의 크기와 동일한 3/3  $\mu m$ 으로 하였으며 바이어스 전류는 100  $\mu A$ 로 고정되었다. 또한 PMOS 트랜지스터들의 크기는 NMOS에대한 PMOS 트랜스 컨덕턴스 파라미터의 비율인 3배의 크기로 설계하였다. 실험할 때 10kHz, 20  $\mu A$ 의 입력과 250 kHz, 5V의 클럭이 사용되었다.

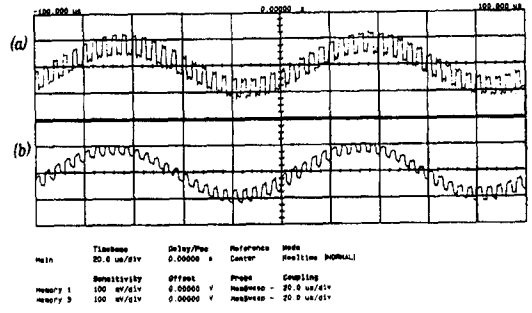


그림 2. 전류 기억소자의 출력 신호  
(a) 기존의 회로 (b) 제안된 회로  
Fig. 2. Output characteristics of the memory cells for 10 kHz, 20  $\mu A$  (fc=250 kHz).  
(a) conventional (b) proposed

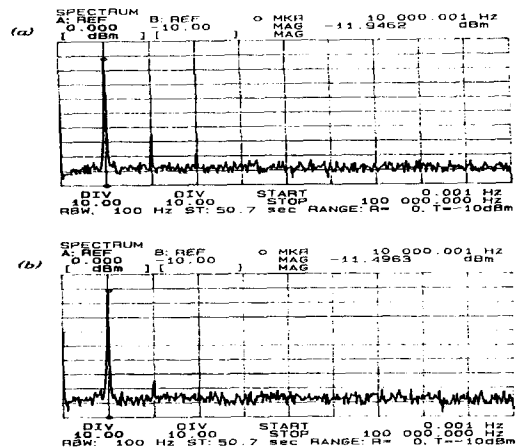


그림 3. 전류 기억소자의 출력 스펙트럼  
(a) 기존의 회로 (b) 제안된 회로  
Fig. 3. Output spectrums of the memory cells for 10 kHz, 20  $\mu A$  (fc=250 kHz).  
(a) conventional (b) proposed

그림 2에 기존의 셀과 제안된 셀의 출력 신호 전압이 나와있다. 이 그림에서 제안된 회로가 기존의 회로보다 더 작은 CFT 오차를 보이고 있음을 알 수 있다. 또한 신호 충실도 향상을 증명하기 위해 10kHz, 10 ~ 50  $\mu$ A의 다양한 전류 레벨에 대하여 total harmonic distortion(THD)를 측정하였다.

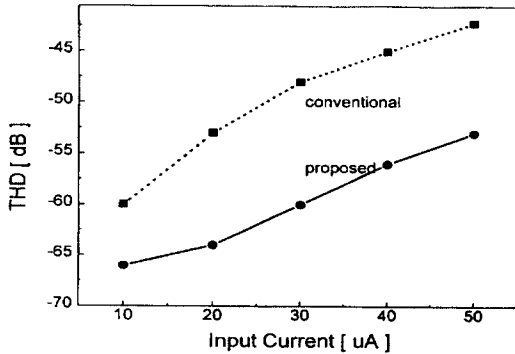


그림 4. 입력전류 크기의 변화에 따른 THD 특성  
Fig. 4. THD versus input current.

그림 3은 20  $\mu$ A 입력에 대한 출력 스펙트럼을 보여준다. 제안된 셀의 두 번째와 세번째 고조파는 기본 주파수에 비해 65dB과 75dB 아래에서 관측된다. 그러나 기존의 셀에서는 55dB와 67dB 아래에 존재한다. 전류 메모리 셀의 THD 성능이 그림 4에 정리되어 있다. 여기에서 각 값은 10개의 샘플에 대한 평균값이며, 입력 신호 전류의 크기에 대한 THD의 의존성을 표시하였다. 측정 결과에서 보는 바와 같이 제안된 셀은 기존의 셀보다 CFT와 THD에서 기존의 셀보다 좋은 성능을 보인다. 또한 제안된 셀의 실제 응용에 있어서는 메모리 트랜지스터의 크기를 증가시킴에 따라 CFT, 열잡음 (kT/C), 그리고 트랜지스터 미스매치 특성 등이 개선되기 때문에 현재의 측정 결과보다 우수한 결과를 얻을 수 있을 것이다. 또한 제안된 회로에 레귤레이터드 캐스코드(regulated cascode) 또는 저전압 캐스코드(low voltage cascode) 등을 적용할 경우 출력-입력 conductance ratio error를 줄임으로써 더욱 향상된 결과를 얻을 것으로 기대된다. 그러나, 제안된 회로는 전력소비가 칩면적이 각각 3 mW와 40 x 75  $\mu$ m<sup>2</sup>로 기존의 회로보다 증가된 경향을 보인다. 일반적으로 아날로그 시스템의 성능은 THD특성에 의해서 평가가되므로 약간의 전력 소비와 칩면적의 증가는 상쇄될 수 있다. 제안된 회로는 우수한 THD 특성에 의

해 고 해상도의 아날로그-디지털 데이터 변환기, 필터 등에 사용될 수 있다.

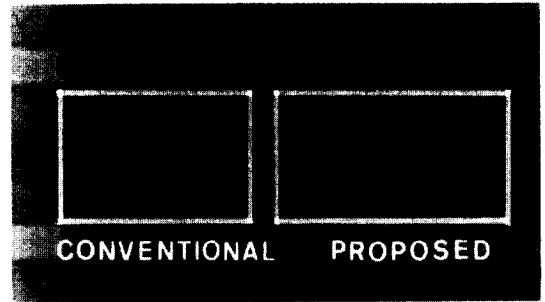


그림 5. 전류 기억소자의 칩 사진  
(a) 기존의 회로 (b) 제안된 회로  
Fig. 5. Microphotograph of the memory cells.  
(a) conventional(fig. 1b) (b) proposed(fig. 1c)

측정된 성능은 표 1에 정리되어 있고 그림 5는 제작된 회로의 칩 사진을 보여 준다.

표 1. 전류 기억소자의 성능 비교

Table 1. Performances of the current memory cells.

memory cells	conventional	proposed
THD @ 40 $\mu$ Ap-p, 10 kHz input	53 dB	65 dB
power consumption @5Vp-p	2 mW	3 mW
active area	40 x 60 $\mu$ m <sup>2</sup>	40 x 75 $\mu$ m <sup>2</sup>

## V. 결 론

스위치드 전류 시스템을 위해 개선된 CFT 보상 회로가 제안되었다. NMOS 와 PMOS 전류 샘플러 사용하고 전류원 복사 기술을 적용하여 일정한 그리고 신호에 의존하는 CFT 오차 성분을 모두 제거하였다. 또한 제안된 메모리 셀의 간단한 CFT 제거 회로 때문에 실제적인 SI 시스템을 구현하기가 더욱 쉬워질 것으로 기대된다.

## 참 고 문 헌

[1] C. Toumazou, J. B. Hughes, and N. C. Battersby(Ed.), "Switched-Currents, An Analogue Technique for Digital Techno-

- logy”, Peter Peregrinus, London, 1993.
- [2] T. S. Fiez, and D. J. Allstot, “Switched-current circuit design issues”, IEEE J. Solid-State Circuits, vol. 26, pp. 192-202, 1991.
- [3] H. C. Yang, T. S. Fiez, and D. J. Allstot, “Current-Feedthrough Effects and Cancellation Techniques in Switched-Current Circuits”, Proc. IEEE Int. Symp. Circuits Syst., May 1990, pp. 3186-3188.
- [4] M. Song, Y. Lee, and W. Kim, “A Clock Feedthrough Reduction Circuit for Switched-Current Systems”, IEEE J. Solid-State Circuits, vol. 28, pp. 133-137, 1993.
- [5] B. Jonsson, and S. Eriksson, “New Clock-Feedthrough Compensation Scheme for Switched-Current Circuits”, Electron. Lett., vol. 29, pp. 1446-1447, 1993.
- [6] M. Helfenstein, and G. S. Moschytz, “Clockfeedthrough Compensation Technique for Switched-Current Circuits”, IEEE Trans. Circuits Syst., vol. 42, pp. 229-231, 1995.

## — 저 자 소 개 —



關丙茂(正會員)

1961년 5월 28일생. 1985년 2월 고려대학교 전기공학과 졸업(학사, 석사). 1985년 ~ 1993년 2월 금성 일렉트론 반도체 연구소 선임 연구원. 1993년 3월 ~ 현재 고려대학교 전자공학과 박사과정. 주관심분야는 CMOS 아날로그/디지털 회로 설계, sigma-delta A/D, D/A 변환기 설계, 이동통신용 부품 개발, 혼성 신호 설계등임.



金栽完(正會員)

1972년 9월 30일생. 1995년 2월 고려대학교 전자공학과 졸업. 1995년 3월 ~ 현재 고려대학교 대학원 전자공학과 석사과정. 주관심분야는 CMOS 아날로그/디지털 회로 설계, Sigma-delta A/D, D/A 변환기 설계, 이동통신용 부품 개발, 혼성 신호 설계등임.

金壽遠(正會員) 第33卷 第10號 參照

현재 고려대학교 전자공학과 교수