

진화 연산을 이용한 기준 전압 회로의 파라미터 최적화

(Parameter Optimization using Evolutionary Programming in Voltage Reference Circuit Design)

南東暻*, 朴來正*, 徐允得*, 朴哲薰*, 金範燮*

(Dongkyung Nam, Lae-Jung Park, Yoon-Deuk Seo, Cheol Hoon Park,
and Beomsup Kim)

요 약

본 논문에서는 진화 프로그래밍을 사용하여 기준 전압 회로에서 파라미터를 최적화 하는 방법을 소개한다. 정밀한 기준 전압 회로를 설계하기 위해서는 전원의 전압 변화 뿐 아니라 온도 변화에 따른 적절한 보상이 고려되어야 하기 때문에 적합한 파라미터 값들을 선정할 때 설계자의 많은 노력과 시간이 필요하다. 여기서는 진화 프로그래밍을 이용하여 온도 변화에 따른 기준 전압의 변화를 최소로 하는 파라미터를 찾고, 이 방법이 회로 설계에서 복잡한 계산과 조율에 필요한 많은 노력을 줄이면서 좋은 파라미터 값들을 찾는 효과적인 방법임을 시뮬레이션을 통해 보인다.

Abstract

This paper presents a parameter optimization method using evolutionary programming in voltage reference circuit design. In general, it is a very difficult and time-consuming work to design a precise voltage reference circuit because the designer must select appropriate parameter values of the circuit taking into consideration both power voltage and temperature variation. In this paper, evolutionary programming is suggested as an approach for finding good parameters with which the reference voltage variation is small with respect to temperature variation. Simulation results show that this method is effective in circuit design.

1. 서 론

회로를 설계하는 과정은 전력 소모, 실장 면적, 전압 이득, 주파수 대역폭과 같은 여러 요소들을 고려하여 전체적인 모듈을 구성하고 각 소자의 파라미터 값들을 결정하는 것으로 구성된다. 파라미터 값은 대개 설계자가 대략적으로 계산한 다음 시뮬레이션을 통해 원하는 값을 찾을 때까지 계속적으로 변경하면서 찾게 된다. 이 과정은 많은 시간과 노력이 요구되며 회로

가 복잡해 지고 정밀도가 요구될수록 중요하게 된다.

최근 반도체 회로의 집적도와 전력 소모가 늘어남에 따라 전원 전압은 3.3V에서 2.5V로 나아가서는 1.1V 수준까지 떨어지고 있다. 이처럼 전원 전압이 낮을 경우 회로의 안정적인 동작을 보장하기 위해서는 보다 정밀하게 보상된 기준 전압 회로를 사용하여 반도체 회로에 전원을 공급해야 한다. 기본적으로 기준 전압 회로는 전원 전압의 변화에 무관하게 일정 전압을 유지하는 것이 목적인데, 본 논문에서 다루고 있는 기준 전압 회로와 같은 칩상(On-chip) 회로는 온도 변화가 크게 발생하기 때문에 부가적으로 온도가 변해도 전압이 일정하게 유지되도록 하는 온도 보상이 중요한 요

* 正會員, 韓國科學技術員 電氣 및 電子工學科

(Dept. of Electrical Eng. KAIST)

接受日: 1997年5月12日, 수정완료일: 1997年7월16일

소가 된다. 온도 보상 문제는 이런 이유로 최근 많은 연구가 수행되고 있다^[1,2,3,4]. 본 논문에서 사용하는 기준 전압 회로의 온도 보상은 소자들의 파라미터 값들을 조정함으로써 이루어질 수 있는데, 복잡도가 높은 문제의 파라미터를 최적화 하는 것은 상당히 어렵기 때문에 최적화 알고리즘이 필요하게 되고 이를 사용하면 보다 쉽게 적합한 파라미터를 찾을 수 있다^[5].

진화 프로그래밍(Evolutionary Programming, EP)은 자연계의 진화 이론을 이용한 통계적 탐색 방법인 진화 연산 기법 중의 하나로서 파라미터 최적화 기법으로 최근 널리 사용되고 있다^[6,7]. EP는 비교적 수렴 속도가 빠르고 최적에 가까운 해를 제시한다^[8]. 본 논문에서는 기준 전압 회로의 정밀도를 높이기 위하여 SPICE 프로그램의 결과를 사용하여 통계적 탐색을 수행하였는데, 회로 계산에 많은 시간이 소모되기 때문에 빠른 수렴 특성이 요구되었으며 또 코딩을 실수(real number)로 하는 것이 바람직하기 때문에 여러 가지 진화 연산 기법 중 EP를 사용하였다. 시뮬레이션 결과가 나타내듯이 이 기법은 파라미터 최적화에서 좋은 특성을 가짐을 알 수 있다. 본 논문에서는 회로 설계 시에 필요한 파라미터 최적화에 EP 사용을 제안하고 이를 통하여 좋은 결과를 얻을 수 있음을 보인다.

본 논문에서 사용한 기준 전압 회로에 관한 내용은 2장에서 설명한다. 기준 전압 회로는 저전력 칩 상 기준 전압 회로를 사용하였다. 진화 프로그래밍에 관한 설명과 실제적인 회로 설계 적용 방법은 3장에 기술되어 있다. 최적화 알고리즘을 회로 설계에 적용할 때 고려해야 할 문제들과 접근 방식을 보인다. 4장에서는 시뮬레이션을 통하여 파라미터 최적화를 수행하기 전과 수행 후의 결과를 비교하여 본 방법의 우수성을 보인다. 최종적인 결론은 5장에 기술된다.

II. 기준 전압 회로

파라미터 최적화를 하고자 하는 회로는 그림 1에 있는 active bias를 사용하여 온도 보상을 하는 칩상 기준 전압 회로이다^[9]. 정상적으로 작동할 때 이 회로는 전원 3.3 [V], 25°C에서 2.5 [V]의 기준 전압을 제공한다. 기준 전압은 다음과 같은 식으로 표시된다.

$$V_{ref} = 3V_T + \sqrt{\frac{\beta_{11}}{\beta_{10}}} \left(\frac{R_2}{R_1} \cdot aU_T \ln C - V_T \right), U_T = \frac{kT}{q} \quad (1)$$

여기서 a 와 β 는 다음과 같이 트랜지스터의 채널 폭과 길이에 의해 결정된다.

$$a = \frac{(W/L)_{12}}{(W/L)_2}, \beta = \mu C_{ox} \frac{W}{L} \quad (2)$$

위의 두 식의 각 변수의 의미는 다음과 같다.

- V_T : MOSFET 트랜지스터의 문턱 전압 (threshold voltage)
- β_i : M_i 트랜지스터의 전도도 파라미터 (conductivity parameter)
- R_i : 저항 i 의 값
- $(W/L)_{12}$: M_{12} 트랜지스터의 채널 폭 대 길이 비
- $(W/L)_2$: M_2 트랜지스터의 채널 폭 대 길이 비
- μ : 트랜지스터의 electron mobility
- C_{ox} : 트랜지스터의 oxide capacitance
- W : MOSFET의 채널 폭(channel width)
- L : MOSFET의 채널 길이(channel length)

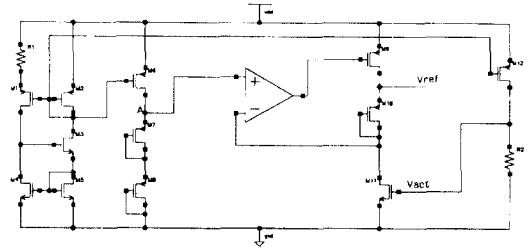


그림 1. 기준 전압 회로

Fig. 1. Voltage Reference Circuit.

위의 식 (1)에서 상수 C는 그림 1의 회로의 왼편에 위치한 전류 발생기(current generator)에 의해 결정되는 상수이다^[9]. 기준 전압은 식 (1)에서 볼 수 있듯이 R_1, R_2 의 저항값과 $M_2, M_{10}, M_{11}, M_{12}$ 의 네 개의 트랜지스터의 크기 비에 의해 결정된다.

위와 같이 설계된 회로는 기준 전압이 저항과 트랜지스터의 규격비로 나타나는데, 파라미터 선택의 자유도가 높고 실제로 공정에서 회로를 만들 때 발생하는 오차에 덜 민감하다는 장점이 있지만 그와 비례해서 기준 전압을 발생하기 위한 파라미터 값 선정이 어렵게 된다. 식 (1)의 온도 변화율은 복잡하게 나타나고,

그 결과 얻어진 식 역시 근사식이 되기 때문에 정확한 결과를 기대하기 어렵다. 이 문제를 해결하기 위해서 통계적 탐색 알고리즘인 EP를 도입하게 되었고 다음 장에서 설명한다.

Ⅲ. 진화 프로그래밍(EP)

EP와 이의 회로 설계에의 적용 방법을 설명하기 전에 이 알고리즘을 사용한 이유를 설명한다.

일반적으로 많이 사용되는 통계적 최적화 알고리즘으로는 근사 담금질(Simulated Annealing, SA)과 유전 알고리즘(Genetic Algorithm, GA), 진화 전략(Evolution Strategy, ES), EP등으로 대표되는 진화 알고리즘이 있다^[8]. 각 알고리즘은 문제에 따라 장점과 단점을 가지고 있다. 먼저 SA는 최적치를 찾을 수 있다는 보장이 일찍부터 수학적으로 증명되었고, 또한 결과값이 다른 알고리즘에 대해 보편적으로 우수하기 때문에 많이 사용되고 있는데 수렴 시간이 느리고 좋은 해를 구하기 위해서는 많은 시간이 필요하다는 단점이 있어 비용 함수 계산에 시간이 많이 걸리는 문제에는 적합하지 않다. GA는 진화를 이용한 대표적인 알고리즘으로 수렴 성능과 최적해가 좋으나 기본적으로 이진 코딩(binary coding)을 원칙으로 하여 변이와 교차 연산자를 사용한다. 실수 코딩(real number coding)을 사용하는 알고리즘으로는 EP와 ES가 있는데, 차이는 EP가 변이 연산자만을 사용하는 반면에 ES는 변이와 교차 유전자를 사용한다. 파라미터 간의 연관이 큰 경우에는 교차 유전자가 효율이 낮기 때문에 회로 설계와 같이 파라미터들 간의 연관성이 큰 문제를 푸는 데에는 EP가 적합하다. 통계적 기법 이외에도 최소 자승법은 빠른 수렴 특성을 나타내지만, 일반적으로 비용함수를 정확하게 구하는 것이 상당히 어렵고, 흑 수식으로 구한다 하더라도 근사식에 해당하므로 본 논문에서는 비용함수를 SPICE 시뮬레이션 결과로부터 직접 구한다. 따라서 비교적 빠른 수렴 특성을 나타내는 EP를 사용하여 최적화를 수행하였다.

1. EP

EP는 통계적 탐색 기법 중의 하나로서 실수 코딩을 사용하고 자손을 만드는 방법으로 변이 연산자를 사용하고 새로운 자손의 적합도를 평가한다. 다른 많은 진화 알고리즘과 마찬가지로 EP는 경쟁과 자연 선택에

의해 좋은 해로 나아가게 된다.

유전자는 각 파라미터 값들로 구성되며, n 개의 유전자들이 개체군(population)을 형성한다. 초기의 개체군은 임의의 파라미터 값들로 결정되어 지며 이 각각의 유전자가 부모 유전자가 되어 다음 세대를 번이를 통해 생성한다. 생성된 자식 유전자들과 부모 유전자들 사이에 적합도가 높은 유전자가 선택되어 다음 세대를 구성하게 되고 원하는 조건이 충족될 때까지 이 과정을 반복하게 된다. 구체적인 EP 과정은 그림 2에 나타나 있다. 적합도가 높은 유전자를 선택하는 방법으로 일반적으로 $(\mu + \lambda)$ 와 (μ, λ) 의 방법이 사용된다. $(\mu + \lambda)$ 는 μ 개의 부모 유전자와 λ 개의 자식 유전자들을 모두 합하여 그 중에서 다음 세대인 μ 개의 유전자를 선택하게 되고, (μ, λ) 방식은 μ 개의 부모 유전자들로부터 λ 개의 자식 유전자를 생성한 다음 자식 유전자들 중에서 μ 개의 유전자를 선택하여 다음 세대를 구성한다. 선택 방법은 최적치 선택, 토너먼트 선택, 룰렛 휠 선택 등의 방법이 있다. 최적치 선택은 가장 우수한 유전자 μ 개를 선택하게 되고, 토너먼트는 각각을 몇 개로 짝을 지어 그 중 우수한 것을 각각 선택한다. 룰렛 휠 방법은 우수한 유전자가 높은 확률로 선택된다. 선택의 기준은 비용 함수를 이용하는데 비용 함수는 각 유전자의 파라미터 값들에 의해 나타나는 결과 값으로부터 구하게 된다. 본 논문에서 사용한 방법은 $(\mu + \lambda)$ 방법과 최적치 선택을 사용하였다.

전체적인 진행은 그림 3과 같이 된다. 새로운 유전자의 생성은 변이 유전자를 통하여 행해지는데 부모 유전자의 형질과 비슷한 형태의 유전자가 생성된다. EP에서 널리 사용하는 변이 연산은 부모 유전자의 각 파라미터 값을 중심으로 정규 분포를 이용하여 새로운 파라미터 값을 생성하는 방법이다. 즉 기존의 파라미터 값이 평균이 되며 분산에 의해서 다음 파라미터 값이 얼마나 기존의 것과 유사한 값을 가질 것인가가 결정된다. 일반적인 경우는 다음 식과 같이 분산 역시 기존의 분산과 근접한 새로운 분산으로 진화한다.

$$x_i^{n+1} = x_i^n + N(0, v_i^n) \quad (3.1)$$

$$v_i^{n+1} = v_i^n + N(0, \alpha v_i^n) \quad (3.2)$$

여기서 x_i^n 은 i 번째 파라미터의 n 시간에서의 값이고, v_i^n 은 그 파라미터에 대한 분산의 값이다. α 는 상수

로서 분산의 변화량을 결정한다. $N(0, 1)$ 은 정규 분포를 나타낸다. 그러나 일반적으로 사용되는 이 방법은 수렴 속도가 느리기 때문에 다음과 같이 변화하여 사용할 것을 제안한다.

$$x_i^{n+1} = x_i^n + N(0, v_i^n) \tag{4.1}$$

$$v_i^n = x f(\mathbf{x}^n) \tag{4.2}$$

여기서 x 는 상수 값이고, $f(\cdot)$ 는 비용 함수이고, \mathbf{x} 는 하나의 유전자를 나타낸다. 식 (4.1)과 식 (4.2)에 의한 방법을 사용하면, 분산이 비용 함수에 의해 직접 결정되기 때문에, 분산이 진화를 거쳐 결정되는 식 (3.1)과 식(3.2)의 방식 보다 수렴이 빠르게 된다. 여기서 비용 함수가 항상 양의 값을 가져야 하며, 최적치가 0에 가까운 값을 가져야 한다. 이 경우 유전자가 낮은 비용 함수를 가질 경우 분산은 작아져서 세밀한 탐색을 수행하게 되고, 유전자가 높은 값을 가질 경우는 분산이 커져서 다른 값으로 빨리 바뀌게 되어 효율적인 탐색이 수행된다.

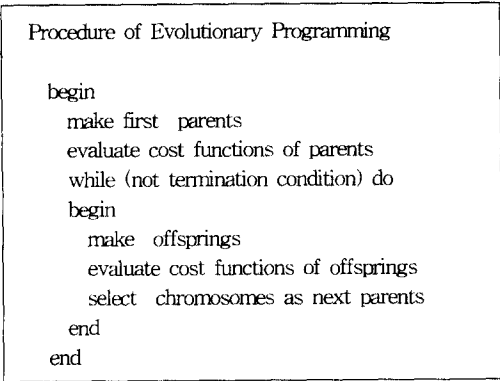


그림 2. 진화 프로그래밍
Fig. 2. Evolutionary Programming.

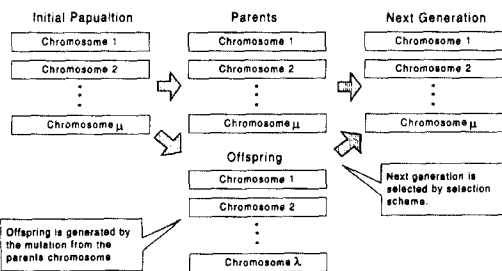


그림 3. 진화 알고리즘의 진행도
Fig. 3. Flow chart of Evolutionary Algorithm.

2. 회로 설계에 적용

실제 회로에 적용 시 가장 중요한 요소는 비용 함수를 어떻게 결정하느냐 하는 문제이다. 비용 함수는 실제 회로의 성능을 결정함과 동시에 탐색의 효율과 난이도를 결정한다. 비용 함수가 간단하면 탐색은 빠르지만 실제 성능은 좋아지지 않을 수 있다. 반대로 비용 함수가 너무 복잡해지면 탐색이 느리고 좋은 탐색치를 얻기 힘들다.

대개의 경우 비용 함수는 하나의 수식으로 표현하면 되지만, 본 논문에서 다루는 회로는 높은 정밀도가 요구되기 때문에 회로를 간략화된 계산식으로 표현할 수 없다. 따라서 한 번의 비용 함수 계산을 위해서 설정된 파라미터 값에 대해 SPICE 시뮬레이션을 수행하여 그 결과치를 비용 함수로 선택하였다. 즉, 다음과 같은 식으로 표현된다.

$$f(x) = |V_{25}(x) - 2.5| + |V_0(x) - V_{25}(x)| + |V_{25}(x) - V_{100}(x)| \tag{5}$$

여기서 V_{25} 는 25°C에서의 기준 전압을 나타낸다. V_0, V_{100} 은 각각 0°C와 100°C의 기준 전압을 나타낸다. SPICE 결과값을 이용했기에, 그림 1에 나타나 있는 회로에서 연산증폭기를 포함한 능동 소자와 수동 소자 모두의 온도변화를 고려하여 비용함수를 구할 수 있어 정밀한 계산이 가능하다. 식(5)에서 첫번째 항은 25°C에서의 기준 전압이 2.5[V]가 되도록 하기 위한 것이고, 나머지 두 항은 0°C와 25°C, 100°C와 25°C 사이의 기준 전압 차이가 최소가 되도록 하기 위한 것이다. 식 (1)에 나타난 기준 전압은 온도에 따라 변화하지만 각각의 소자의 온도 계수는 온도에 따라 단조 증가하거나 단조 감소하는 특성을 나타내기 때문에 온도에 따른 기준 전압의 전체적인 변화는 단조 함수적인 특성을 보인다. 회로가 항상 정상적으로 작동할 수 있도록 하기 위해서 위의 식에다 부가적인 항들을 첨가하여 쓴 최종적인 비용 함수는 식 (6)과 같다.

$$f(x) = w_1 |V_{25}(x) - 2.5| + w_2 |V_0(x) - V_{25}(x)| + w_2 |V_{25}(x) - V_{100}(x)| + w_3 |V_{ac0}(x) - 0.8| \tag{6}$$

여기에서 V_{ac0} 은 0°C에서의 M_{11} 트랜지스터의 게이트와 소오스 사이의 전압으로서, 그림 1의 V_{ref} 단자에서 원하는 출력이 얻어지려면 트랜지스터 M_{11} 이 항상 동작해야만 한다. 맨 마지막 항은 이

를 보장해 주기 위한 조건이다. 원래 설계에 따르면 0°C 에서 이 값이 0.8 [V] 가까운 값일 때 회로가 정상적으로 작동하기 때문에 V_{acc0} 가 0.8 [V] 에서 벗어날수록 페널티를 증가시켜 주는 방법을 택하였다. 또한 모든 항들에 가중치를 곱하여 탐색의 효율을 높였다. w_1, w_2, w_3 가 각 가중치를 나타낸다. 첫번째 값이 가장 큰 가중치를 가져서 회로의 기준 전압이 2.5 [V] 에 가까운 특성을 나타내는 유전자가 생존할 가능성을 높게 하였다.

다음으로 선택해야 할 문제는 파라미터 선택에 관한 문제이다. 본 논문에서는 회로의 성능에 핵심적인 역할을 하는 3개의 트랜지스터와 하나의 저항 값을 파라미터로 선정했다.

식 (1)에서 볼 수 있듯이, R_1 저항값과 M_2 트랜지스터의 규격이 결정되면 $R_2, M_{10}, M_{11}, M_{12}$ 의 값에 의해 기준 전압은 결정되게 된다. 각각의 트랜지스터는 채널 폭과 길이 두 가지 파라미터를 가지기 때문에 총 7개의 파라미터를 사용하여 하나의 유전자를 구성하였다. 최적화 할 파라미터의 선정은 회로 설계자에 의해 적절히 선정되었다. 각 소자와 그 소자가 취할 수 있는 적합한 값들이 표 1에 나타나 있다. 각 소자의 범위는 설계자에 의해 실제 공정에 적합하도록 적절하게 설정되었다.

전술한 바와 같이 ($\mu + \lambda$)선택을 택했고 μ 와 λ 의 값은 각각 50으로 선정했다. 100번 진화를 시켜 결과 값을 구했기 때문에 최종적으로는 5000개의 새로운 유전자가 생성되고 그 각각에 대해서 비용 함수가 계산된다.

표 1. 기준 전압 회로에서 파라미터 값의 범위

Table 1. Parameter Range in the voltage reference circuit.

파라미터	최소값	최대값	단위
R2	100	200	K Ω
channel length of M10	1	50	μm
channel width of M10	1	100	μm
channel length of M11	1	50	μm
channel width of M11	1	100	μm
channel length of M12	1	20	μm
channel width of M12	100	400	μm

IV. 시뮬레이션 결과

그림 4에서 그림 6은 최적화 수행의 결과를 보여주는 직류 sweep 특성이다. 그림 4는 설계자에 의해 조율된 파라미터 값들에 의한 시뮬레이션 결과이다^[10]. 25°C에서 전원 전압이 3.0 [V] 에서 6.5 [V] 사이에서 변화할 때 회로는 정상적으로 작동하며, 고정된 온도에서 전원 전압 변화에 따른 기준 전압 변화는 0.05 [V] 범위 내에서 변화한다. 하지만 온도에 의한 기준 전압 변화 특성은 나쁘게 나타난다. 온도가 0°C에서 100°C까지 변화하면 기준 전압은 2.4 [V] 에서 2.6 [V] 까지 변화하여 회로의 특성이 나빠짐을 알 수 있다. 설계자에 의해 조율된 파라미터 값들에 의한 회로의 온도 계수는 0.77mV/°C를 보였다.

이 특성을 개선하기 위해서 EP를 사용하여 파라미터 값들을 구한 결과가 그림 5와 그림 6에 있다. 각각 모두 5000번의 비용 함수 계산을 하였고, 비용 함수 계산을 위해서 SPARC 5 워크스테이션을 사용하여 10시간의 시간이 걸렸다. 그림 5는 DRAM 공정을 사용하였을 때 찾은 파라미터 값을 이용한 성능이다. 25°C에서 기준 전압은 2.5 [V] 이고 온도에 따른 기준 전압의 변화도 크게 줄어 들었음을 알 수 있다. 또한 전원 전압이 2.6 [V] 에서 8.0 [V] 까지 변할 때 안정적으로 기준 전압을 생성한다. 이 경우 SPICE 분석 결과 온도 계수는 0.12mV/°C였다. SRAM 공정을 위한 최적화 된 파라미터 값들에 의한 결과가 그림 6에 나타나 있다. 온도 계수는 0.04mV/°C로 상당히 좋은 결과를 보임을 알 수 있다.

기존의 결과들과 비교한 내용이 표 2에 나타나 있다. 부가적으로 본 논문에서 나타난 회로는 enhancement-type MOSFET만을 사용하였음에도 불구하고 depletion-type과 enhancement-type을 동시에 사용한 회로에 비해 좋은 온도 특성을 나타냄을 볼 수 있다. 또한 여기 나타나 있는 회로는 모두 MOSFET의 문턱 전압을 이용한 기준 전압 회로이다. 기존에는 BJT를 이용한 band gap 기준 전압 회로가 많이 사용되었지만, RAM과 같은 MOSFET회로에 삽입하여 사용하기 위해서는 추가적인 공정이 필요하게 되고, 비용이 증가한다. 따라서 여기서는 MOSFET 기준 전압 회로들에 대해서 비교를 하였다.

표 2. 기존의 기준 전압 회로와 비교 결과
Table 2. Comparison with previous works.

저자	온도 계수	설계 방법
Horiguchi (1991, IJSSC)	1.8mV/C	enhancement/depletion
Ishibashi (1992, IJSSC)	1.5mV/C	enhancement/depletion
Tanaka (1994, IJSSC)	0.37 mV/C	enhancement/depletion
Y. Seo (1995)	0.77 mV/C	enhancement only
EP in DRAM (this paper)	0.12 mV/C	enhancement only
EP in SRAM (this paper)	0.04 mV/C	enhancement only

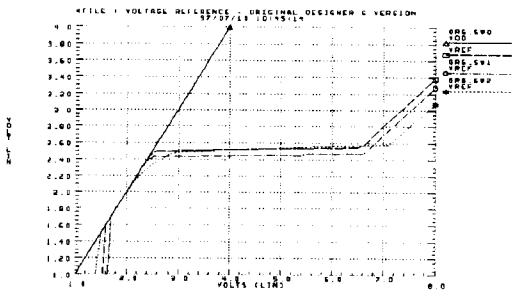


그림 4. 기존 파라미터 값을 사용한 기준 전압 회로의 직류 sweep 특성

Fig. 4. DC sweep of voltage reference circuit with original parameter values. 전원 전압을 1.0V에서 8.0V로 변화 시켰을 때 온도에 따른 기준 전압을 나타내었다. ORG.SW0는 0°C의 경우이며 ORG.SW1은 25°C, ORG.SW2는 100°C에서의 기준 전압을 나타낸다. (x축은 전원 전압, y축은 회로가 발생하는 기준전압이다. VDD로 나타난 실선은 전원 전압을 표시한다.)

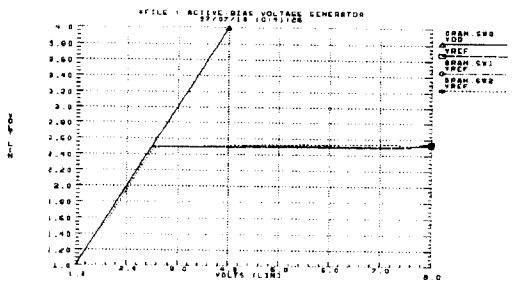


그림 5. DRAM 공정에서 최적화 된 기준 전압 회로의 직류 sweep 특성

Fig. 5. DC sweep of optimized voltage reference in DRAM process. 전원 전압을 1.0V에서 8.0V로 변화 시켰을 때 온도에 따른 기준 전압을 나타내었다. DRAM.SW0는 0°C의 경우이며 DRAM.SW1은 25°C, DRAM.SW2는 100°C에서의 기준 전압을 나타낸다.

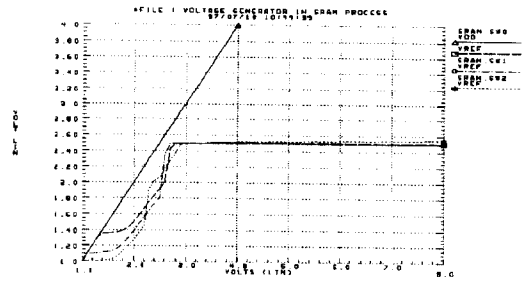


그림 6. SRAM 공정에서 최적화 된 기준 전압 회로의 직류 sweep 특성

Fig. 6. DC sweep of optimized voltage reference in SRAM process. 전원 전압을 1.0V에서 8.0V로 변화 시켰을 때 온도에 따른 기준 전압을 나타내었다. SRAM.SW0는 0°C의 경우이며 SRAM.SW1은 25°C, SRAM.SW2는 100°C에서의 기준 전압을 나타낸다.

V. 결론

본 논문에서는 진화 프로그래밍을 사용하여 회로 설계에서 매우 좋은 파라미터 값들을 찾을 수 있음을 보였다. EP기법은 수렴이 빠르고 비교적 좋은 결과를 제시하기에 회로 설계와 같이 비용 함수 계산 복잡하며 오랜 시간이 걸릴 경우 유리한 알고리즘으로 생각된다. 기준 전압 회로 설계에 적용한 결과 기준 전압은 전원 전압 변화에 대해 2.5 [V]로 유지되며 온도가 0°C에서 100°C로 변할 때 온도 계수가 0.04mV/°C로 무척 작음을 볼 수 있다. 회로 설계에 EP를 적용하는 방법을 사용하면 복잡한 회로의 분석이나 파라미터의 조율을 위한 많은 노력을 줄이고 적은 시간에 좋은 성능의 파라미터 값들을 구할 수 있다. 여기서 시도한 방법은 아직 기초적인 단계의 내용이며, 더욱 많은 점을 고려해야 하지만, 회로 설계 시의 파라미터 값 설정을 위한 새로운 방법을 제시하고 있다.

참고 문헌

[1] M. Horiguchi et al., "A Tunable CMOS-DRAM Voltage Limiter with Stabilized Feedback Amplifier," *IEEE J. Solid-State Circuits*, vol. 25, no. 5, pp. 1129-1134, Oct. 1990.

[2] K. Ishibashi, K. Sasaki, and H. Toyoshima, "A Voltage Down Converter with Submicroampere Standby Current for

- Low-Power Static RAM's," *IEEE J. Solid-State Circuits*, vol. 27, no. 6, pp. 920-926, Jun. 1992.
- [3] H. Tanaka, Y. Nakagome, J. Etoh, E. Yamasaki, M. Aoki, and K. Miyazawa, "Sub-1-(A Dynamic Reference Voltage Generator for Battery-Operated DRAM's)," *IEEE J. Solid-State Circuits*, vol. 29, no. 4, pp. 448-453, Apr. 1994.
- [4] M. Horiguchi, M. Aoki, J. Etoh, K. Itoh, K. Kajigaya, A. Nozoe, and T. Matsumoto, "Dual Regulator Dual-Decoding-Trimmed DRAM Voltage Limiter for Burn-in Test," *IEEE J. Solid-State Circuits*, vol. 26, no. 11, pp. 1544-1549, Nov. 1991.
- [5] L. J. Park, C. H. Park, C. Park, and T. Lee, "Application of genetic algorithms to parameter estimation of bioprocesses," *Med. & Biol. Eng. & Comput.*, vol. 35, pp. 1-3, Jan. 1997.
- [6] J. H. Holland, *Adaptation in natural and artificial systems*, The University of Michigan Press, Ann Arbor, MI, 1975.
- [7] Z. Michalewicz, *Genetic Algorithms + Data structures = Evolution Programs*, Springer-Verlag, Berlin, 1996.
- [8] 김일용, 박래정, 박철훈, 노영훈, 김형섭, 이길량, "진화 연산 알고리즘을 이용한 파라메타 최적화," *한국 퍼지 및 지능시스템 학회 1995년도 춘계학술대회 논문집*, vol 5, no. 1, pp. 248-253, 1995
- [9] 서윤득, 박철훈, 김범섭, "저전력 칩상 전압 안정기 설계," *CAD 및 VLSI 설계 연구회 학술 발표회 논문집*, pp. 105-108, 1996
- [10] 남동경, 박래정, 박철훈, "진화 연산을 이용한 정전압 회로의 파라미터 최적화," *제 5회 인공 지능, 신경망 및 퍼지시스템 종합학술대회 논문집*, pp. 405-408, 1996

저 자 소 개

南 東 暎(正會員)

1971년 9월 15일생. 1994년 2월 서울대학교 전기공학과 졸업. 1996년 2월 서울대학교 대학원 전기공학과 졸업(공학 석사). 1996년 3월 ~ 현재 한국과학기술원 전기 및 전자 공학과 박사과정 재학중. 주관심 분야는 회로 설계 최적화 및 Multiobjective 최적화

徐 允 得(正會員)

1967년생. 1991년 2월 한국과학기술대학교 전기 및 전자 공학과 졸업. 1996년 2월 한국과학기술원 전기 및 전자 공학과 졸업. 1997년 3월 ~ 현재 한국과학기술원 전기 및 전자 공학과 박사과정 재학중. 주관심 분야는 아날로그 회로 설계

朴 哲 薰(正會員)

1961년 4월 14일생. 1984년 2월 서울대학교 전기공학과 졸업. 1990년 미국 California Institute of Technology 공학석사 및 박사학위 취득. 1997년 현재 한국과학기술원 전기 및 전자공학과 부교수. 관심분야는 패턴인식, 퍼지논리, 신경망제어, 유전알고리즘 등임

朴 來 正(正會員)

1968년 12월 29일생. 1991년 2월 서울대학교 전기공학과 졸업. 1993년 2월 한국과학기술원 전기 및 전자 공학과 졸업(공학 석사). 1997년 8월 한국과학기술원 전기 및 전자 공학과 졸업 예정(공학 박사). 1997년 8월 ~ 현재 LG 근무. 주관심 분야는 신경 회로망, 유전 알고리즘, 최적화 알고리즘

金 範 燮(正會員)

1983년 2월 서울대학교 전자공학과 졸업. 1985년 2월 서울대학교 전자공학과 공학석사. 1990년 6월 University of California, Berkeley, Ph.D. 1990년 6월 ~ 1991년 8월 Chips and Technology Inc. San Jose, Senior Design Engineer. 1991년 9월 ~ 1993년 8월 Philips Research Lab., Palo Alto, MTS. 1992년 9월 ~ 1994년 2월 S.S.I., San Jose, Technical Consultant. 1993년 6월 ~ 1995년 6월 *IEEE Trans. On Circuits and Systems II* Associate Editor. 1994년 3월 ~ 현재 한국과학기술원 부교수. 관심분야는 혼합형 신호처리 IC 설계, 통신용 IC 설계, VLSI 시스템 설계