

論文97-34C-8-6

# I<sub>DDQ</sub> 테스트를 위한 내장형 전류 감지 회로 설계

## (Design of a Built-In Current Sensor for I<sub>DDQ</sub> Testing)

金 政 範 \* , 洪 性 濟 \*\* , 金 種 \*\*

(Jeong Beom Kim, Sung Je Hong, and Jong Kim)

### 요 약

본 논문에서는 전류 테스트를 이용하여 CMOS 집적회로에 존재하는 결함을 검출하는 전류 감지 회로를 제시한다. 이 전류 감지 회로는 제조결함에 의해 발생하는 비정상 전류를 테스트하기 위해서 CMOS 집적회로에 내장된다. 제안된 회로는 정상동작 모드에서 시험대상회로에 발생하는 성능저하를 개선하였다. 테스트 모드에서 제안된 회로는 비정상 전류를 검출하여 시험대상회로의 결함존재 유무를 판단한다. 제안된 전류 감지 회로는 회로구성이 단순하고, 외부 전압원이나 전류원이 필요하지 않다. 따라서 이 회로는 점유면적이 작고, 성능저하가 적기 때문에 다른 기존의 전류 감지 회로 보다 효율적이다. 제안된 회로의 정당성 및 효율성은 결함이 존재하는 회로를 HSPICE로 모의실험하여 검증하였다.

### Abstract

This paper presents a current sensor that detects defects in CMOS integrated circuits using the current testing technique. The current sensor is built in a CMOS integrated circuit to test an abnormal current. The proposed circuit has a very small impact on the performance of the circuit under test during the normal mode. In the testing mode, the proposed circuit detects the abnormal current caused by permanent manufacturing defects and determines whether the circuit under test is defect-free or not. The proposed current sensor is simple and requires no external voltage and current sources. Hence, the circuit has less area and performance degradation, and is more efficient than any previous works. The validity and effectiveness are verified through the HSPICE simulation on circuits with defects.

### I. 서 론

반도체 공정기술과 설계기술의 눈부신 발전으로 칩들의 복잡도가 증가하여 단일 칩 상에 수백 만개 이상

의 트랜지스터가 내장될 수 있게 되었다. 그러나 이러한 수백 만개 이상의 트랜지스터를 내장한 칩들을 테스트 할 수 없다면 그 칩들은 쓸모가 없게 된다. 따라서 집적회로의 테스트에 대한 많은 노력이 요구되고 있다.

\* 正會員, 現代電子産業株式會社 시스템IC 研究所 DT 開發室

(DT development Lab. System IC R&D Division, Hyundai Electronics Industries Co., Ltd)

\*\* 正會員, 浦港工科大学校 電子計算學科

(Dept. of Computer Science and Engineering, Pohang University of Science and Technology)

接受日: 1997年3月20日, 수정완료일: 1997年7月10日

현재 회로설계에 적은 전력소모와 높은 집적률 등의 장점을 지닌 CMOS(Complementary Metal Oxide Semiconductor)가 중요한 회로구성 소자로서 집적회로 구현에 널리 이용되고, 트랜지스터의 크기가 서브마이크론(sub-micron)수준으로 축소됨에 따라 다양한 형태의 결함이 관찰되고 있다. 지금까지 디지털 논리 회로를 테스트하는데 사용되는 전압 테스트는, 모든

결함이 고착결함(stuck-at-fault)의 논리결함으로 모델링 된다는 가정에 기반을 두고, 시험대상회로의 입력에 테스트 벡터들을 인가한 후 출력 단에서 논리값을 확인하여 시험대상회로의 정상동작 여부를 판단하는 방법이다. 고착결함은 회로내의 어떤 선이 '0' 혹은 '1'로 영구적으로 고정되는 결함이다. 그러나 집적도가 향상됨에 따라 고착결함은 타당성을 상실해가고 있으며, CMOS 공정기술에서 발생하는 결함의 행동을 나타내는데 부적합하다는 많은 지적이 있다.<sup>[1,2,3,6]</sup> 반도체 공정에서 발생할 수 있는 결함은 그 양상이 다양하고 복잡하다. 특히, CMOS 공정기술에서 발생하는 결함 중에서 종래의 고착결함으로 모델링이 불가능한 결함이 많이 존재한다. 따라서 고착결함 모델을 대처하거나 보완할 수 있는 결함모델이 필요하다.

CMOS 공정기술에서 가장 발생 빈도수가 높은 결함이 합선(short 혹은 bridge)과 절선(open)결함으로 알려져 있다.<sup>[1, 2, 3, 6]</sup> 집적률이 높아짐에 따라 주변 단자 사이의 합선, 게이트 옥사이드 두께의 감소 등으로 인한 게이트-소오스, 게이트-드레인, 게이트-채널 사이의 합선 등이 대표적인 예들이다. 합선결함 모델은 트랜지스터 합선(transistor stuck-on)결함이나 게이트 옥사이드 합선(gate oxide short)결함과 같은 CMOS 공정기술에서 발생하기 쉬운 결함을 고착결함 모델보다 정확하게 표현할 수 있다. CMOS 회로에서 합선 및 게이트-옥사이드 합선 등의 결함이 발생하면 정상상태에서 공급전원과 접지단자 사이에 전도경로가 형성되어 큰 결함전류(defective current)가 흐르게 된다. 이러한 결함들은 논리결함을 발생시키지 않고 불확정적 논리값(indeterminate logic level)을 발생시킬 수 있으며, 또한 신호지연을 발생시킬 수 있고, 시간이 흐름에 따라 상태가 악화되어 시스템 내에서 고장을 일으키기도 한다. 이러한 결함들은 기존의 전압 테스트 방법으로는 효과적으로 검출하지 못한다. 이러한 합선결함을 효과적으로 검출하는 방법이 전류 테스트, 혹은 IDDQ(quiescent power supply current monitoring)테스트이다.<sup>[5, 6]</sup> CMOS 회로는 구조적 특성상 정상상태(quiescent state)에서는 거의 전류가 흐르지 않는다. 이러한 CMOS 회로의 특성을 이용하여 IDDQ 테스트는 결함전류가 흐르면 이를 감지하여 결함의 존재 유무를 판별하는 방법으로서, SRAM<sup>[9,10]</sup>, 마이크로 프로세서<sup>[11]</sup> 등과 같은 많은 분야에서 응용되고 있다.<sup>[7, 8]</sup> IDDQ 테스트는 전압 테

스팅 보다 적은 수의 테스트 벡터들을 사용하여 합선 결함과 같은 물리적인 결함뿐만 아니라 신뢰도에 영향을 미치는 누설전류(leakage current)도 검출할 수 있다는 장점이 있다. 또한, IDDQ 테스트는 결함의 효과를 출력단까지 전파하는 과정이 불필요하다는 장점이 있다. 즉, 단지 칩의 공급전원에서 전류의 양을 측정하여 결함을 검출할 수 있다. IDDQ 테스트에는 결함전류를 칩의 외부에서 측정하는 외부 IDDQ 테스트(external IDDQ testing 혹은 off-chip current testing)와 결함전류를 칩의 내부에서 측정하는 내장형 IDDQ 테스트(internal IDDQ testing 혹은 built-in current testing)으로 구분된다. 외부 IDDQ 테스트는 외부의 테스트 장비가 시험대상회로에 비하여 상당히 큰 부하를 가지므로 출력단자가 외부부하를 구동하기 위해서 큰 전류를 공급해야 하므로, 작은 양의 결함전류를 감지할 수 없으며, 또한 고속 테스트가 불가능하다. 이러한 단점을 해결하기 위한 방법이 내장형 IDDQ 테스트이다. 내장형 IDDQ 테스트는 결함전류를 칩의 내부에서 측정하기 위해서 전류 감지 회로(current sensor)를 칩 속에 내장하여 사용하는 방법이다. 이 방법은 외부 IDDQ 테스트에 비해 작은 양의 결함전류를 검출할 수 있으며 고속 테스트가 가능하다. 그러나 칩의 내부에 전류 감지 회로가 내장되기 때문에 칩 면적이 증가하고 칩 성능이 저하되는 단점이 있다. 따라서 큰 입력력 전류에 영향을 받지 않고 정상 동작 상태에서 성능저하(performance degradation)를 최소화할 수 있는 효율적인 내장형 전류 감지 회로가 필요하다.

이러한 효율적인 전류 감지 회로를 개발하기 위해서 그 동안 많은 연구가 진행되어 왔다.<sup>[5,19,21,22,23,25]</sup> 이러한 노력에 의해, 전류 감지 능력은 크게 향상되었다. 그러나 아직도 많은 문제점들이 남아있다. 가장 심각한 문제점이 성능저하이다. 내부 IDDQ 테스트에서는 전류 감지 회로가 시험대상회로내의 공급전원(VDD)이나 접지단자(GND)사이에 직렬로 연결되기 때문에 전류 감지 회로에 큰 전류가 흐르면 전류 감지 회로에 의한 전압강하가 크게 된다. 따라서 공급전원이나 접지단자의 전위가 천이(shift)하게 되고 이로 인하여 접지전위 불안정(ground bounce) 문제가 발생한다. 이러한 문제점을 해결하기 위해서 Nigh<sup>[5]</sup> 와 Maly<sup>[21]</sup>는 lateral NPN 바이폴라 트랜지스터를 사용하였으며, Shen<sup>[23]</sup>은 다이오드를 사용하였으며, Tang<sup>[24]</sup>

은 연산 증폭기(operational amplifier)를 사용하였다. 그러나 각 소자들을 통하는 전압강하는 무시할 만한 정도가 아니기 때문에 문제점들이 완전히 해결된 것은 아니다. 기존 연구의 대부분은 외부의 기준 전압원이나 기준 전류원이 필요하다. 이것은 하드웨어의 요구 사항이 증가시킬 뿐만 아니라 패키지(package)에서 단자 수를 증가시키는 단점이 있다. 이러한 문제점들을 극복하기 위해서 본 논문에서는 새로운 내장형 전류 감지 회로(built-in current sensor : BICS)를 제시하였다. 제안된 회로는 기존 연구에 비해 회로구성이 단순하고 점유면적이 작고 성능저하를 개선하였다. 또한 이 회로는 외부의 기준 전압원이나 기준 전류원을 필요로 하지 않는다. 제안된 전류 감지 회로는 정상상태에서 공급전원의 전류를 기준 전류와 비교하여 시험대상회로에 결함이 존재하는지 여부를 결정한다. 제안된 내장형 전류 감지 회로는 비정상적인 과대전류를 감지하면 PASS/FAIL 신호를 '1'로 하고 그렇지 않은 경우는 PASS/FAIL 신호를 '0'으로 한다.

본 논문의 구성은 다음과 같다. II 장에서는 물리적 결함과 결함모델에 대해 기술하였고, III 장에서는 IDDQ 테스트에 대해서 기술하였다. IV 장에서는 내장형 전류 감지 회로에 대한 기존 연구를 검토하여 문제점을 제기하였고, V 장에서는 본 논문에서 새로운 내장형 전류 감지 회로를 제시하였으며, VI 장에서는 제안한 회로의 물리적 구현과 모의실험 결과에 대해 기술하였다. 마지막으로 VII 장에서는 본 논문의 결론을 기술하였다.

## II. 물리적 결함 및 결함모델

### 1. 물리적 결함

#### 1) 반점결함(spot defect)

일반적으로 반점결함은 집적회로 설계에서 설정하지 않은 영역이 존재하는 것이다. 이것은 전도성, 반 전도성, 혹은 절연층에서 여분의 물질이 발생하거나 손실된 영역으로부터 발생한다. 반점결함은 세 가지로 분류된다. 첫째는 실리콘 기판의 불 균일성(inhomogeneity)이고, 두 번째는 지역적으로 실리콘의 표면이 오염된 경우이며, 세 번째는 寫眞石版에 관련된 반점 결함들이다.<sup>[12]</sup> 반점결함이 발생하는 원인은 다양하다. 공기 중에 떠돌아다니는 입자나 제조장비에 의해 생긴 작은 물방울 등도 반점결함의 중요한 원인중의 하나이

다.<sup>[14]</sup> 웨이퍼의 표면에 塗布된(deposited) 대부분의 반점결함은 클리닝 과정 동안에 웨이퍼의 표면으로부터 제거된다. 따라서 가장 중요한 처리 과정은 클리닝 과정을 할 수 없는 과정이다. 感光液(photo resist)의 塗布(deposition)가 대표적인 예이다. 寫眞石版과정 동안, 感光液으로 덮여 있는 웨이퍼의 표면은 끈적끈적하다.<sup>[15,16]</sup> 따라서 石版은 반점결함에 관한 가장 중요한 과정이다.

반점결함은 오염된 입자와 感光液에 상호작용에 의해 발생하는 過度現象된(overdeveloped) 感光液에 의해서 발생하기도 한다. 대부분의 경우에 있어서, 반점 결함은 露光(exposure)단계 이전에 양성 感光液의 표면에 塗布된 입자와 石版 과정 이전 층(layer)에 塗布된 입자에 의해 발생한다. 이러한 경우에 입자는 感光液의 塗布전에 메탈 층의 맨 위에 塗布되며, 주변의 感光液의 두께가 증가한다. 따라서 感光液의 두터운 부분에 노출되는 패턴은 메탈화 과정에서 재생성 되기에 충분한 만큼 깊지 못하게 된다. 또한 반점 결함은 露光과정 후와 現像과정 전에 발생하는 感光液의 흡집에 의해서도 발생한다.<sup>[11]</sup> 반점결함의 전기적 특성은 결함의 크기, 결함이 발생한 층, 그리고 주변과의 상호작용에 의해 결정되어 진다.

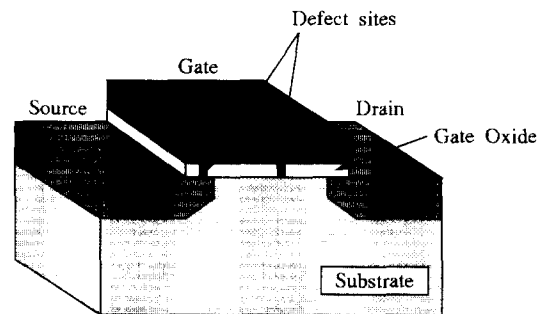


그림 1. MOS 트랜지스터에서 발생하는 게이트 옥사이드 합선

Fig. 1. Gate oxide shorts in MOS transistor.

#### 2) 게이트 옥사이드 합선(gate oxide short)

게이트 옥사이드 합선은 MOS 트랜지스터의 게이트 단자와 실리콘 표면사이에 thin oxide를 통한 전기적 연결을 말한다. 이 합선들은 MOS 트랜지스터의 크기에 비례하여 정도가 제한되며, 실리콘 웨이퍼 무작위로 분포한다. MOS 트랜지스터에서의 게이트 옥사이드 합선은 제조공정이나 물질의 결함에 의해 발생한다. 게이트 옥사이드 합선의 예를 그림 1에 나타내

었다.

MOS 트랜지스터에서의 게이트 옥사이드 합선은 게이트 옥사이드의 여러 곳에서 발생한다. 게이트 단자와 소오스 단자 혹은 드레인 단자 사이의 합선은 종종 electrostatic discharge(ESD)이나 electrical overstress(EOS)에 의해 발생한다.<sup>[12,14]</sup> 일반적으로 이러한 ESD 와 EOS 합선은 높은 전계와 구조적인 불균일성이 발생하는 게이트와 field oxide 간의 접촉 영역과 같은 게이트의 모서리 부분과 기하학적 특성에 의해서 발생한다. 또한 게이트 옥사이드 합선은 제조 공정중의 石版 결함이나 전계와 thermal stress에 의해 발생하는 옥사이드 브레이크다운(oxide breakdown)에 의해서 발생하기도 한다.<sup>[12,13,14]</sup> 옥사이드 브레이크다운에 의한 합선은 제조공정 이후에 발생한다. 공기 중에 날아다니는 입자나 마스크 손상(mask damage)과 같은 石版결함은 게이트 단자 아래에 작은 부분에 게이트 옥사이드가 손실되어 발생한다.<sup>[14]</sup> 따라서 게이트 옥사이드 합선은 MOS 트랜지스터의 채널 위에서 게이트 옥사이드가 손실된 반점(spot)으로 볼 수 있다.

손실된 게이트 옥사이드 반점은 게이트 물질에 의해 채워지고 게이트 단자로부터의 dopant 원자 소자의 기관으로 관통할 수 있다. 결론적으로 MOS 트랜지스터의 게이트 단자가 채널과 합선된 것이다. 반면에 옥사이드 층의 전기적 브레이크다운은 높은 전계에 의해 유발된다.<sup>[12,14]</sup>

게이트 옥사이드 합선이 게이트 단자와 소오스 단자나 드레인 단자 사이에 발생할 때, 게이트 단자는 소오스 단자나 드레인 단자에 합선되어 MOS 트랜지스터는 정상동작을 하지 못한다. 이때, 게이트 단자의 전류( $I_G$ )와 전압( $V_G$ )의 실험적 특성은 선형관계를 나타낸다.<sup>[12]</sup> 반면에 게이트 단자와 MOS 트랜지스터 채널의 임의의 지점에서 합선이 발생하면 전류( $I_G$ )와 전압( $V_G$ )의 실험적 특성은 다양한 형태의 비선형 특성을 나타낸다. 또한, 게이트 옥사이드 합선은 단지 공급 전류( $I_{DD}$ )를 증가시키거나, 전위레벨을 변형시키고 지연시간을 증가시키기도 하지만, 회로기능 자체에는 영향을 미치지 않는 경우도 있다.<sup>[12]</sup> 이러한 합선도 집적회로의 신뢰성을 위해서 반드시 검출해야 한다. 게이트 옥사이드 합선은 소자의 크기가 줄어들고 옥사이드의 두께가 감소함에 따라 보다 심각한 결함으로 대두되고 있다.

## 2. 결함모델

### 1) 합선결함

합선결함은 전도층에서 여분의 전도물질이나 반전도 물질의 반점결함에 의해 발생하며 손실된 절연물질로 인한 반점결함에 의해서도 발생한다. 합선결함의 근원은 제조공정중에 혹은 사용 중에 발생한다. 합선결함은 두 가지의 다른 과정에 의해 발생한다. 첫 번째 형태는 다른 층 간에 연결이 이루어지는 수직합선(vertical bridging)이다. 일반적으로 수직합선은 여분의 contact이나 via hole에 의해 발생한다. 두 번째 형태는 동일한 층에서 두 개 이상의 단자가 연결이 이루어지는 수평합선(horizontal bridge)이다.

일반적으로 합선결함은 집적회로의 단자를 작은 저항값(수십  $\Omega$ )으로 연결한다. 그러나 가끔  $1K\Omega$  이상의 저항성분을 갖거나 비선형특성을 갖기도 한다. 수평합선결함에서는 합선물질의 형태와 접촉특성에 의해 단자간의 저항값이 수백 오옴 부터 수십  $K\Omega$  정도가 된다. 합선을 정확하고 실제적으로 모델링하기 위해서는 합선되는 단자사이의 저항값이 고려되어야 한다. Hao 와 McCluskey<sup>[13]</sup>는 대부분의 합선은  $500\Omega$  오옴 이하의 저항값을 갖고  $500\Omega$  이상인 경우는  $50K\Omega$  이상 일 수도 있음을 보여 주었다. 게이트 옥사이드 합선이나 트랜지스터의 드레인-소오스 합선과 같은 트랜지스터 내부의 합선은 합선단자들이 게이트 옥사이드 내에, 혹은 기관물질 속에 내재하므로 큰 저항값을 가질 수 있다. Hawkins와 Soden<sup>[12]</sup>는 네 가지의 게이트-소오스 합선된 저항 값이  $800\Omega$  부터  $4.7K\Omega$  범위에 있음을 보여 주었다. 이러한 합선저항은 고장 대신에 성능저하를 유발시킨다.

### 2) 트랜지스터 결함

트랜지스터는 드레인, 게이트, 소오스, 기관의 네 개의 단자를 갖기 때문에 트랜지스터에서는 6 개의 합선이 존재할 수 있다. 이 중에서 발생 빈도수가 높은 합선이 (1) 게이트-소오스 합선, (2) 게이트-드레인 합선, (3) 드레인-소오스 합선이다. 이 합선들은 트랜지스터 내부에서 발생하는 합선들이다.<sup>[13,17]</sup> (1) 과 (2) 는 대부분 게이트 옥사이드 합선으로부터 발생하는 결함이다. (1) 과 (2) 결함을 유발시키는 물리적 과정은 게이트 옥사이드 내에 있는 핀홀(pin hole)이나 EOS, ESD, 혹은 시간 변화에 따른 옥사이드 브레이크다운이다.

게이트-소오스 합선은 다양한 형태의 회로동작을

유발시킨다. 이 결합으로 인하여 전위가 변하거나 지연 결합이 발생하기도 하고 트랜지스터 절선 및 고착 결합등이 발생하기도 한다. 이러한 결합으로 인한 동작은 합선 저항값에 민감하다. 만일 합선 저항이 500 옴보다 훨씬 작은 무시할 만한 저항이라면 이 합선은 트랜지스터 절선결합과 동일하게 된다.

게이트-드레인 합선으로 인한 동작은 합선 저항값에 따라 전위가 변하거나 지연결합이 발생하기도 하고 고착결합등이 발생하기도 한다. 게이트-드레인 합선은 결합이 있는 트랜지스터의 게이트-소오스 간의 전압을 직접 조절할 수 없으므로 이 결합으로 인한 회로동작은 게이트-소오스 합선만큼 합선 저항값에 민감하지 않다. 만일 합선저항이 무시할 만한 저항이라면 이 결합이 있는 트랜지스터는 다이오드로 동작한다. 즉, 게이트와 드레인이 결합된 단자는 다이오드의 애노드(anode)단자가 되고 소오스는 다이오드의 캐소드(cathode)단자의 역할을 한다. 게이트와 드레인이 결합된 단자와 소오스 단자 사이에 순방향 바이어스(forward bias)가 인가되면 전도상태가 된다. 게이트와 드레인이 결합된 단자와 소오스 단자 사이에 역방향 바이어스(reverse bias)가 인가되면, 다이오드는 차단상태(cut-off)가 되어 두 단자 사이에 전류가 흐르지 않는다.

드레인-소오스 합선은 트랜지스터 게이트에서 폴리실리콘이 손실된 것과 같은 반점결합이나 폴리실리콘 끝에 남아 있는 여분의 diffusion과 같은 반점결합에 의해 발생 할 수 있다. 또한, 이 결합은 드레인 전압이 증가하여 드레인 영역을 감싸고 있던 공핍영역(depletion region)이 소오스 영역에 이르는 펀치쓰루(punch through) 현상에 의해서도 발생 할 수 있다. 게이트-드레인 합선으로 인하여 전위가 변하거나 지연 결합이 발생하기도 하고 트랜지스터 합선 및 고착결합등이 발생하기도 한다. 이러한 결합으로 인한 동작은 합선 저항값에 따라 결정된다. 만일 합선저항이 무시할 만한 저항이라면 이 결합이 있는 트랜지스터는 트랜지스터 합선과 동일하게 된다.

이상의 합선으로 인한 트랜지스터 결합을 정리해 보면, 합선저항이 무시할 만한 저항이라면 간략히 트랜지스터 합선결합과 트랜지스터 절선결합, 혹은 다이오드 특성으로 분류할 수 있다. 트랜지스터 합선결합은 드레인 단자와 소오스 단자 사이에 작은 저항이 연결되어 있는 것으로 이 결합 트랜지스터는 게이트 단자

의 전압에 상관없이 영구적으로 전도상태가 된다. 반면에 트랜지스터 절선 결합은 드레인 단자와 소오스 단자에 수백  $M\Omega$ 의 큰 저항이 트랜지스터 회로에 연결되어 있는 것으로 이 결합 트랜지스터는 게이트 단자의 전압에 상관없이 영구적으로 차단상태가 된다.

### III. IDDQ 테스트

IDDQ 는 회로의 출력이 변동이 없을 때 즉, 정상상태(quiescent state)의 CMOS 회로에서 흐르는 전류를 말한다. 과도전류(transient power supply current)는 회로출력이 바뀔 때 즉, 과도상태(transient state)일 때 흐르는 전류를 말한다. 이것은 내부 및 외부의 부하를 충전하거나 방전하는데 필요한 전류이며 상태가 변하는 동안 한 쌍의 NMOS와 PMOS가 동시에 전도상태가 되어 흐르는 전류이다. 이 전류는 클럭의 파형, 주파수, 타이밍 스쿠(timing skew), 정전용량 부하, 트랜지스터의 크기, 입력신호의 파형 등과 같은 여러 요소들에 의해 결정된다. 일반적으로 결합이 없는 정상상태에서의 전류의 크기는 수십 나노(nano) 암페어 정도인 반면, 과도전류의 크기는 최고 값이 수십 밀리(milli) 암페어 혹은 그 이상이 된다. 비정상적인 과도전류는 트랜지스터 합선, 게이트 옥사이드 합선 및 p-n 접합(junction)결합과 같은 트랜지스터에서 발생하는 결합들로 인하여 공급전원과 접지 단자 사이에 발생한다. 시뮬레이션회로에서 흐르는 정상상태의 전류를 관찰하여, IDDQ 테스트는 비정상적인 전류를 발생시키는 결합들을 검출 할 수 있다. IDDQ 테스트에서 두 개의 합선된 단자에 다른 논리값을 정해주는 테스트 패턴을 인가하여 합선결합은 검출된다. IDDQ 테스트의 중요한 특징은 높은 결합검출을 하기 위해 필요로 하는 테스트 패턴의 크기가 기존의 고착결합을 기반으로 한 전압 테스트의 테스트 벡터보다 작다는 것이다. IDDQ 테스트는 신뢰도에 영향을 미치는 결합들뿐만 아니라 종래의 고착결합들도 검출 할 수 있다. 따라서 IDDQ 테스트는 전압 테스트의 보완 역할을 한다.

외부 IDDQ 테스트는 기존의 테스트 장비를 사용하여 칩 외부의 공급전원 단자에서 전류를 측정하는 방법이다. 외부 IDDQ 테스트의 간단한 구현방법은 공급전원 전류를 측정하는 전류 감지 회로를 칩 외부의 공급전원 단자에 연결하는 것이다. 그러나 작은 양의 전류를

정확하고 신속하게 측정하는 것은 전압측정처럼 간단한 일이 아니다. 전류측정 소자는 전류경로에 삽입되므로 그 소자로 인하여 전압강하가 발생한다. 또한 전류측정의 특성상, 전압측정에 비해 시간이 걸리고 잡음에 민감하다. 이러한 측정상의 제약들이 외부 IDDQ 테스트의 문제점들을 해결하기 위해서 고안된 방법이 내부IDDQ 테스트이다. 이 방법은 전류 감지 회로를 칩 속에 내장한다<sup>[20,21]</sup>. 전류 감지 회로는 집적회로에서 발생하는 비정상적인 전류를 검출하기 위해서 시험대상회로의 공급전원과 접지단자 사이에 직렬로 삽입된다. 그림 2는 시험대상회로의 접지단자 사이에 삽입된 내부 IDDQ 테스트 방법이다. 내장된 전류 감지 회로는 정상상태의 전류가 기준전류보다 그 이상인지, 이하인지 검사한다. 내장 전류 감지 회로에서의 전압강하는 결함 존재함을 나타낸다. 내부 IDDQ 테스트는 다음과 같은 장점이 있다.<sup>[20,21,24]</sup>

- 기존의 테스트 장비를 사용할 수 있으므로 장비 가격이 추가되지 않는다.
- 테스트 속도가 향상된다.
- 시험대상회로의 검출 및 관찰을 향상시킨다.
- 전류 감지 해상도를 높일 수 있다.
- 결함전류를 측정할 때 입출력단 전류의 영향을 받지 않는다.

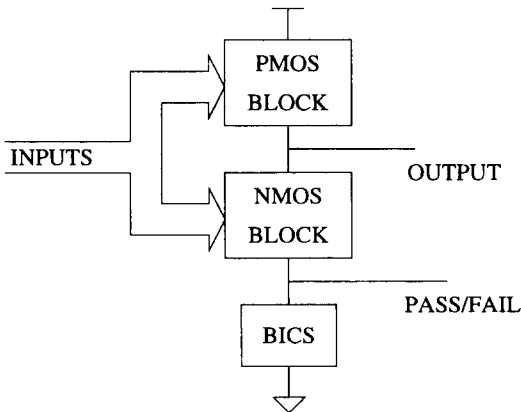


그림 2. 내부 IDDQ 테스트의 블록 다이어그램  
Fig. 2. Block diagram of an internal IDDQ testing.

그러나 내장 전류 감지 회로가 시험대상회로의 공급전원이나 접지단자 사이에 삽입되므로, 공급 전원의 전위가 저하되거나 접지단자의 전위가 상승하여 성능저하가 발생한다. 또한, 내장 전류 감지 회로로 인하여

기판과 시험대상회로 사이에 기생 캐패시턴스가 존재한다. 이 캐패시터는 회로 동작시 충전되거나 방전되어야 함으로 시험대상회로의 지연시간을 증가시킨다. 따라서 내부 IDDQ 테스트를 효과적으로 이용하기 위해서는 효율적인 내장 전류 감지 회로에 대해서 많은 연구가 필요하다.

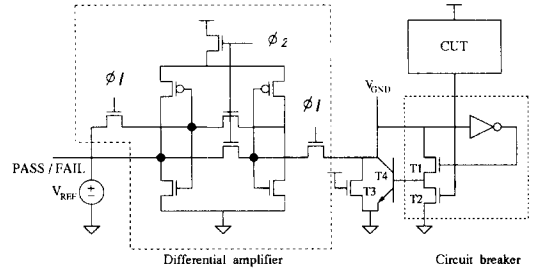


그림 3. Nigh의 전류 감지 회로  
Fig. 3. Nigh's BICS.

#### IV. 기존의 연구

##### 1. Nigh의 회로

P. Nigh 와 W. Maly<sup>[5]</sup> 에 의해 제안된 전류 감지 회로(그림 3)는 차동 증폭기와 회로 차단기(circuit breaker)로 구성되어 있다. 그림 3에 나타난 내장형 전류 감지 회로의 동작은 다음과 같다. 결함이 없는 상태에서 가상접지(virtual ground)단자  $V_{GND}$  는 논리 '0' 상태이고 T1의 게이트 단자에는 논리 '1' 상태의 전압이 가해진다. 따라서 T1은 전도상태가 되고 T2는 차단상태가 된다. 결함이 존재하는 경우, 가상접지단자  $V_{GND}$  전위가 증가함에 따라 T1은 차단상태로 되고 T2는 전도상태로 되므로 시험대상회로와 공급전원을 효과적으로 격리시키게 된다. T3는  $V_{GND}$  전위를 복구하는 역할을 하여 회로 차단기의 동작을 도와준다. 차동 증폭기는 가상접지단자와 기준전압(reference voltage)을 비교하여, PASS/FAIL의 논리값을 결정한다.

이 차동 증폭기는 충분한 스위칭 해상도와 오프셋 전압을 최소화하도록 설계되어야 한다. 차동 증폭기의 출력은 PASS/FAIL로서 시험 대상 회로의 결함존재 여부를 나타낸다. 회로 차단기는 공급 전원과 접지단자 사이에 합선이 발생하여 과대전류가 흐르면 lateral 바이폴라 트랜지스터 T4는 차단상태로 되어 시험대상 회로를 공급전원과 격리시킨다. T3는 회로 차단기가

정확하게 동작하도록 보조하는 트랜지스터이다. 두 개의 클럭신호와 기준전압  $V_{REF}$ 이 외부 조절단자이다. 이 회로는 바이폴라 트랜지스터의 지수적 전압-전류 관계에 의해서 작은 양의 결함전류도 검출할 수 있다. 이 회로의 단점은 2 phase 클럭신호를 사용한다는 것과 세 개의 외부 제어신호가 필요하다는 것이다. 또한 lateral 바이폴라 트랜지스터는 구현하기에 어렵다는 단점도 있다.

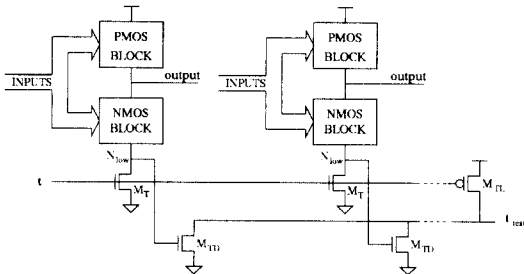


그림 4. Favalli의 전류 감지 회로  
Fig. 4. Favalli's BICS.

2. Favalli의 회로

이 회로는 M. Favalli 등<sup>[19]</sup> 제안된 것으로서 회로는 그림 4와 같다. 이 회로에서 각 게이트는 두 개의 여분의 트랜지스터  $M_T$  와  $M_{TD}$ 에 연결되어 있다. 또한 전체회로는 다른 하나의 트랜지스터  $M_{TL}$ 에 연결된다. NMOS 트랜지스터  $M_T$ 는 NMOS 블록과 접지단자 사이에 삽입된다.  $M_T$ 의 드레인 단자,  $N_{low}$ 는 NMOS 트랜지스터  $M_{TD}$ 에 의해 이루어진 NOR 게이트의 입력에 연결된다. PMOS 트랜지스터  $M_{TL}$ 은 NOR 게이트의 출력을 precharge 시키는데 사용된다. 정상동작 모드에서, 제어 신호 t는 '1'로 되어 모든 NMOS 트랜지스터  $M_T$ 가 전도상태가 되는 반면, PMOS 트랜지스터  $M_{TL}$ 은 차단상태가 된다. 따라서 여분의 트랜지스터들은 회로의 동작에 영향을 미치지 않는다. 테스트 모드에서는 먼저 제어신호 t를 '1'로 하고 결함을 활성화시킬 수 있는 테스트 패턴을 인가한다. 이어서 제어신호 t를 '0'로 한다. 만일 결함이 존재하지 않는다면 공급전원과  $N_{low}$  사이에 전도경로가 형성되지 않아,  $N_{low}$ 는 '0' 전위를 유지하게 된다. 따라서 모든 NMOS 트랜지스터  $M_{TD}$ 는 차단상태가 되어,  $t_{test}$  신호는 '1'로 된다. 반면에 결함이 존재한다면,  $N_{low}$ 는 '1'로 되어 NMOS 트랜지스터  $M_{TD}$ 는 전도상태가 되어,  $t_{test}$  신호는 '0'으로 된다. 이 회로는 클럭

신호를 사용하지 않고 단지 한 개의 제어단자와 출력 단자를 사용한다. 또한 이 회로는 구현하기에 단순하고 용이하다. 그러나 각 게이트마다 두 개의 트랜지스터가 필요하기 때문에 전체 면적의 오버헤드가 크다는 단점이 있다.

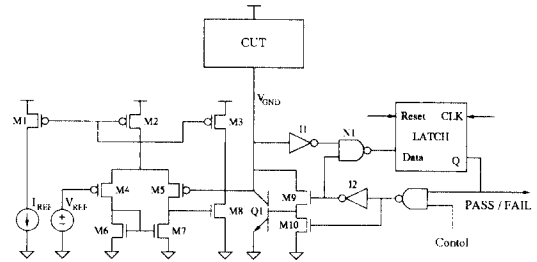


그림 5. Maly의 전류 감지 회로  
Fig. 5. Maly's BICS.

3. Maly의 회로

이 회로는 W. Maly<sup>[21]</sup>에 의해 제안된 것으로서 회로는 그림 5와 같다. 이 회로는 전압강하 소자 (lateral NPN 바이폴라 트랜지스터  $Q_1$ ), 비교기(트랜지스터  $M_1 - M_7$ ), 이단 증폭기( $M_3, M_6, I_1$ ), PASS/FAIL신호를 발생시키는 래치 회로, 회로 차단기( $M_9, M_{10}, I_2$ ), 기준 전압원  $V_{REF}$ , 기준 전류원  $I_{REF}$  등으로 구성되어 있다. 이 회로는 lateral NPN 바이폴라 트랜지스터  $Q_1$ 의  $V_{CE}$ 가 전압이  $V_{REF}$ 보다 크면 PASS/FAIL 신호를 '1'로 하고 접지단자로부터 시험대상회로를 격리시킨다. 이 회로의 기본 개념은 P. Nigh<sup>[5]</sup>의 회로와 동일하다. 안정한 PASS/FAIL 신호를 얻기 위해서 래치회로가 사용되었다. 이 회로는 단일클럭을 이용하며, 다섯 개의 제어 신호가 필요하며 NPN 바이폴라 트랜지스터를 사용하므로 설계가 까다롭다는 단점이 있다.

4. Miura의 회로

빠른 PASS/FAIL 신호를 얻기 위해서 전체전류 (동적전류와 정적전류의 합)를 측정하는 방법이 Y. Miura 와 K. Kinoshita<sup>[22]</sup>에 의해 제안되었다. 이 회로 그림 6는 전압-전류 변환기, 레벨 변환기와 적분 회로로 구성되어 있다. 전압-전류 변환기는 시험대상 회로에 흐르는 전류를 이에 상응하는 전압으로 변환시켜 주는 역할을 한다. 레벨 변환기는 전압-전류 변환기의 출력 전압을 적당한 논리값으로 변환시켜 주는 역할을 한다. 적분회로는 어떤 시간 동안 입력신호가

결함이 있다고 판단되면 결함 존재를 알려준다. 이 방식에서는 입력 벡터가 인가되는 동안 일정 회수의 상태천이가 발생하도록 테스트 벡터를 선택한다. 상태천이 회수가 고정되어 있기 때문에 정적전류의 양과 시간은 상수가 된다. 이 상수에 결함이 없을 때 흐르는 전류의 양을 더한 것이 결함존재 여부를 판단하는 기준 전류가 된다. 이 방법에서는 먼저 전류가 감지되고 난 후 전압-전류 변환기(V-I translator)에 의해 아날로그 전압으로 변환된다. 아날로그 전압은 레벨 변환기(level translation)에 의해 적당한 논리레벨로 변환된다. 그후, 만일 일정시간 동안 결함이 나타나면 적분회로는 출력단에 결함이 존재함을 나타낸다. 이 회로는 클럭을 사용하지 않으며 세 개의 제어단자와 한 개의 출력단자가 필요하다. 이 방식은 동작속도가 빠르고 성능저하가 적다는 장점이 있으나 누설전류로 인하여 결함을 검출하지 못하는 경우가 생길 수 있으며 저항과 캐패시터들로 점유면적이 크고, 테스트 벡터 생성이 복잡하다는 단점이 있다.

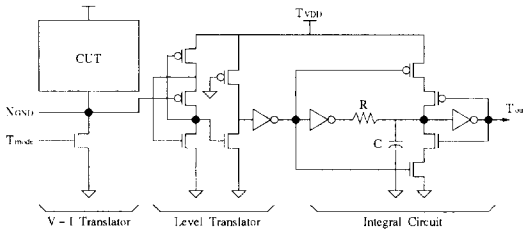


그림 6. Miura에 의해 제안된 전류 감지 회로  
Fig. 6. BICS proposed by Miura.

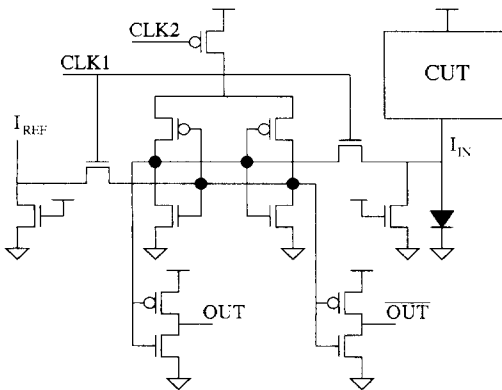


그림 7. Shen의 전류 감지 회로  
Fig. 7. Shen's BICS.

5. Shen의 회로

Nigh의 회로<sup>[5]</sup> 와 Maly의 회로<sup>[21]</sup>에서 사용된

회로 차단기는 하드웨어 오버헤드를 증가시키고 시험 대상회로의 성능을 저하시킨다. 이 회로 차단기를 다이오드로 대체한 전류 감지 회로가 T. L. Shen 등<sup>[23]</sup>에 의해 설계되었다. 이 전류 감지 회로는 그림 7과 같다. 이 회로의 주요 부분은 차동 증폭기를 이용한 비교기와 다이오드이다. 이 다이오드는 전류 감지 소자의 전압 강하를 일정 전압으로 제한하는 역할을 하며 과대 전류가 흐를 때 큰 전압의 변동 없이 전류를 흘릴 수 있게 한다. 결함이 존재하여 비정상적인 과대 전류가 흐르면 트랜지스터와 다이오드가 병렬로 연결된 곳을 통하여 전압강하가 이루어진다. 비교기는 이 전압과 외부에서 제공되는 기준 전압을 비교한다. 시험대상회로에 흐르는 전류는 다이오드로 흐르기 때문에, 시스템 클럭 사이클 동안 입력단자 I<sub>IN</sub>에 존재하는 기생 캐패시터는 약 0.65 [V]로 충전된다. 이 전압으로 인하여 14.4%의 전파 지연시간의 증가가 발생한다. 이 회로는 빠른 동작속도 때문에 여러 분야에 적용되고 있다. 그러나 '0' 상태의 전위가 다이오드의 턴온 전압만큼 상승한다는 단점이 있다. 이 회로는 2 phase 클럭을 사용하며 세 개의 제어단자와 두 개의 출력단자가 필요하다.

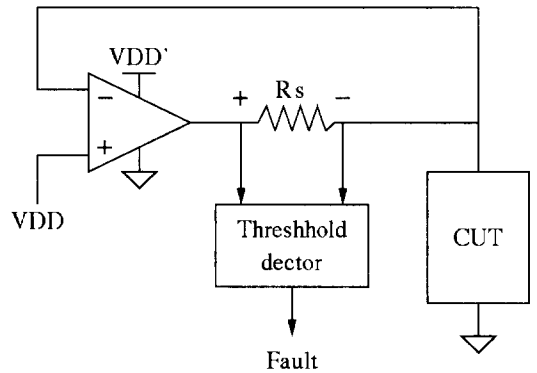


그림 8. Tang의 전류 감지 회로  
Fig. 8. Tang's BICS.

6. Tang의 회로

J. J. Tang 등<sup>[24]</sup>은 성능저하를 감소시키기 위한 하나의 방법으로 연산 증폭기를 이용하여 전류 감지 회로를 설계하였다. 연산 증폭기를 이용한 전류 감지 회로는 그림 8과 같다. 이 회로는 연산 증폭기, 저항, 그리고 결함의 존재 유무를 판단하는 한계전압 검출기(threshold voltage detector)로 구성된다. 이때 연산 증폭기는 다른 두 개의 공급전원에 의해 동작되며, 연



산 증폭기의 출력단과 시험대상회로의  $V_{DD}$  사이에 결합검출 저항이 연결되어 결합전압의 유무를 저항 양단의 전압으로 판별한다. 이 회로는 단일클럭을 사용하며 세 개의 제어단자와 한 개의 출력단자를 사용한다. 이 방법은 성능저하가 무시할 만하다는 장점이 있다. 그러나 정밀한 연산 증폭기를 만드는 것은 많은 비용이 소요되고 어려운 작업이다. 또한 연산 증폭기의 두 개의 자체 공급전원이 필요로 한다는 단점이 있다.

### V. 내장형 전류 감지 회로 설계

일반적으로 내장형 전류 감지 회로는 다음과 같은 성질이 요구된다.<sup>[22]</sup>

- 동작속도가 빨라야 한다.
- 전류 해상도가 높아야 한다.
- 테스트 회로에 대한 전압강하가 작아야 한다.
- 회로구성이 간단해야 한다.
- 점유면적이 적어야 한다.
- 성능저하가 작아야 한다.

본 논문에서는 이와 같은 특성을 만족하는 새로운 내장형 전류 감지 회로를 제시한다. 제안된 내장형 전류 감지 회로는 정상동작 모드와 테스트 모드의 두 개의 동작모드를 갖는다. 정상동작 모드에서 시험대상회로는 전류 감지 회로에 의해 영향을 받지 않도록 전류 감지 회로와 격리된다. 테스트 모드에서 시험 대상 회로는 결합에 의해 발생하는 비정상적인 전류를 검출하기 위해서 전류 감지 회로에 연결된다. 제안된 내장형 전류 감지 회로는 먼저 시험대상회로에 흐르는 정상상태의 전류와 기준전류를 비교한다. 정상상태의 전류가 기준전류보다 크다면 출력신호 PASS/FAIL은 '1'이 되는데, 이것은 시험대상회로 내에 결합이 존재함을 의미한다. 정상상태의 전류가 기준전류보다 작다면 출력신호 PASS/FAIL은 '0'이 되며, 이것은 시험대상회로 내에 결합이 존재하지 않음을 의미한다.

제안된 내장형 전류 감지 회로의 기본 요소는 전류 미러(current mirror)회로이다. 전류미러는 회로의 한 단자에서의 기준전류를 두 번째 단자에서 정확히 재생성하거나 복제하는 기능을 갖는다. 전류 감지 회로의 성능은 전류미러의 동작에 의해 결정된다. 기본적인 전류미러 회로는 그림 9에 나타낸 바와 같이 입력 NMOS트랜지스터 Q1 과 입력전류를 복제하기 위해서 연결된 NMOS 트랜지스터 Q2로 구성되어 있다.

이 트랜지스터들은 동일한 한계전압  $V_t$  를 갖지만 다른 값의 (W/L)비를 가질 수 있다. 입력전류  $I_{IN}$  은 입력 NMOS 트랜지스터 Q1 으로 들어가며, 출력전류  $I_O$  은 NMOS 트랜지스터 Q2 의 드레인 전류를 말한다. 두 트랜지스터는 포화(saturation) 영역에서 동작해야 한다. NMOS 트랜지스터 Q1 에 대해서 입력전류  $I_{IN}$  은 다음과 같이 표현된다.

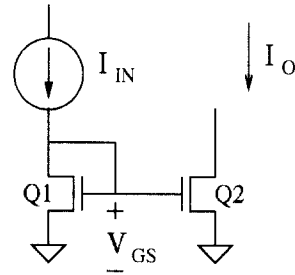


그림 9. 전류 미러 회로  
Fig. 9. Current mirror circuit.

$$I_{IN} = \frac{1}{2} \mu_n C_{ox} \frac{W_1}{L_1} (V_{GS} - V_t)^2 \quad (1)$$

여기서  $\mu_n$  은 전자의 이동도,  $C_{ox}$  는 게이트-기판 캐패시터의 단위 면적 당 캐패시턴스,  $L_1$  은 트랜지스터의 채널 길이,  $W_1$  은 트랜지스터의 채널 폭,  $V_t$  는 트랜지스터의 한계 전압이고  $V_{GS}$  는 드레인 전류  $I_{IN}$  에 해당하는 게이트-소스 전압이다. NMOS 트랜지스터 Q2 는 Q1 과 병렬로 연결되어 있기 때문에 동일한  $V_{GS}$  를 가진다. 따라서 출력전류  $I_C$  는 다음과 같이 표현된다.

$$I_O = \frac{1}{2} \mu_n C_{ox} \frac{W_2}{L_2} (V_{GS} - V_t)^2 \quad (2)$$

식 (5.1)과 (5.2)를 결합하면 다음과 같은 식을 얻는다.

$$\frac{I_O}{I_{IN}} = \frac{W_2/L_2}{W_1/L_1} \quad (3)$$

따라서, 입력전류  $I_{IN}$  에 대한 출력전류  $I_C$  의 비는 두 개의 트랜지스터 Q2 와 Q1 의 W/L 비에 의해서 정해진다.

제안된 전류 감지 회로는 그림 10과 같다. 이 회로는 세 개의 NMOS 트랜지스터, 두 개의 PMOS 트랜지스터, 한 개의 기준 전류원 및 한 개의 인버터 회



류 감지 회로는 천이상태 동안의 과대전류를 무시해야 한다. 전류 감지 회로가 과대전류를 검출하지 않도록 NMOS 트랜지스터 Q0가 사용되었다. 테스트 타이밍도를 그림 11에 나타내었다.

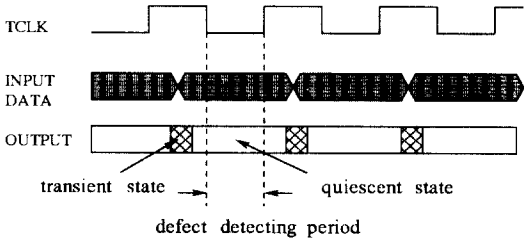


그림 11. 테스트 칩의 타이밍 다이어그램  
Fig. 11. Timing diagram of the test chip.

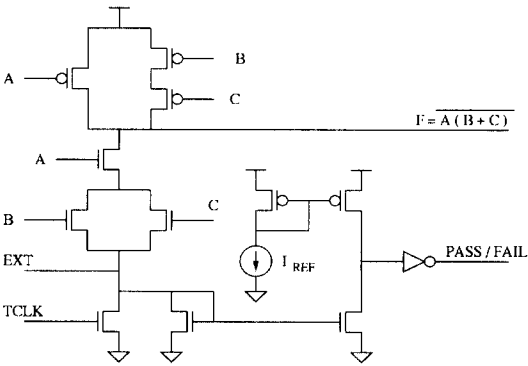


그림 12. 적용예  
Fig. 12. Example of proposed BICS.

입력이 천이상태인 동안 TCLK 단자는 '1'로 정해져서 NMOS 트랜지스터 Q0는 전도상태가 된다. 따라서 NMOS 트랜지스터 Q1과 Q2의 게이트 전위는 거의 0V 정도가 되어 차단상태가 되기 때문에 PASS/FAIL 단자는 '0' 상태를 유지한다. 즉, 이것은 입력 천이상태의 과대전류를 검출하지 않았음을 의미한다. 입력천이가 정상상태로 정착될 때 TCLK 단자는 '0'으로 되어 NMOS 트랜지스터 Q0는 차단상태가 된다. 따라서 만일 결합전류가 존재하면 NMOS 트랜지스터 Q1으로 결합전류  $I_{DEF}$ 가 흘러들어 가게 된다. 전류미터 회로의 특성에 의하여 NMOS 트랜지스터 Q2의 드레인 전류  $I_{O1}$ 는 NMOS 트랜지스터 Q1과 Q2의 크기의 비로  $I_{DEF}$ 에 비례한다.

PMOS 전류미터 회로에서, PMOS 트랜지스터 Q4의 드레인 전류  $I_{O2}$ 는 PMOS 트랜지스터 Q3과 Q4의 크기의 비로  $I_{REF}$ 에 비례한다. 본 논문에서는  $(W_1/L_1)$

$= (W_2/L_2)$ ,  $(W_3/L_3) = (W_4/L_4)$ 로 설정하여  $I_{O1} = I_{DEF}$ ,  $I_{O2} = I_{REF}$ 이 되도록 하였다. 결합이 존재하지 않는 시험대상회로에서  $I_{DEF}$ 는  $I_{REF}$ 보다 작다. 따라서 전류 감지 회로는 PASS/FAIL 신호를 '0'으로 출력한다. 반면에 결합이 존재하는 시험대상회로에서  $I_{DEF}$ 는  $I_{REF}$ 보다 크기 때문에 PASS/FAIL 신호를 '1'로 출력한다. 그림 12는  $F = A(B+C)$ 을 구현한 예이다.

## VI. 물리적 구현과 모의 실험

### 1. 물리적 구현

본 연구에서 사용한 공정기술은 (주) LG 반도체의 "CMPSC8" 0.8  $\mu m$  n-well 공정이다. 테스트 칩은 전류 감지 회로를 내장한 4x4 병렬 승산기이다. 이 승산기는 8개의 전 가산기, 4개의 반 가산기와 16개의 AND게이트로 구성되어 있다. 테스트 칩의 마스크 레이어아웃은 그림 13과 같다. 전류 감지 회로는 칩의 우측 하단부에 위치하고 있으며 이는 그림 14와 같다.

내장 전류 감지 회로를 격리시키거나 연결시키는 기능을 안정적으로 수행하도록 스위치 트랜지스터 Q0의 W/L 크기는 16  $\mu m/0.8 \mu m$ 로 설정하였고, NMOS 전류미터 쌍인 Q1과 Q2의 W/L 크기는 9.6  $\mu m/1.2 \mu m$ 로 설정하였다. 또한 PMOS 전류미터 쌍인 Q3과 Q4의 W/L 크기는 2.4  $\mu m/2.4 \mu m$ 로 설정하였다.

기준 전류원  $I_{REF}$ 은 다이오드처럼 연결된 NMOS 트랜지스터로 구현하였다. 이 트랜지스터의 W/L 크기는 2.4  $\mu m/3.2 \mu m$ 로 설정하였다. 승산기에 사용한 일반 PMOS 트랜지스터와 NMOS 트랜지스터의 비는 2:1로 하여 설계하였으며 PMOS 트랜지스터와 NMOS 트랜지스터의 W/L 크기는 각각 4.8  $\mu m/0.8 \mu m$ , 2.4  $\mu m/0.8 \mu m$ 로 하였다.

시험대상회로에 타원형의 메탈 패턴으로 합선결함을 표시하였다. 메탈 합선결함의 예가 그림 15에 나타내었다. 전체 칩 크기는 383 x 258  $\mu m^2$ 이며, 테스트 칩을 구현하는데 464개의 트랜지스터가 소요되었고 패키지(package)는 22 pin DIP로 하였다. 내장형 전류 감지 회로로 인한 면적 소모는 383 x 28  $\mu m^2$ 이었다. 결과적으로 내장형 전류 감지 회로로 인한 면적 오버헤드는 전체 칩에 대해서 약 10.9%이다.

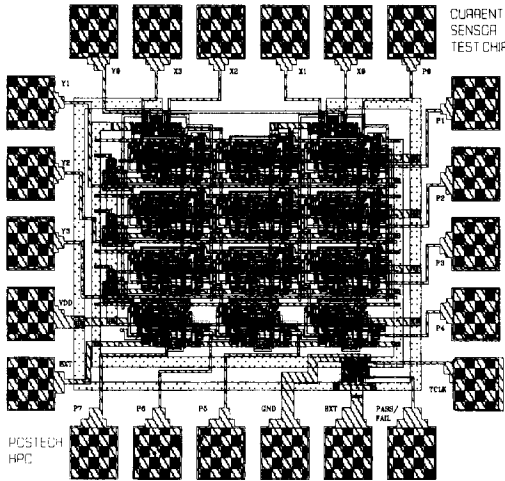


그림 13. 테스트 칩의 레이아웃  
Fig. 13. Mask layout of the test chip.

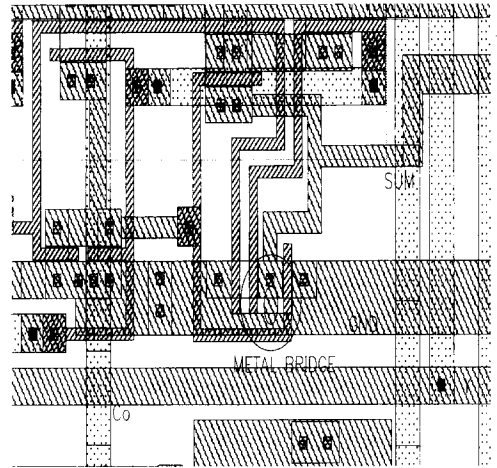


그림 15. 메탈 합선 결함  
Fig. 15. Mask layout of the test chip with bridge defect.

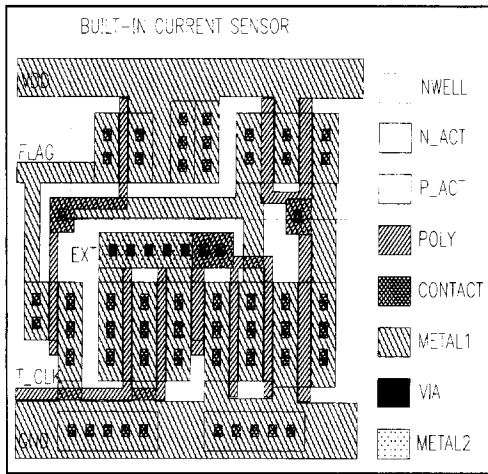


그림 14. 내장형 전류 감지 회로의 레이아웃  
Fig. 14. Mask layout of the built-in current sensor.

표 1. 각 파라미터에 대한 모의실험 결과  
Table 1. Simulation results of each parameter.

	Defect-free test chip without BICS	Defect-free test chip with BICS
t <sub>TLH</sub>	5.0 ns	5.1 ns
t <sub>THL</sub>	2.2 ns	2.3 ns
t <sub>PD</sub>	3.6 ns	3.7 ns
t <sub>TLH</sub>	0.8 ns	1.1 ns
t <sub>THL</sub>	1.9 ns	1.9 ns
P <sub>D</sub>	1.53 mW	1.72 mW

표 2. 각 내장형 전류 감지 회로의 비교  
Table 2. Comparison of each BICS.

	# Device	Control Signal	Speed Degradation	Mode Select	Control Pin	Output Pin
Nigh's Design[5]	TR: 13 Inv: 1	Two Phase Clock	20%	Y	3	1
Pavali's Design[19]	TR: 2xgates-1	not used	not reported	Y	1	1
Maly's Design[21]	TR: 10 Inv: 2 NAND: 1	Single Clock	not reported	Y	5	1
Miura's Design[22]	TR: 16 R: 1 C: 1	not used	not reported	Y	3	1
Shen's Design[23]	TR: 13 Diode: 1	Two Phase Clock	14.4%	N	3	2
Tang's Design[24]	TR: 24 R: 1	Single Clock	negligible	N	3	2
This paper	TR: 6 Inv: 1	Single Clock	negligible	Y	2	1

2. 모의실험 결과와 비교

제안된 내장형 전류 감지 회로는 HSPICE BSIM1 모델을 사용하여 SPARC SERVER 1000 workstation에서 모의실험 하였다. 전류 감지 회로가 내장되지 않고 결함이 존재하지 않는 회로의 모의실험 결과는 그림 16과 같다. 정상동작 모드에서 전류 감지 회로가 내장되고 결함이 존재하지 않는 회로의 모의실험 결과는 그림 17과 같다. 모의실험 결과에서 보듯이 출력 신호 PASS/FAIL는 '0' 으로 고정되어 있기 때

문에 입력천이시 발생하는 과대전류가 전류 감지 회로에 영향을 미치지 않고 있음을 알 수 있다. 메탈 합선 결함이 전 가산기의 내부 노드에 존재하고, 회로가 테스트 모드일 때 모의실험 결과는 그림 18과 같다. 그림 18의 결과에서 보듯이 결함 과대전류가 존재하는 구간에서만 PASS/FAIL 신호가 '1'이기 때문에 내장형 전류 감지 회로는 입력천이시 발생하는 과대전류를 제외하고 결함으로 발생한 과대전류만 검출하는 것을 알 수 있다. 결과적으로 제안된 내장형 전류 감지 회로는 결함전류를 완벽히 검출함을 알 수 있다.

전류 감지 회로가 내장된 회로와 내장되지 않은 경우의 성능을 비교하기 위해서 전파 지연시간(propagation delay time), 천이시간(transition time)과 평균 전력소모 등을 모의실험 하였다. 외부부하는 0.1pF로 가정하였다. 모의실험 결과는 표 1과 같다. 전류 감지 회로가 내장되지 않은 회로와 내장된 회로의 전파 지연시간  $t_{PD}$  는 각각 3.6 나노 초(nano-second), 3.7 나노 초이다. 두 경우의 결과는 0.1 나노 초의 작은 차이가 있었다. Low 레벨에서 high 레벨로 천이 하는 시간인  $t_{rLH}$  는 두 경우에 대해서 0.8 나노 초와 1.1 나노 초였고, high 레벨에서 low 레벨로 천이 하는 시간인  $t_{rHL}$  는 두 경우에 대해서 모두 1.9 나노 초였다. 0 부터 640 나노 초까지 임출력 회로를 제외한 전력소모  $P_D$  는 두 경우에 대해서 각각 1.53mW와 1.72mW 이었다. 따라서 평균 전력소모의 오버헤드는 12.4%이다. 이상의 모의실험 결과를 고려해 볼 때 전류 감지 회로 내장으로 인한 성능저하는 무시할 수 있을 정도라고 결론 지을 수 있다. 기존의 내장형 전류 감지 회로와 비교한 내용을 표 2에 정리하였다.

본 논문에서 제안한 회로는 6개의 트랜지스터와 1개의 인버터로써 기존의 모든 회로 중에서 가장 소모 소자수가 적었다. 본 논문에서 제안된 회로는 사용하는 클럭체계가 단일 클럭으로서 2 phase 클럭을 사용하는 Nigh의 회로<sup>[5]</sup>와 shen<sup>[23]</sup>의 회로에 비해서 간단하며, 동작속도 저하는 0.1 나노 초로서 무시할 수 있을 정도였다. 또한 모드 선택이 가능하였으며 두 개의 제어단자와 한 개의 출력단자가 추가되었는데 이것은 Favalli의 회로<sup>[19]</sup>를 제외한 다른 회로보다 추가 단자가 적었다. 따라서 표 2에서 보듯이 본 논문에서 제안된 회로가 다른 회로들에 비해서 우수함을 알 수 있다.

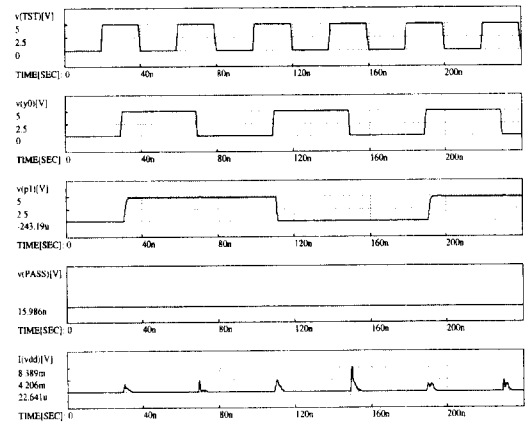


그림 16. 전류 감지 회로가 내장되지 않고 결함이 존재하지 않는 회로의 모의실험 결과  
Fig. 16. Simulation result of a defect-free test chip without built-in current sensor.

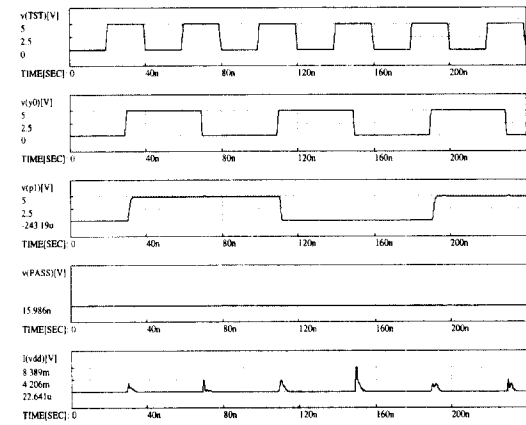


그림 17. 정상동작 모드에서 결함이 존재하지 않는 회로의 모의실험 결과  
Fig. 17. Simulation result of a defect-free test chip in the normal mode.

## VII. 결론

본 논문에서는 CMOS 회로에서 흔히 발생하는 합선, 게이트 옥사이드 합선 및 트랜지스터 합선 등의 결함을  $I_{DDQ}$  테스트로 검출할 때 사용되는 새로운 내장형 전류 감지 회로를 제안하였다. 이 회로는 모든 CMOS 공정에서 쉽게 구현이 가능한 전류미러 회로를 기초로 하여 구성하였다. 제안된 회로는 결함전류와 기준전류의 차이를 전압으로 변환시켜 시험대상회로에 결함이 존재하는지 여부를 나타낸다. 정상동작 모드에서 시험대상회로와 접지단자 사이에 위치하고

있는 전류 감지 회로가 접지단자로 바이패스 되므로 부가된 회로로 인한 장애나 접지전위 상승등이 일어나지 않는다. 테스트 모드에서 제안된 회로는 결함을 완벽히 검출함을 HSPICE 모의실험을 통하여 확인하였다. 제안된 회로는 단일 클럭체계를 사용하고 점유면적이 작고 외부 전압원이나 전류원을 필요치 않고 성능저하가 무시 할 만한 정도이기 때문에, 이 회로는 내장형으로 적합하다. 그러나 기준 전류원이 내장되기 때문에 칩 외부에서 기준 전류 값의 조정이 불가능하다는 단점이 있다.

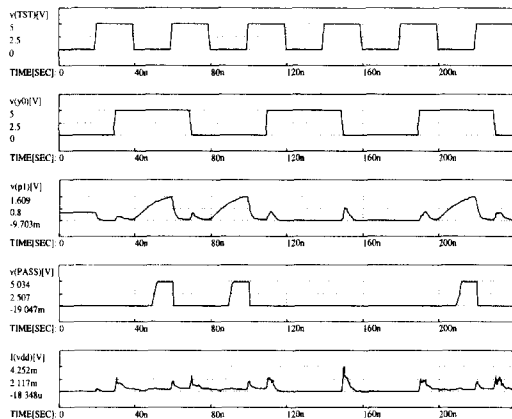


그림 18. 테스트 모드에서 결함이 존재하는 테스트 칩의 모의실험 결과

Fig. 18. Simulation result of a defective test chip in the testing mode.

앞으로 자동 테스트 장비(automatic test equipment)와의 인터페이스(interface)문제, 테스트 패턴의 생성 문제 및 큰 회로의 분할문제 등에 대한 연구가 수행되어야 할 것이다.

### 참 고 문 헌

[1] W. Maly, "Realistic fault modeling for VLSI testing," in *Proc. Design Automation Conf.*, 1987, pp. 173-180.  
 [2] F. J. Ferguson and J. P. Shen, "A CMOS fault extractor for inductive fault analysis," *IEEE Trans. Computer-Aided Design*, vol. 7, no. 11, pp. 1181-1194, Nov. 1988.  
 [3] J. M. Sorden, R. K. Treece, M. R. Taylor, and C. F. Hawkins, "CMOS IC stuck-

open fault electrical effects and design consideration," in *Proc. Int. Test Conf.*, 1989, pp. 423-430.

- [4] W. Maly, A. J. Strojwas, and S. W. Director, "VLSI yield prediction and estimation: A unified framework," *IEEE Trans. Computer-Aided Design*, vol. 5, no. 1, pp. 114-130, Jan. 1986.  
 [5] P. Nigh and W. Maly, "A Self-testing ALU using built-in current sensing," in *Proc. IEEE Custom Integrated Circuit Conf.*, 1989, pp. 22.1.1-22.1.4.  
 [6] T. M. Storey and W. Maly, "CMOS bridging faults detection," in *Proc. Int. Test Conf.*, 1990, pp. 842-851.  
 [7] S. D. Millman, E. J. McCluskey, and J. M. Acken, "Diagnosing CMOS bridging faults with stuck-at fault dictionaries," in *Proc. Int. Test Conf.*, 1990, pp. 860-870.  
 [8] M. Keeting and D. Meyer "A new approach to dynamic IDDQ testing," in *Proc. Int. Test Conf.*, 1987, pp. 316-321.  
 [9] R. Meershoek, B. Verhelst, R. McInerney, and L. Thijssen, "Functional and IDDQ testing," in *Proc. Int. Test Conf.*, 1990, pp. 929-937.  
 [10] F. Vargas and N. Nicolaidis, "SEU-tolerant SRAM design based on current monitoring," in *Proc. 24th Int. Symp. on Fault-Tolerant Comput.*, 1994, pp. 106-115.  
 [11] S. R. Mallarapu and A. J. Hoffman, "IDDQ testing on a custom automotive IC," *IEEE J. Solid-State Circuits*, vol. 30, no. 3, pp. 295-299, Mar. 1995.  
 [12] C. F. Hawkins and J. M. Soden, "Electrical characteristics and testing considerations for gate oxide shorts in CMOS ICs," in *Proc. Int. Test Conf.*, 1985, pp. 544-555.  
 [13] H. Hao and E. J. McCluskey, "Resistive shorts within CMOS gates," in *Proc. Int. Test Conf.*, 1991, pp. 292-301.  
 [14] M. Syrzycki, "Modeling of gate oxide shorts in MOS transistors," *IEEE Trans. Computer-Aided Design*, vol. 8, no. 3,

- pp. 193-202, Jan. 1986.
- [ 15 ] D. G. Ong, Modern MOS Technology, McGraw-Hill, inc, 1984.
- [ 16 ] N. Weste and K. Eshraghian, Principles of CMOS VLSI Design, MA: Addison Wesley Publishing Company, 1993
- [ 17 ] R. Rajsuman, *Iddq Testing for CMOS VLSI*, Artech House INC, 1995.
- [ 18 ] A. B. Grebene, Bipolar and MOS Analog Integrated Circuit Design, Wiley-Interscience Publication, 1984
- [ 19 ] M. Favalli, P. Olivo, M. Damiani, and B. Ricco, "Novel design for testability schemes for CMOS IC's," *IEEE J. Solid-State Circuits*, vol. 25, no. 5, pp. 1239-1246, Oct. 1995.
- [ 20 ] W. Maly and P. Nigh, "Built-in current testing-Feasibility study," in *Proc. Int. Conf. Computer-Aided Design*, 1988, pp. 340-343.
- [ 21 ] W. Maly and M. Patyra, "Built-in current testing," *IEEE J. Solid-State Circuits*, vol. 27, no. 3, pp. 425-428, Mar. 1992.
- [ 22 ] Y. Miura and K. Kinoshita, "Circuit design for built-in current testing," in *Proc. Int. Test Conf.*, 1992, pp. 873-881.
- [ 23 ] T. L. Shen, J. C. Daly, and J. C. Lo, "A 2-ns detecting time, 2- $\mu$ m CMOS built-in current sensing circuit," *IEEE J. Solid-State Circuits*, vol. 28, no. 1, pp. 72-77, Jan. 1993.
- [ 24 ] J. J. Tang, K. J. Lee, and B. D. Liu, "A practical current sensing technique for IDDQ testing," *IEEE Trans. Computer-Aided Design*, vol. 3, no. 2, pp. 302-310, Jun. 1995.

## 저 자 소 개



金 政範(正會員)

1985년 2월 인하대학교 전자공학과(학사). 1987년 2월 인하대학교 대학원 전자공학과(석사). 1997년 2월 포항공과대학교 대학원 전자전기공학과(박사). 1987년 1월 ~ 1992년 5월 금성반도체(현 LG반도체) 중앙연구소 집적회로 설계실. 1997년 2월 ~ 현재 현대전자시스템 IC 연구소 책임 연구원. 관심분야는 VLSI 설계, Testable Design, Multi-Valued Logic.



金 種(正會員)

1981년 한양대학교 전자공학과(학사). 1983년 한국과학원 전산학과(석사). 1991년 Pennsylvania State University 컴퓨터공학(박사). 1983년 ~ 1986년 Korea Securities Computer Corporation, System engineer. 1987년 ~ 1990년 The ECE Department of Pennsylvania State University, 연구조교. 1991년 ~ 1992년 University of Michigan, The Real-Time Computing Laboratory 연구원. 1992년 ~ 현재 포항공대 전자계산학과 조교수. 관심분야는 결함포용 시스템, 성능 평가, 병렬 및 분산 처리



洪 性濟(正會員)

1973년 서울대학교 전자공학과(학사). 1979년 Iowa State University 전자계산학과(석사). 1983년 The University of Illinois at Urbana-Champaign 전자계산학과(박사). 1973년 ~ 1975년 중앙경리단. 1976년 ~ 1977년 동양 컴퓨터 엔지니어링. 1983년 ~ 1989년 GE, 연구원. 1989년 ~ 현재 포항공대 전산학과 부교수. 관심분야는 VLSI 설계, Test Generation, 스위치 이론, 병렬처리