

論文97-34C-4-4

디지털 제어 적분형의 차단 현상이 없는 A/D 다중 비트 $\Sigma\Delta$ 변조기

(A Clipping-free Multi-bit $\Sigma\Delta$ Modulator with Digital-controlled Analog Integrators)

李東潤*, 金元燦*

(Dong-Yun Lee and Wonchan Kim)

요 약

본 논문에서는 신호의 차단 현상이 없는 다중 비트 $\Sigma\Delta$ 변조기를 제안한다. 신호의 차단 현상을 제거하기 위하여 적분기의 출력 신호를 검출하여 이를 일정한 크기로 보정하여 준다. 보정 결과는 디지털 값으로 저장되고, 실제의 적분기 출력은 저장된 디지털 값과 아날로그 값의 합으로 표현된다. 이 방식에서는 양자화기로부터의 되먹임 값을 적분기 출력의 디지털 값에서 빼는 것이 가능하기 때문에 기존의 다중 비트 방식에서 요구하는 정밀한 내부 DAC가 필요하지 않다. 이러한 특성들은 적분기를 N 개 연결하여 N 차의 변조기를 구현하는 것을 가능하게 한다. 제안된 N 차의 변조기는 하드웨어를 공유하는 방법을 사용하면 칩 면적을 줄일 수 있다. 실험 결과 과표본화율이 64인 4 차의 제안된 $\Sigma\Delta$ 변조기는 rail-to-rail 입력 신호에 대해 130 dB 이상의 SNR을 보임을 확인하였다.

Abstract

This paper proposes a multi-bit $\Sigma\Delta$ modulator architecture which eliminates signal clipping problem. To avoid signal clipping, the output values of integrators are monitored and modified by a reference value. This operation is recorded as a digital code to restore actual signal value. Due to the digital code, the subtraction of feedback value from the multi-bit quantizer can be calculated by a digital adder and this simplifies DAC operation making the accurate DAC of conventional multi-bit $\Sigma\Delta$ modulator scheme unnecessary. These features make N-th order $\Sigma\Delta$ modulator be realized by cascading N integrators. The proposed N-th order $\Sigma\Delta$ modulator can be implemented by sharing an integrator among N stages to decrease the required chip area. As an experimental example, a 4th order $\Sigma\Delta$ modulator with oversampling ratio of 64 was simulated to show over 130 dB SNR at rail-to-rail input sinusoidal signal.

1. 서 론

12 비트 이상의 고해상도 아날로그-디지털 변환이 가능한 $\Sigma\Delta$ 변조기의 최대 해상도를 높이기 위한 많은 연구가 있어왔다^[1,2,3,4,5]. $\Sigma\Delta$ 변조기의 최대 해상도를 높이기 위하여, 과표본화율(oversampling ratio)을 크게 하거나 변조기의 차수를 증가시키는 방법이 있다. 그

러나 실제적인 하드웨어 구현에서 부딪히는 구조적, 회로적인 문제 때문에, CMOS로 제작되는 $\Sigma\Delta$ 변환기의 최대 처리 신호 주파수는 수백 KHz의 범위에 머물고 있는 실정이다^[11].

그림 1에 현재 많이 사용되고 있는 이중 루프 구조의 $\Sigma\Delta$ 변조기^[2]를 N차로 확장한 구조를 나타내었다. 차수 N이 3이상일때 회로의 상태 변수(u_k) 즉, 적분기의 출력 신호는 발산하게 된다. 이와 같이 발산하는 신호는 실제 회로에서는 차단(clipping)되거나 양자화기(quantizer)의 과부하(overload)로 작용하여 $\Sigma\Delta$ 변조기의 성능을 급격히 저하시킨다.

이와 같이 고차 $\Sigma\Delta$ 변조기의 상태 변수가 발산하는 문

* 正會員, 서울대학교 電氣工學部

(School of Electrical Engineering, Seoul Nat'l Univ.)

接受日字:1997年1月14日, 수정완료일:1997年4月1日

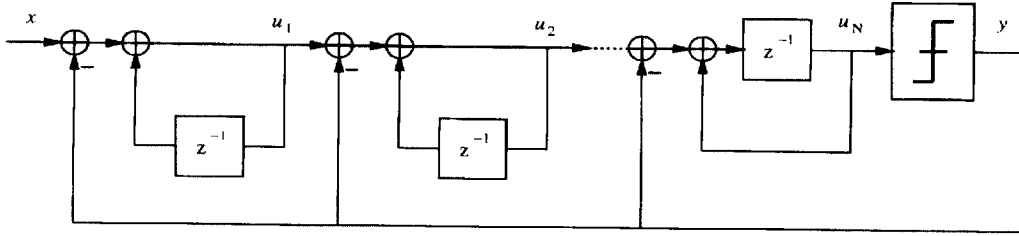


그림 1. N 차 $\Sigma\Delta$ 변조기의 구성도
 Fig. 1. Schematic of the Nth-order $\Sigma\Delta$ modulator.

제를 해결하기 위해 지금까지 시도된 방법은 다음과 같다. 첫번째는 적분기의 이득과 되먹임 이득(feed-back gain)을 모의 실험을 통하여 조절하는 방법이다^[3]. 여기에서는 고려해야 하는 변수가 많아서 모든 경우에 대해 모의 실험을 할 수가 없고 따라서 다소 불완전한 방법이다. 두번째로 아날로그 변조기의 전달 특성을 필터 설계 설계 기법을 이용하여 구현한 보간 변조기(interpolative modulator)가 있다^[4]. 이는 설계된 필터 계수가 다소 높은 정밀도를 요구하는 단점이 있다. 세번째로 MASH 구조로 알려진 병렬 변조기(cascaded modulator)를 들 수 있는데 이는 병렬된 블록간의 정밀한 일치(matching)을 필요로 한다^[5]. 네번째로 아날로그 적분기의 출력의 상태를 디지털 회로를 이용하여 차단이 일어나지 않도록 유지하고 대신 디지털 영역에서 이를 보상하는 기법이 있다^[6]. 이는 디지털 보상회로가 IIR 필터로 구현되어 디지털 영역에서 발전할 가능성이 있다.

한편, 공급 전압이 낮아지면 처리하는 신호의 크기도 줄어들는데 비해 스위칭 등에 의한 잡음의 크기는 그다지 변하지 않는다. 따라서 공급 전압이 낮아지면 $\Sigma\Delta$ 변조기의 동작 영역 및 해상도가 떨어진다. 이를 극복하기 위해서는 처리하는 신호의 크기를 키울 수 있는 구조나, 잡음을 획기적으로 줄이는 구조를 사용하거나 해야 한다. 최근에 스위칭 소자를 최소한으로 줄인 연속 시간 영역에서 동작하는 $\Sigma\Delta$ 변조기가 제안되고 있으나^[7] 이들은 매우 정밀한 아날로그 적분기를 필요로 한다^[3].

본 논문에서는 위에서 설명된 여러 가지 문제점들을 효과적으로 해결할 수 있는, 즉 고차의 $\Sigma\Delta$ 변조기에서 신호의 차단 현상을 제거하고, 저전압 동작에 유리하도록 등가적으로 내부 신호의 크기를 키울 수 있는 다중 비트 방식의 $\Sigma\Delta$ 변조기를 제안한다. 제안된 $\Sigma\Delta$ 변조기

는 변조기의 차수를 올리는데 따른 안정도의 문제가 거의 존재하지 않으며, 다중 비트 구조임에도 불구하고 신호의 디지털 처리를 통해 출력값의 되먹임에 사용되는 정밀한 내부 DAC가 필요치 않게 된다.

본 논문의 구성은 다음과 같다. 우선 2 장에서 기존의 고차 $\Sigma\Delta$ 변조기의 내부 신호에 대해 이론적으로 분석한다. 그리고 3장에서 제안된 구조에 대한 기본 착상 및 동작 원리에 대해 설명한다. 4 장에서는 이를 구현하는 회로에 대해 논하고 실제로 IC로 구현시 하드웨어를 공유하여 면적을 줄이는 방법에 대해 설명한다. 5 장에서는 MATLAB을 이용한 동작(behavioral) 모의 실험 결과 및 VERILOG와 AHDL을 이용하여 혼합 모드(mixed mode) 모의 실험한 결과를 보인다.

II. $\Sigma\Delta$ 변조기의 내부 신호 특성

이 장에서는 4 차 $\Sigma\Delta$ 변조기(그림 1에서 N=4인 경우)의 상태 변수에 대해 고찰하도록 한다. 우선 z-domain에서의 분석에 따르면 4 개의 적분기 출력 신호의 크기에 대한 한계는

$$\begin{aligned} |u_1| &< |x|_{\max} + 8|e_q|_{\max} \\ |u_2| &< |x|_{\max} + 12|e_q|_{\max} \\ |u_3| &< |x|_{\max} + 14|e_q|_{\max} \\ |u_4| &< |x|_{\max} + 15|e_q|_{\max} \end{aligned} \quad (1)$$

이 되는데, 여기서 $|x|_{\max}$ 와 $|e_q|_{\max}$ 는 각각 입력 신호와 양자화 잡음 신호의 최대 크기를 의미한다.

우선 $|x|_{\max}$ 는 양자화기의 1 LSB보다 작고 양자화기의 과부하는 없다고 가정한다. 과부하가 없을 때 $|e_q|_{\max}$ 는 양자화기의 $\frac{1}{2}$ LSB에 해당한다. 따라서, 식 (1)의 u_4 를 양자화기의 과부하 없이 양자화하려면 적어도 5 비트가 필요하다.¹⁾

$$2 \times (1\text{LSB} + 7.5\text{LSB}) = 17\text{LSB} \quad (5 \text{ 비트에 해당})$$

위의 특성을 갖는 그림 1의 구조를 회로로 구현할 때 다음과 같은 문제가 발생한다.

- 내부 신호(u_i)는 공급 전압보다 커질 수 없으므로, 신호의 차단에 의한 SNR의 감소를 막기 위해서는 내부 신호의 동작 영역을 공급 전압보다 훨씬 작은 범위로 제한하여야 한다. 이때는 신호의 크기를 줄이는 만큼 SNR도 줄어들게 된다.
- 양자화기의 과부하를 막기 위해서는 양자화기가 다중 비트 구조이어야 한다. 이때는 다중 비트 구조가 정밀한 내부 DAC를 요구하게 되고 이는 회로 설계상 큰 부담이 된다.
- 이 구조는 양자화기로부터의 되먹임 신호 때문에 파이프 라인 기법을 적용할 수 없다. 파이프 라인 기법을 적용하기 위해서는 지연 적분기(delayed integrator)를 사용한 그림 2와 같은 구조를 사용해야 하는데 전달 함수가 z 의 분수함수로 표현이 되고 양자화 잡음이 모든 주파수 영역에 걸쳐 분포하므로, 전달 함수의 극점에서 발산하게 된다. 따라서 이 구조에서는 식 (1)과 같은 내부 신호의 한계가 존재하지 않는다. 발산을 방지하기 위해 보통 모의 실험을 통한 적분기 이득과 되먹임 경로의 이득을 조절하는데, 이 방법은 설계 시간이 길어지고 1보다 작은 이득 값에 따라 신호가 줄어들어 상대적으로 잡음이 증가하는 단점이 있다.

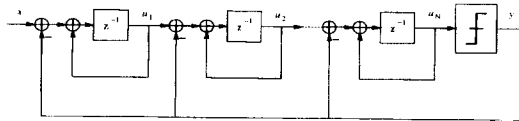


그림 2. 지연 적분기로 구성된 N차 $\Sigma\Delta$ 변조기
Fig. 2. Schematic of the Nth-order $\Sigma\Delta$ modulator with delayed integrators.

III. 제안된 $\Sigma\Delta$ 변조기

이 장에서는 앞 장에 언급한 문제점들을 해결하기 위한 방법들을 설명하고, 이 방법에 의한 새로운 $\Sigma\Delta$ 변조기를 제안한다.

1. 안정도를 높이기 위한 적분기 출력의 천이 방법

그림 3 (a)는 N차 $\Sigma\Delta$ 변조기의 k번째 적분기를 나타낸다. 현재의 출력 $u_k(n)$ 은 저장되어 있던 값 $u_k(n-1)$

1) 부록 A에 N차의 $\Sigma\Delta$ 변조기의 경우에는 (N+1)비트가 필요함을 유도하였다.

과 입력 $u_{k-1}(n)$ 의 합으로 표현된다. 만약 더하여지는 두 값이 ± 1 에서 정해지는 신호의 한계를 넘지 않고, 두 값의 극성을 판단할 수 있다면 그림 3 (b)와 같이 $u_k(n)$ 의 크기를 예측할 수 있다. I과 IV의 경우에 $u_k(n)$ 는 신호의 한계를 넘어서게 되어 신호의 차단이 발생한다. 이를 방지하기 위해서 I의 경우에는 1 만큼을 합으로부터 빼주고 IV의 경우에는 1 만큼을 더해주는 방법을 제안한다. 이와 같은 적분기 출력의 천이(shifting)는 입력 신호와 내부 신호의 극성을 입력으로 하여 천이 여부를 결정하는 간단한 디지털 회로를 이용하여 이루어진다. 그림 4 (a)는 이러한 기능을 하는 천이 판단기(Decision block)을 추가한 적분기 회로를 나타내고 그림 4 (b)는 천이 작용 후의 적분기 출력 값의 크기가 항상 신호의 한계 내에 존재하게 됨을 보여준다. 이 방법을 사용하게 되면 임의의 갯수의 적분기를 직렬로 연결하여도 신호의 발산에 의한 차단 현상을 방지할 수 있다.

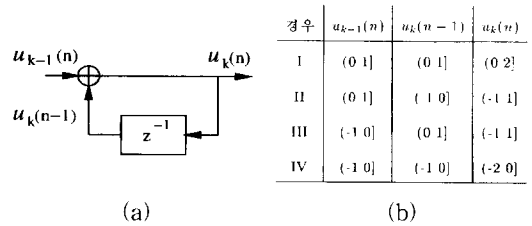


그림 3. (a) 적분기 회로의 구성도, (b) 입력 신호와 내부 신호의 극성에 따른 적분기 출력 신호의 크기 여기서 (a b)는 a에서 b까지의 구간을 의미

Fig. 3. (a) Schematic of the integrator, (b) Classification of the integrator output by input and internal signal (a b) means an interval from a to b.

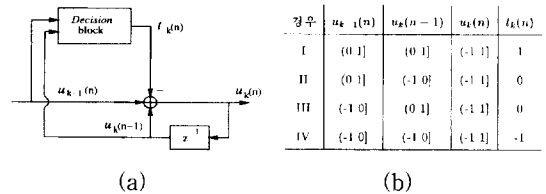


그림 4. (a) 천이 판단기(Decision block)이 추가된 적분기 회로, (b) 입력 신호와 내부 신호의 극성 및 천이 작용에 따른 적분기 출력 신호의 크기

Fig. 4. (a) Integrator schematic with Decision block, (b) Classification of the integrator output after shifting operation.

2. 디지털 코드와 아날로그 잉여값을 이용한 신호의

표현 방법

앞 절의 천이 작용에 의하면 적분기 출력의 실제적인 값은 천이 작용의 결과인 $t_k(n)$ 을 누적한 값과 $u_k(n)$ 의 합이다. 이는 적분기의 출력을 디지털 코드와 1 LSB 보다 작은 아날로그 값으로 나누어 표현하는 것과 같다. 이런 방식을 사용하면 적분기의 출력 신호의 크기는 공급 전압의 크기를 넘어서 디지털 회로에서 제공하는 최대 코드까지 증가할 수 있다. 또한 $\Sigma\Delta$ 변조기의 양자화기로부터의 되먹임 값을 내부의 D/A 변환기를 거쳐서 아날로그 값으로 만든 후에 적분기로부터 빼주는 일반적인 방법 대신, 되먹임되는 디지털 값을 적분기 출력의 디지털 코드로부터 빼줄 수 있다. 이는 기존의 다중 비트 $\Sigma\Delta$ 변조기의 취약점인 내부 D/A 변환기에 관한 정밀한 요구조건을 근본적으로 해결하는 것을 의미한다. 그리고 이 방식에서는 입력 신호의 크기를 공급 전압의 크기까지 증가시켜도 신호의 차단에 의한 SNR의 감소는 없다.

IV. 제안된 $\Sigma\Delta$ 변조기의 하드웨어 구현 방법

이 장에서는 제안된 방법을 실제로 구현하는 방법에 대해 논하기로 한다. 우선 1 절에서는 III장의 기본 개념을 구현한 기능 블록(functional block)을 제시하고, 이들의 병렬 연결을 통해 그림 1의 구성도에 충실한 기능 블록 수준의 하드웨어 구성을 설명한다. 2 절에서는 동작의 분석을 통해 1 절에서 제시된 기능 블록들이 하드웨어 자원을 공유할 수 있음을 보이고, 이를 구현한 실제 회로를 제시한다.

1. N차 변조기의 기능 블록 수준의 구성 방법

1) 기본 구성 블록

그림 4 (a)의 천이 작용을 하는 적분기를 구현하기 위해서는, 입력 신호와 내부 신호의 극성을 판단하기 위한 두 개의 1 비트 ADC가 필요하다. 또한 천이 판단기의 결과를 아날로그 적분기에 적용하기 위해서는 3 출력력을 갖는 DAC가 필요하다. 한편 천이 판단기의 결과를 누적하기 위한 덧셈기 한 개, 양자화기로부터의 되먹임 값을 디지털 영역에서 계산하기 위한 덧셈기가 한 개, 그리고 (k-1) 번째 적분기의 출력 디지털 코드를 더하기 위한 덧셈기 한 개가 필요하다.

제안된 $\Sigma\Delta$ 변조기의 기본 블록을 구현한 것과 이에 해당하는 기존의 변조기의 부분을 그림 5에 도시하였다.

여기서 $u_{a,k}$ 와 $u_{d,k}$ 는 각각 k번째 적분기 출력 신호의 아날로그 잉여값과 디지털 코드를 나타낸다. 디지털 코드의 길이 $n_1, n_{2,k-1}, n_{2,k}$ 는 N과 k값에 따라 최적화하여야 한다.

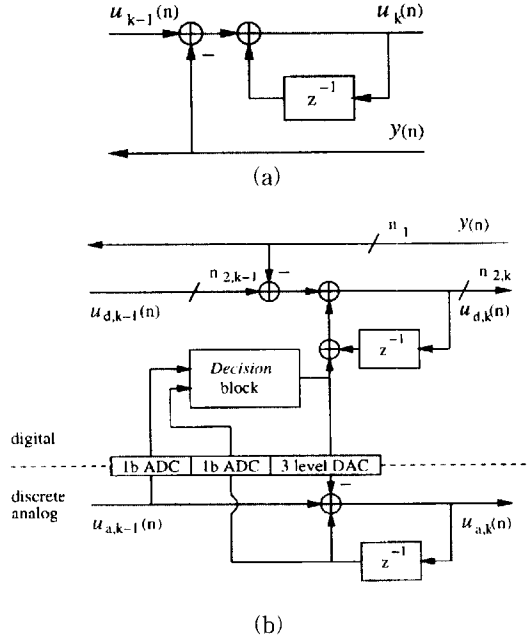


그림 5. (a) 기존의 $\Sigma\Delta$ 변조기의 기본 구성 블록, (b) 제안된 $\Sigma\Delta$ 변조기의 기본 구성 블록
Fig. 5. (a) Basic building block of conventional $\Sigma\Delta$ modulators, (b) Basic building block of the proposed $\Sigma\Delta$ modulator.

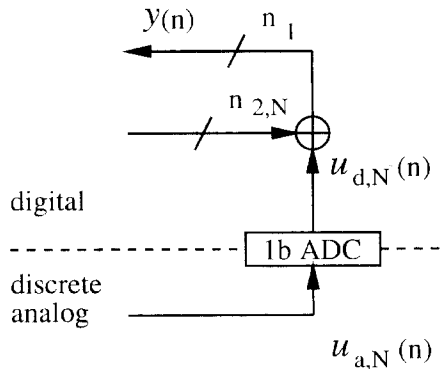


그림 6. 제안된 $\Sigma\Delta$ 변조기의 양자화기
Fig. 6. Quantizer schematic of the proposed $\Sigma\Delta$ modulator.

2) 양자화기(Quantizer)

제안된 $\Sigma\Delta$ 변조기에서 양자화기는 디지털 코드와 아날로그 잉여값으로 나누어진 신호를 양자화하여야 한

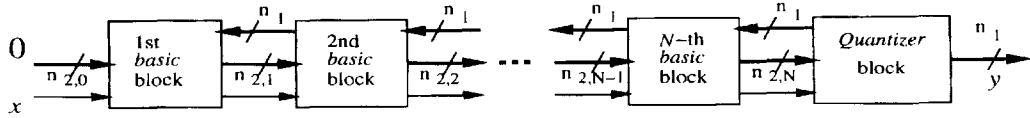


그림 7. N 차의 제안된 $\Sigma\Delta$ 변조기 구조 ($n_{1,1} = n_{2,N} = N+1$)

Fig. 7. Schematic of the proposed Nth-order $\Sigma\Delta$ modulator.

다. 즉, 아날로그 입력값을 양자화한 +1 혹은 -1을 디지털 코드에 더해주는 기능을 하여야 한다. 그림 6은 이와 같은 기능을 하는 양자화기를 도시한 것이다.

부록 A에서 설명한 바와 같이 N차의 제안된 $\Sigma\Delta$ 변조기에서는 (N+1) 비트의 해상도가 필요하므로 그림 6의 n_1 과 $n_{2,N}$ 은 (N+1)이면 된다. 이때 제안된 변조기는 등가적으로 (N+1) 비트의 양자화를 하게 된다.

3) N차 변조기의 구조

제안된 $\Sigma\Delta$ 변조기는 신호의 차단에 의한 SNR의 감소 현상이 없으므로 N차로 확장하기 위해서는 기본 구성 블록을 N 개 연결하기만 하면 된다. 그림 7은 양자화기를 포함한 N 차의 구조를 도시한 것이다. 이 구조는 복잡한 모의 실험을 통한 적분기 이득이나 되먹임 이득의 조절이 필요한 기존의 구조^[3]와는 달리 매우 간단한 방법으로 N 차의 변조기를 구현할 수 있는 장점이 있다. 이는 설계의 자동화라는 측면에서 매우 유리한 점이다.

2. N 차 변조기의 효과적인 회로 구현 방법

II 장에서 설명한 바와 같이 제안한 $\Sigma\Delta$ 변조기는 지연 적분기를 사용할 수 없으므로 개개의 기본 구성 블록에는 표본화 주기의 $\frac{1}{N}$ 에 해당하는 시간만큼씩 할당된다. 그리고 두 개 이상의 기본 구성 블록이 동시에 동작하는 경우는 없다. 이러한 사실은 하드웨어 자원을 기본 구성 블록들이 공유 혹은 재사용할 수 있음을 의미한다.

여기에서는 $\Sigma\Delta$ 변조기를 회로로 구현하기 위한 여러 가지 방법-스위치드 캐패시터(switched capacitor) 회로 기법, 스위치드 전류(switched current) 회로 기법, g_m-C 회로 기법^[7], 등 - 중에서 가장 많이 사용되고 있는 스위치드 캐패시터 회로 기법을 사용하여, 제안된 $\Sigma\Delta$ 변조기를 효율적으로 구현하는 방법에 대해서 설명한다.

1) 아날로그 회로 부분

스위치드 캐패시터 적분기를 공유하는 기법^[10]을 이용하면 그림 8처럼 제안된 4차 $\Sigma\Delta$ 변조기를 적분기

한 개로 구현할 수 있다. 3 출력 DAC는 캐패시터의 한 쪽 단자를 {+1, 0, -1}의 세 값 중 하나에 연결하는 스위치로 구현된다. 이때 사용되는 4상 클록은 그림 8에 표시된 것처럼 겹치는 구간이 없는 클록을 사용해야 한다.

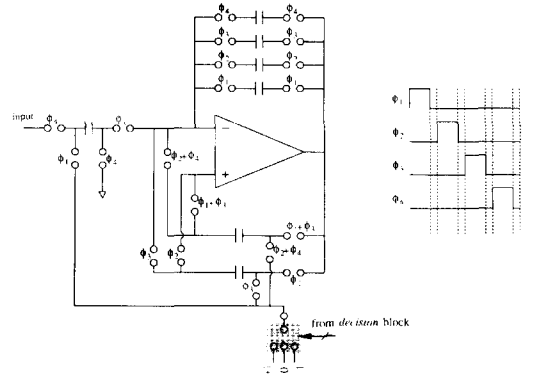


그림 8. 제안한 4 차 $\Sigma\Delta$ 변조기의 아날로그 회로 부분을 4 상 클록을 갖는 스위치드 캐패시터 적분기로 구현한 회로

Fig. 8. Analog SC circuitry for the proposed Nth-order $\Sigma\Delta$ modulator with non-overlapping 4 phase clocks.

천이 작용에 필요한 신호의 극성을 판단하는 1 비트 ADC는 그 동작이 커패시터에 저장된 신호값에 영향을 주지 않아야 한다. 만약 1 비트 ADC의 문턱 전압이 이상적인 값인 0과 ΔV 만큼의 차이가 있다면 천이 작용 후의 신호는 표 1처럼 변하게 된다. 이때 신호의 차단 현상을 제거하기 위해서는 공급 전압이 -1과 1에서 $(-1-2\Delta V)$ 와 $(1+2\Delta V)$ 로 변하여야 한다. 혹은 신호의 진폭을 (-1 1)에서 $(-1+2\Delta V, 1-2\Delta V)$ 로 줄이면 된다.

천이 판단기는 그림 9의 간단한 논리 게이트로 구성된다. 그림에서처럼 천이 판단기의 AND 게이트의 출력이 HIGH가 되면 그림 8의 아래쪽에 있는 스위치를 -1에 연결하고 디지털 코드는 1 LSB 증가시킨다. NOR 게이트 출력이 HIGH가 되면 스위치는 +1에 연

결하고 디지털 코드는 1 LSB 감소시킨다. XOR게이트의 출력이 HIGH인 경우에는 스위치는 0에 연결하고 디지털 코드의 변화는 없다.

표 1. 비교기의 문턱 전압이 ΔV 의 오프셋을 가지고 있는 경우의 적분기 출력 신호의 변화

Tab. 1. Classification of the integrator output with ΔV offset on the comparator threshold voltage.

경우	$u_{k-1}(n)$	$u_k(n-1)$	$u_k(n)$ 천이기가 없는 경우	$u_k(n)$ 천이기가 있는 경우
I	$(\Delta V1)$	$(\Delta V1)$	$(2\Delta V2)$	$(-1 \cdot 2\Delta V1)$
II	$(\Delta V1)$	$(-1\Delta V)$	$(-1 + \Delta V1 + \Delta V)$	$(-1 + \Delta V1 + \Delta V)$
III	$(-1\Delta V)$	$(\Delta V1)$	$(-1 - \Delta V1 + \Delta V)$	$(-1 + \Delta V1 + \Delta V)$
IV	$(-1\Delta V)$	$(-1\Delta V)$	$(-2 \cdot 2\Delta V)$	$(-1 \cdot 1 + 2\Delta V)$

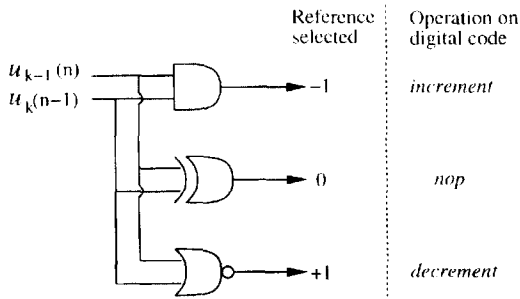


그림 9. 천이 판단기의 로직 게이트와 출력 코드 의미

Fig. 9. Logic gates of the Decision block and their meaning.

2) 디지털 회로 부분

아날로그 회로 부분을 한 개의 적분기로 구현한 방법을 디지털 회로 부분에도 적용하면, 기본 구성 블록 한 개에 사용되는 하드웨어와 각각의 기본 구성 블록의 계산 결과를 저장하는 레지스터를 이용하여 전체 4차 $\Sigma\Delta$ 변조기의 디지털 회로 부분을 구현할 수 있다. 그림 10은 이와 같은 방식으로 구현한 디지털 회로를 나타낸 것이다.

그림 10의 ADD1 덧셈기는 4-2 멀티플렉서를 이용하여 앞 단의 디지털 코드와 저장되어 있던 디지털 코드와의 합을 구한다. 되먹임 값의 뺄셈은 ADD2 덧셈기의 한 입력과 캐리 비트를 반전하여 계산된다. 그림 5에 표시된 또 하나의 덧셈기는 천이 판단기의 출력을

디지털 코드에 더하기 위하여 필요한데 천이 판단기의 출력이 1 LSB의 증가, 감소 혹은 무변화만을 의미할 것을 고려할 때 ADD1과 ADD2의 캐리 비트를 조절하는 것으로 대체될 수 있다. 이와 같은 논리 판단은 그림 10에 CSL(Carry Selection Logic)이라고 표시된 부분에서 수행된다. 한편 양자화기의 디지털 회로는 +1, -1을 계산하는 덧셈기로 구현된다.

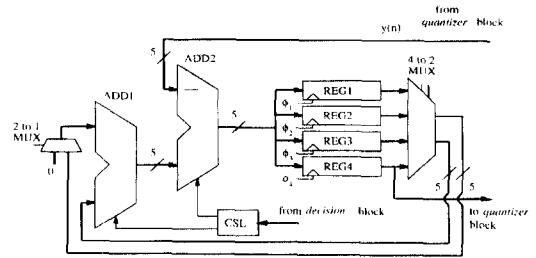


그림 10. 제안한 4 차 $\Sigma\Delta$ 변조기의 디지털 회로 부분을 하드웨어 재사용 방법을 이용하여 구현한 회로

Fig. 10. Schematic for the digital subblock of the proposed fourth-order $\Sigma\Delta$ modulator employing hardware reuse technique.

앞에서 서술한 방식으로 제안된 $\Sigma\Delta$ 변조기를 구현하면, 추가되는 디지털 회로의 부담은 그리 크지 않게 된다. 이를 4 차의 $\Sigma\Delta$ 변조기에 대해서 살펴보면, 5 비트 덧셈기 3 개, 5 비트 레지스터 4 개와 몇 가지 간단한 디지털 로직 게이트 들이다. 0.6 μm 공정으로 레이아웃을 한 결과 추가된 디지털 회로 부분의 면적은 300 $\mu\text{m} \times 700\mu\text{m}$ 이다. 또한, 출력이 5 비트이므로 데시메이터(decimator)의 첫 단이 1 비트 연산에서 5 비트 연산으로 증가하게 된다. 데시메이터의 첫단이 보통 코움(comb) 필터로 구성되고 코움 필터가 누적기로 계산되는 것을 고려하면, 정성적으로 하드웨어 증가는 덧셈기 한 개의 비트 수 증가에 불과하게 된다.

V. 모의 실험 결과 및 검토

1. 동작 모의 실험(behavioral simulation) 결과
제안된 $\Sigma\Delta$ 변조기의 상태 변수 즉 적분기의 출력 신호의 변화를 살펴보기 위하여 그림 7의 구조를 MATLAB을 이용하여 동작 모의 실험을 수행하였다. 모든 아날로그 신호의 한계는 ± 1 이라고 하고 변조기의 입구단에 $V_{p-p} = 0.9$ 인 정현파를 가하였다. 그림 11

은 입력 신호의 진폭이 크에도 불구하고 천이 작용에 의하여 모든 상태 변수가 신호의 한계 내에 있음을 보여 준다. 그리고 그림 12는 디지털 코드의 값이 일정 한계 내에 있음을 보여주는데 이는 식 (1)의 결과와 일치한다.

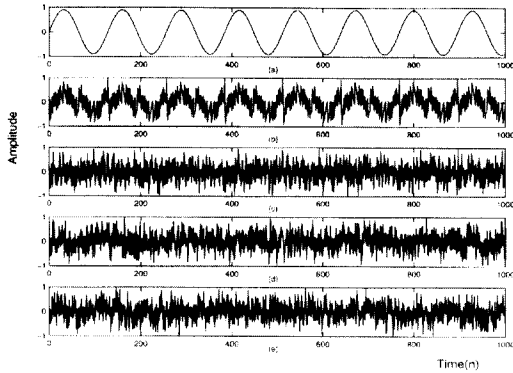


그림 11. 모의 실험을 통한 제안된 4 차 $\Sigma\Delta$ 변조기의 적분기 출력 파형
(a) 입력 정현파, (b) 첫번째, (c) 두번째, (d) 세번째, (e) 네번째 적분기 출력

Fig. 11. Integrator output signals of the proposed fourth-order $\Sigma\Delta$ modulator.
(a) input sinusoidal signal, (b) first, (c) second, (d) third, and (e) fourth integrator output

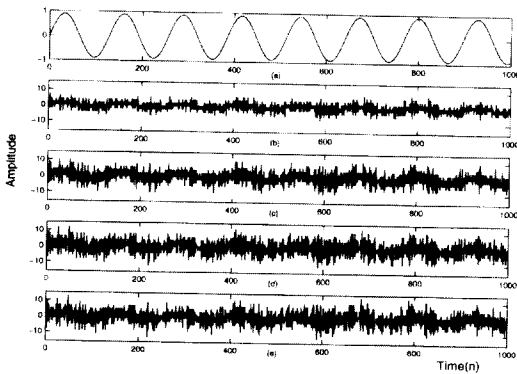


그림 12. 모의 실험을 통한 제안된 4 차 $\Sigma\Delta$ 변조기의 디지털 코드 변화
(a) 입력 정현파, (b) 첫번째, (c) 두번째, (d) 세번째, (e) 네번째 디지털 코드

Fig. 12. Digital codes for each stage of the proposed fourth-order $\Sigma\Delta$ modulator
(a) input sinusoidal signal, (b) first, (c) second, (d) third, and (e) fourth digital code.

기존의 $\Sigma\Delta$ 변조기는 내부 상태 변수의 초기 값에 따

라 발전하는 현상을 보이므로 상태 변수를 초기화하는 회로가 필요하다^[9]. 그러나 제안된 변조기는 천이 동작에 의하여 내부 상태 변수의 초기값에 무관하게 동작하므로 상태 변수를 초기화하는 회로가 필요없다. 디지털 코드의 경우에도 초기에 디지털 최대값을 갖고 있어도 곧 정상 범위에 들어오게 된다.

그림 13에 제안한 4차 구조의 변조기 출력을 16384 점 FFT 를 수행한 결과를 도시하였다. 이때 유한한 표본 갯수의 영향을 줄이기 위해 해닝 창(hanning window)을 사용하였고, 입력은 $V_{p-p}=0.9$ 인 정현파이며 과표본화율은 64이다. 이 그림에서 신호의 차단에 의한 고주파 성분은 없으며 SNR이 약 130 dB 정도 됨을 알 수 있다. 또한 과표본화율이 32이면 SNR은 110dB, 16이면 90dB가 됨을 알 수 있다. 실제의 회로에서는 회로의 다른 요인에 의해 SNR이 위의 실험 결과보다 떨어지는데 이에 대한 논의는 3절에서 더 언급하기로 한다.

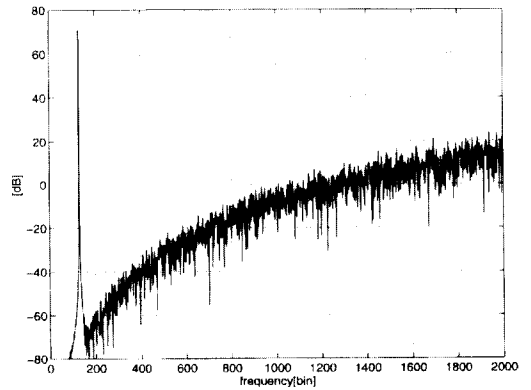


그림 13. 제안된 4 차 $\Sigma\Delta$ 변조기의 출력 스펙트럼. OSR은 64이고 입력은 신호 대역의 끝에 위치하며 0.9의 크기를 갖는 정현파이다.

Fig. 13. The output spectrum of the proposed fourth-order $\Sigma\Delta$ modulator. OSR is 16 and input is a sinusoid at band edge with $V_{p-p}=0.9$.

2. 혼합 모드(mixed mode) 모의 실험 결과

제안한 $\Sigma\Delta$ 변조기는 아날로그 회로와 디지털 회로가 혼용되어 있으므로 전체 회로를 SPICE등의 회로 모의 실험 프로그램을 써서 설계하는 것은 설계 시간의 측면에서 매우 비효율적이다. 본 논문에서는 FFT에 필요한 충분한 표본의 갯수를 적당한 모의 실험 시간 후에 얻기 위해 그림 8의 아날로그 회로는 CADENCE

AHDL로 기술하고 그림 10의 디지털 회로는 VE-RILOG로 구현하여 CADENCE Analog-Artist 프로 그램 환경 하에서 모의 실험을 하였다. 이 결과를 MATLAB을 이용한 동작 모의 실험 결과와 비교하여 설계된 스위치드 캐패시터 적분기와 디지털 회로가 바 르게 동작하고 있음을 확인하였다.

3. 회로 소자의 비선형성의 영향

기존의 다중 비트 $\Sigma\Delta$ 변조기에서 내부 DAC의 해상 도는 변조기 전체의 해상도에 해당하는 정밀도를 지니 고 있어야 한다. 이것은 내부 DAC에서 발생하는 에러 는 잡음 변형의 과정을 거치지 않고 변조기의 출력단 에 나타나기 때문이다. 그러나 제안된 구조에서 k번째 기본 구성 블록의 3 출력 DAC의 에러 성분 $e_{DAC,k}$ 은 다음과 같이 잡음 변형의 과정을 거치게 된다.

$$y = z^{-1}x + (1-z^{-1})^N e_q + \sum_{k=1}^N (1-z^{-1})^k e_{DAC,k} \quad (2)$$

한편, 3 출력 DAC는 천이 작용에 사용되므로 INL (Integral Non-Linearity)보다 DNL(Differential Non-Linearity)이 더 중요하게 된다. 부록 B에 계산한 결 과에 의하면 과표본화율이 16일때 제안된 4 차 $\Sigma\Delta$ 변 조기의 DNL은 공급 전압 크기의 0.3% (8 비트에 해 당) 이내로 조절되어야 한다.

추가된 디지털 블록으로부터의 간섭은 기존의 원 칩 $\Sigma\Delta$ CODEC의 경우와 비슷한 정도인데, 디지털 블록과 아날로그 블록을 동기화하여 동작시키면 상당 부분 감 소시킬 수 있다^[11].

위에서 언급한 두 가지 요인 이외에는 기존의 $\Sigma\Delta$ 변 조기와 동일한 잡음 특성을 가지게 된다. 따라서 SNR 과 동작 영역을 증대시키기 위해서는 입력 신호를 표 본화하는 캐패시터의 크기를 크게하여 열잡음의 크기를 감소시키고, correlated double sampling 이나 chopper type의 적분기를 사용하여 1/f 잡음 및 오프셋 에 의한 영향을 줄여야 한다.

VI. 결 론

본 논문에서는 기존의 $\Sigma\Delta$ 변조기에서 문제가 되어왔 던 신호의 차단 현상을 제거한 새로운 $\Sigma\Delta$ 변조기를 제 시하였다. 새로운 시도로서 천이 작용을 통해 적분기의 출력값을 제어하고, 신호를 디지털 코드와 아날로그 잉 여값으로 나누어 표시하여, 양자화기로부터의 되먹임

값을 내부의 DAC를 거치지 않고 직접 디지털 방식으 로 계산되도록 하였다. 이 방법을 사용한 N 차 변조기 의 성능을 MATLAB을 사용하여 모의 실험한 결과 4 차의 구조에서 과표본화율이 64일때 최대 130 dB라는 높은 값의 SNR을 확인할 수 있었다. 이는 100 MHz 정도의 주파수에서 동작하는 회로가 주어지면, 4 MHz 의 대역폭을 갖는 영상 신호를 12 비트로 처리하는 응 용에도 $\Sigma\Delta$ 변조기가 사용될 수 있는 가능성을 의미하 는 것이다.

또한, 하드웨어 재사용 방법을 사용하여 스위치드 캐 패 시터 적분기 1개, 덧셈기 3개, 레지스터 4개 및 간단한 논리 게이트로도 제안된 $\Sigma\Delta$ 변조기를 구현할 수 있음 을 보였다.

이 $\Sigma\Delta$ 변조기는 입력 신호가 수백 kHz 이상이고 16 비트 이상의 해상도를 요구하는 응용에 매우 유용할 것으로 생각되며, 또한 이동 통신용 기기등의 저전압 환경에서 기존의 변조기보다 유리할 것으로 기대된다.

부록 A

이 장에서는 그림 1의 N 차 $\Sigma\Delta$ 변조기에서 양자화기 의 과부하를 막기 위해서 최소한 (N+1) 비트가 필요함 을 증명한다. 우선 양자화 잡음 e_q 는 입력 신호 x와 독립적이며, 양자화기에서 더해지는 선형 모델을 가정 한다. 이때 변조기의 출력 y는

$$y = u_N + e_q \quad (3)$$

한편, 적분기의 출력 u_k 는 아래와 같다.

$$u_k = \begin{cases} \frac{z^{-1}}{1-z^{-1}}(u_{k-1}-y) & \text{when } k=N \\ \frac{1}{1-z^{-1}}(u_{k-1}-y) & \text{when } 1 \leq k \leq N-1 \text{ \& } u_0 = x. \end{cases} \quad (4)$$

위의 결과를 반복하여 사용하면,

$$u_N = z^{-1} \frac{1}{(1-z^{-1})^N} x - z^{-1} \sum_{k=1}^N \frac{1}{(1-z^{-1})^k} y. \quad (5)$$

이 결과를 식 (3)에 대입하고 정리하면

$$y = z^{-1}x + (1-z^{-1})^N e_q. \quad (6)$$

이 결과는 N차 $\Sigma\Delta$ 변조기의 시스템 등식이다. 식 (6)과 식 (5)를 이용하면 u_N 은 다음과 같이 주어진다.

$$u_N = z^{-1}x - z^{-1} \sum_{l=0}^{N-1} a_l (-z^{-1})^l e_q. \quad (7)$$

여기서 아래의 관계식이 사용되었다.

$$\sum_{k=1}^N (1-z^{-1})^{N-k} = \sum_{l=0}^{N-1} a_l (-z^{-1})^l. \quad (8)$$

u_N 의 절대값은,

$$|u_N| < |z^{-1}x| + |z^{-1} \sum_{l=0}^{N-1} a_l (-z^{-1})^l e_q| \quad (9)$$

$$< |x|_{\max} + \sum_{l=0}^{N-1} a_l |e_q|_{\max}.$$

여기서 a_l 은 모두 양의 값이고 $|x|_{\max}$ 와 $|e_q|_{\max}$ 는 각각 x 와 e_q 의 최대값이다. 식 (8)의 $-z^{-1}$ 대신에 1을 대입하면, $a_l (l=0, \dots, N-1)$ 의 합을 구할 수 있다. 이를 이용하면,

$$|u_N| < |x|_{\max} + (2^N - 1)|e_q|_{\max}. \quad (10)$$

만약 양자화기의 과부하가 없으면 $|e_q|_{\max}$ 은 $\frac{1}{2}$ LSB에 해당한다. $|x|_{\max}$ 가 1 LSB 보다 작을 때 u_N 의 크기는 $(2^N + 1)$ LSB 보다 작게 된다. 따라서 $(N+1)$ 비트의 양자화기는 과부하 없이 동작한다.

부록 B

이 장에서는 제안된 4 차 $\Sigma\Delta$ 변조기에서 과표분화율이 16일때 3 출력 DAC의 DNL이 공급 전압의 0.3% 이내이어야 함을 증명한다.

우선 3 출력 DAC의 입력이 $\{+1, 0, -1\}$ 이고 출력이 $\{V_{+1}, V_0, V_{-1}\}$ 이라고 하자. +1과 -1은 각각 디지털 코드의 1 LSB 감소 혹은 증가를 의미하므로 $|V_{+1} - V_0|$ 와 $|V_0 - V_{-1}|$ 는 일치하여야 한다. 분석을 위하여 첫번째 기본 구성 블록의 3 출력 DAC에 $|V_{+1} - V_0| = |V_0 - V_{-1}| + \Delta V$ 의 관계로 주어지는 오차가 있다고 가정하자. 이때 rms 오차 $e_{\text{rms}, DAC}$ 는

$$e_{\text{rms}, DAC}^2 = f \cdot (\Delta V)^2, \quad (11)$$

여기서 f 는 DAC의 입력에 +1이 발생할 확률이다. 직관적으로 f 는 $\frac{1}{2}$ 보다 작다고 할 수 있다.

한편 양자화 잡음의 rms 값 $e_{\text{rms}, q}$ 은 아래와 같이 주어진다.

$$e_{\text{rms}, q}^2 \approx \frac{|V_{+1} - V_0|^2}{12}. \quad (12)$$

3 출력 DAC의 오차 e_{DAC}^2 가 백색(white) 잡음이고 입력 x 에 독립적이라고 가정하면

$$y = z^{-1}x + (1-z^{-1})^4 e_q + (1-z^{-1}) e_{DAC}. \quad (13)$$

이 식에서 첫번째 기본 블록의 DAC 잡음 성분은 비헤 나머지 블록의 DAC 잡음 성분의 영향은 작으므로 첫번째 기본 블록의 DAC 잡음 성분만을 표시하였다. 그런데 이 잡음 성분은 4 차의 잡음 변조를 거친 양자화 잡음보다 작아야 하므로,

$$|(1-z^{-1}) e_{DAC}| < |(1-z^{-1})^4 e_q|. \quad (14)$$

이 식을 정리하고 제곱근을 구하면,

$$\frac{e_{DAC}^2}{e_q^2} < |(1-z^{-1})^6|. \quad (15)$$

두 개의 잡음 성분이 백색이라고 가정했으므로 식 (11)과 식 (12)의 결과를 적용하면,

$$\frac{e_{\text{rms}, DAC}^2}{e_{\text{rms}, q}^2} < \frac{6(\Delta V)^2}{|V_{+1} - V_0|^2} < |(1-z^{-1})^6|. \quad (16)$$

과표분화율이 16일때 위의 결과는 $|\Delta V| < 0.00311 |V_{+1} - V_0|$ 를 의미한다. $\{V_{+1}, V_0, V_{-1}\}$ 이 각각 V_{dd} , GND, $V_{ss} (= -V_{dd})$ 이면 이 절의 앞에서 제시한 사실에 대한 증명이 끝난다.

참고 문헌

- [1] Yasuyuki Matsuya and Junzo Yamada, "1V power supply, 384ks/s 1-b A/D and D/A converters with swing-suppression noise shaping," *ISSCC Digest of Technical Papers*, pp. 192-193, Feb. 1994.
- [2] J. C. Candy, "A use of double integration in sigma-delta modulation," *IEEE Trans. Commun.*, vol. COM-33, pp. 249-258, Mar. 1985.
- [3] Frank Op't Eynde and Willy Sansen, *Analog interfaces for digital signal processing systems*, Kluwer Academic Publishers, 1993.

- [4] Kir C.-H. Chao, Shujaat Nadeem, Wai L. Lee, and Charles G. Sodini, "A higher order topology for interpolative modulators for oversampling A/D converters," *IEEE Trans. Circuits and Sys.*, vol. CAS-37, pp. 309-318, March 1990.
- [5] Y. Matsuya, K. Uchimura, A. Iwata, T. Kobayashi, M. Ishikawa, and T. Yoshitome, "A 16-bit oversampling A-to-D conversion technology using triple-integration noise shaping," *IEEE J. Solid-State circuits*, vol. SC-22, pp. 921-929, Dec. 1987.
- [6] S. M. Moussavi, B. H. Leung, "High-order single-stage single-bit oversampling A/D converter stabilized with local feedback loops," *IEEE Trans. Circuits Syst.*, vol. 41, pp. 19-25, Jan. 1994.
- [7] Omid Shoaiei and W. Martin Snelgrove, "Optimal (bandpass) continuous-time $\Sigma\Delta$ modulator," *Proc. of the ISCAS*, pp. 489-492, 1994.
- [8] James C. Candy and Gabor C. Temes, *Oversampling delta-sigma data converters*, IEEE press, 1992.
- [9] W. L. Lee and C. G. Sodini, "A topology for higher order interpolative coders," *Proc. of the ISCAS*, pp. 495-462, 1987.
- [10] Ian Dedic, "A sixth-order triple-loop sigma-delta CMOS ADC with 90dB SNR and 100kHz bandwidth," *ISSCC Digest of Technical Papers*, pp. 188-189, Feb. 1994.
- [11] Eric J. van der Zwan, "A 2.3mW CMOS $\Sigma\Delta$ modulator for audio applications," *ISSCC Digest of Technical Papers*, pp. 220-221, Feb. 1997.

 저 자 소 개

李 東 潤(正會員)

1968年 11月 21日生. 1991年 2月 서울대학교 전자공학 졸업(공학사). 1993年 2月 서울대학교 전자공학과 졸업(공학석사). 1993年 3月 ~ 현재 서울대학교 전기공학부 박사과정. 주관심분야는 저전압 데이터 변환기, 통신용 데이터 변환기, DRAM 주변 회로, 저전압 증폭기

金 元 燦(正會員)

1944年 11月 7日生. 1972年 2月 서울대학교 전자공학과 졸업(공학사). 1976年 Aachen 대학교(독일) 전기공학과 졸업(공학석사). 1981年 Aachen 대학교(독일) 전기공학과 졸업(공학박사). 1972年 ~ 1982年 독일 Aachen 집적회로 연구소 연구원. 1989年 ~ 1990年 미국 MIT 대학 방문교수. 1991年 6月-7月 호주 Adelaide 대학 방문교수. 1992年 1月 일본 동경 대학 방문 교수. 1982年 ~ 현재 서울대학교 전기공학부 교수. 주관심분야는 아날로그 집적 회로, 회상 처리