

論文97-34C-4-3

# 부지연 회로를 내장한 200MHz 고속 16M SDRAM

(A 200MHz High Speed 16M SDRAM with  
Negative Delay Circuit)

金昌善\*, 張星珍\*, 金台勳\*, 李再九\*, 朴晋奭\*,  
鄭雄植\*, 全永鉉\*

(Chang Sun Kim, Seong Jin Jang, Tae Hoon Kim, Jae Goo Lee, Jin Seog Park,  
Woong Sik Jung, and Young Hyun Jun)

## 요 약

본 논문에서는 200MHz에서 동작하는 SDRAM(Synchronous DRAM)에 관한 논문으로, 고속 동작을 위하여 data line interleave와 pipelining을 사용하였다. 그리고 clock to access time(tAC)을 개선하기 위하여 부지연 회로(NDC: Negative Delay Circuit) 사용을 제안하였고, 저전력형 WL(wordline) 구동회로와 효율이 높은 VPP charge pumping 회로를 제안하였다. 위의 모든회로들은 0.4um CMOS 공정을 사용하여 제작되었고, LVTTL interface에서 최대 처리속도는 200Mbyte/s 이다.

## Abstract

This paper shows a SDRAM operating in 200MHz clock cycle which it use data interleave and pipelining for high speed operation. We proposed NDC(Negative Delay Circuit) to improve clock to access time(tAC) characteristics, also we proposed low power WL(wordline) driver circuit and high efficiency VPP charge-pump circuit. Our all circuits has been fabricated using 0.4um CMOS process, and the measured maximum speed is 200Mbytes/s in LVTTL interface.

## I. 서 론

VLSI 기술의 발달로 engineering workstation/PC 등의 프로세서(processor) 성능은 크게 향상되어 200MHz 이상에서 동작하는 것도 등장하였다. 그러나 주 메모리(main memory)로 쓰이는 DRAM은 주로 용량을 늘리는 방향으로만 연구가 진행되어 용량은 증가하였지만, 속도의 개선은 진전되지 못했다<sup>1),2)</sup> 따라서 프로세서의 성능과 메모리 속도의 불일치를 극복하기 위하여 접근 시간(access time)을 빠르게하고 BW (bandwidth)을 넓히는 연구가 활발하게 진행되어 EDO(Extended Data-Out) DRAM, SDRAM (Syn-

chronous DRAM), CDRAM(Cached DRAM), RDRAM(Rambus DRAM) 등이 개발되었다<sup>1)</sup>. 그러나 EDO DRAM은 최대 동작주파수(maximum operating frequency)가 50MHz로 속도의 제한이 있고, CDRAM은 캐쉬(cache) 및 주 메모리를 대체하기 위하여 개발된 메모리로 저전력(low-power), 저비용(low-cost) 시스템에는 적합하지만 일반적인 주 메모리로 사용하기에는 부적합하다. RDRAM은 고속으로 데이터를 처리(500MHz 이상)하는 것이 가능하지만 전력소비(power consumption)가 많아서, 현재는 용량이 작고, 고속 데이터 처리가 요구되는 게임기분야에만 이용되고 있다. 따라서 SDRAM이 데이터 처리속도와 비용 측면에서 가장 유망한 대안으로 활발하게 연구되고 있다.

SDRAM에서 데이터를 고속으로 처리하기 위하여,

\* 正會員, LG半導體

(LG Semicon CO., LTD)

接受日字:1997年2月28日, 수정완료일:1997年4月8日

파이프라이닝(pipelining)<sup>[4]</sup>, 프리패치(prefetch) 방식<sup>[3]</sup>, multi-bank / interleave 방식 등이 고속 데이터 처리에 이용하고 있다<sup>[2]</sup>. 파이프라이닝은 데이터 경로를 2 ~ 3단계로 분할하여 각 단이 독립적이고 병렬적으로 동작하여 데이터 접근을 빠르게 할 수 있다. 그리고 프리패치 방식은 처리할 데이터의 2배의 데이터를 한번에 처리한후 병렬-직렬 데이터 변환(parallel-to-serial data conversion)에 의하여 처리속도를 2배로 향상시킬 수 있다. 본 SDRAM은 고속동작을 위하여 데이터 선의 갯수와 MAMP(Main Sense Amplifier)의 갯수를 2배로 하여 서로 번갈아 동작해서 데이터 처리속도를 최대 2배로 확장할 수 있는 data line interleave와 CAS Latency 조절을 위하여 파이프라이닝을 사용하여 고속 SDRAM을 구현하였다. 또한 clock access time(tAC)을 개선하기 위하여 외부에서 인가되는 외부 클럭보다 위상이 앞선 내부 클럭을 발생하는 negative delay circuit(NDC)을 사용하였다.

2절에서는 본 SDRAM의 구성및 구현방법에 대하여 기술하고, 전력 소모(power consumption)을 줄이기 위한 WL(wordline) 구동회로와 내부전압 발생기(internal voltage generator) 중에서 전원전압보다 높은 전압을 만드는VPP pumping 회로의 효율을 높이기 위한 새로운 VPP 발생회로에 대하여 기술한다. 그리고 tAC 특성을 개선하기 위하여 적용한 NDC 회로의 동작원리및 회로구성에 대하여 기술한다. 3절에서는 200MHz 데이터 처리를 위한 데이터 경로의 회로 설계및 동작원리에 대하여 기술한다. 그리고 4절에서는 실험결과및 동작특성에 대하여 기술하고, 마지막으로 5절에서 결론을 맺는다.

## II. 16Mb SDRAM 구현

본 논문의SDRAM은 그림 1과 같이 2 뱅크(Bank)로 구성되었고, 클럭 신호와 control 신호를 받아서 칩 내부 control 신호를 발생하는 timing control부, 행/열 어드레스(row/column address)을 위한 어드레스 버퍼(address buffer)부, refresh 명령이나 self refresh 명령이 들어왔을때 행 어드레스를 제공하는 행 어드레스 카운터(row address counter)부, 입출력 데이터를 처리하는 I/O 데이터부로 구성되었다.

각 뱅크는 전체 32개 256K cell 및 sense amp.로

이루어져 있으며, 외부/내부 행 어드레스(external/internal row address)를 받아서 디코딩(decoding)하는 디코더(decoder)부와 이를 드라이브(drive)하는 WL(WL) driver부, 외부/내부 열 어드레스 (external/internal column address)를 받아서 디코딩(decoding)하여 열(column) 선택신호를 발생하는 열 어드레스 디코더(column address decoder)부와, I/O data 처리를 위한 32개의 MAMP로 구성되었다.

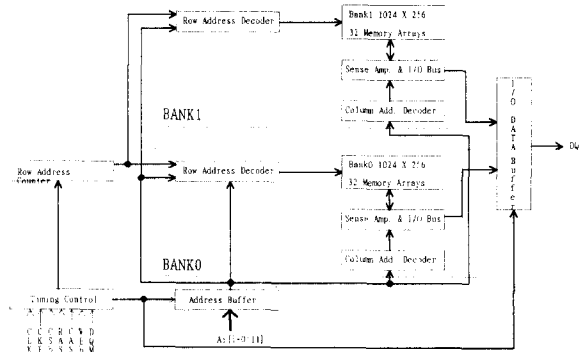


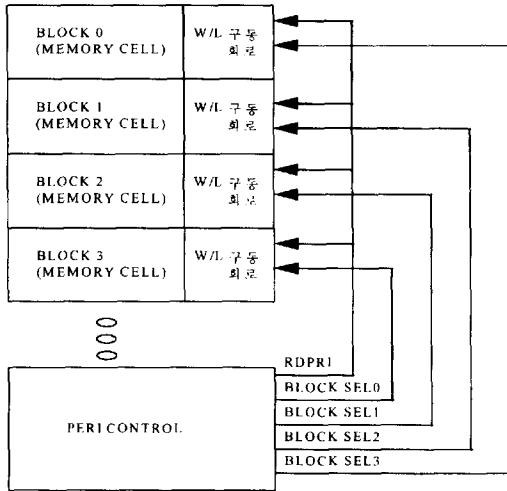
그림 1. 본 SDRAM의 블럭도  
Fig. 1. Proposed SDRAM block diagram.

### 1. 전력 절약형 WL 구동 회로

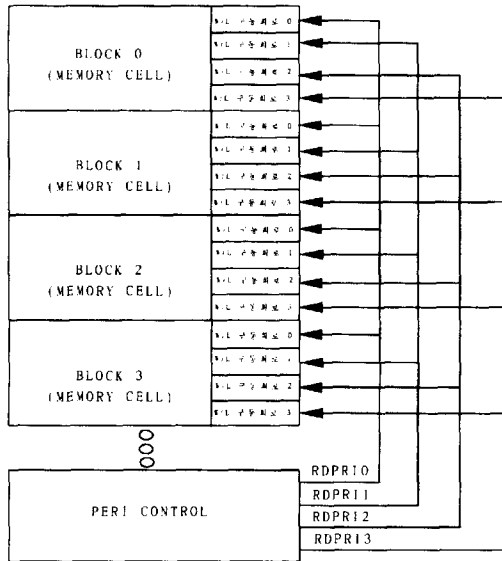
본 절에서는 행 디코더 블럭(row decoder block)에서 행 디코더회로의 전력 소모를 줄이면서, 효과적으로 동작시키기 위해, WL 구동회로와 WL precharge 회로의 동작범위를 분할하는 방식에 대하여 기술한다. 그림 2(a)와 같은 기존의 WL 구동회로를 동작하였을 경우에는 단위 블럭 전체를 구동하게 되어있다. 이로인해 블럭 행 디코더(block row decoder) 구동신호인 rdpri(W/L 구동을 위한 전원전압보다 높은 전압인 VPP 사용에 의하여 구동되는 신호)에 과도한 부하가 걸리게 되며, 동작이 불필요한 블럭 행 디코더 회로 영역이 동작함에 따라 전압 발생기에서 만들어지는 전압 VPP의 전력소모가 많아지게 된다. 또한 행 디코더의 precharge 시, WL precharge 신호인 wlpchb에도 큰 부하가 걸리게 되고 이로인해 wlpchb 신호의 기울기가 완만해지게 되어 행 디코더에 중첩(overlap) 전류가 생기게 된다.

그림 2(b)는 기존의 WL 구동방식의 단점을 개선하기 위하여 채택된 분할 WL 구동방식을 나타낸다. 256K cell의 기본 단위 블럭을 1/4로 분할하여, 하나의 신호에 걸리게 되는 부하를 같은 비율로 감소시켰

다. 즉, 하나의 단위 블럭을 access하는 경우 실제 구동되고 있는 1/4부분만을 동작하도록 행 어드레스 코딩(row address coding)에 의하여 동작 범위를 축소하였다.



(a)



(b)

그림 2. (a) 기존의 WL 구동회로, (b) 제안한 WL 구동회로

Fig. 2. (a) WL driver of prior art, (b) Proposed WL driver.

이로인해 얻을 수 있는 효과는 다음 두가지가 된다. 첫째, 그림 3과 같이 WL 구동 범위의 축소로 VPP 전류소모를 기존의 방법에 비하여 1/3 정도로 감소시킬

수 있다. 둘째, WL precharge 신호의 부하 감소로 인해 행 디코더에서의 중첩 전류를 없앨 수 있다.

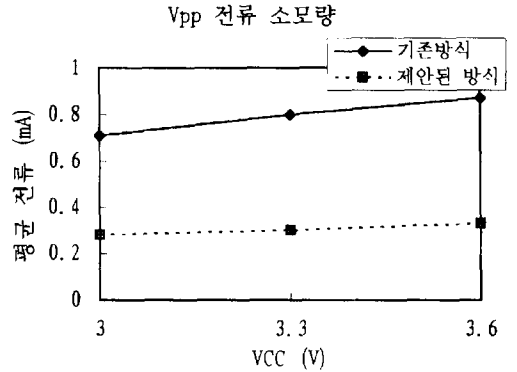


그림 3. 그림 2(a)와 2(b)의 VPP 전류소모에 대한 비교

Fig. 3. Comparison of VPP consumption between Fig. 2(a) Fig. 2(b).

물론 더욱 많은 블럭 분할을 한다면, 위에서 언급한 같은 분할 정도로 개선된 효과를 얻을 수 있겠지만, WL 제어 회로의 수가 같은 비율로 증가하게 되고, 이로 인하여 칩 면적이 증가하기 때문에 더이상의 분할은 칩 면적과 전력 소모(power consumption)에 대한 고려가 필요하다.

### 2. VPP charge pumping circuit

본 절에서는 효율적인 VPP 전하펌프에 대하여 기술한다. VPP 전하펌프는 precharge 회로, pumping Cap.과 전달(transfer) TR, 저장(reserve) Cap.으로 구성된다. 이러한 구성에서 전달 TR의 역할은 pumping Cap.의 전하를 저장 Cap.으로 전달해 주는 것이다. 전달 TR은 nMOS 혹은 pMOS TR로 구현을 할 수 있으나 각각은 다음과 같은 장단점이 있다. nMOS로 구현한 경우에는 전류 공급(current driving)능력은 우수하지만 문턱전압 감압(Vt drop)을 감수해야 하며 pMOS로 구현한 경우에는 문턱전압 감압이 없는 대신 전류 공급 능력이 nMOS에 비해 떨어지고 latch-up의 위험성을 가지고 있다. 본 논문에서는 전류 공급 능력이 우수한 nMOS로 전달 TR을 구성하고 문턱전압 감압에 의한 손실을 만회할 수 있는 전하 펌프를 제안한다.

일반적으로 nMOS를 사용한 전하펌프는 그림 4의 Part A. 부분이다. precharge시에는, 즉 OSC가 L일 때는 노드5가 2VCC가 되어 노드2와 노드3을 VCC로

precharge한다. OSC가 H가 되어 pumping 시에는 노드2의 전압은 2VCC이고 노드3도 2VCC까지 상승한다. 노드3이 2VCC가 되면 노드2에서 VPP로 전달될 수 있는 전압은  $2VCC - V_t$ (전달 TR의 문턱전압)가 된다. 이러한 문턱전압 감압은 전원전압이 낮을 경우 노드2에서 VPP로 전달하는 전하량이 감소하여 VPP 전하를 소모하는 양보다 작아지는 요인이 된다. VCC 전압이 상대적으로 높은 경우에는 이러한 문턱전압 감압에 의한 영향은 상당히 작아지지만, VCC 전압이 낮은 경우에는 이러한 문턱전압 감압은 무시할 수 없다. 예를 들어  $VCC = 4V$  동작인 경우 전달되는 전압( $V_t = 1V$ 로 가정)은  $2 \times 4.0 - 1.0 = 7.0V$ 로 상당히 높지만  $VCC = 3V$  동작인 경우 전달되는 전압은  $2 \times 3.0 - 1.0 = 5.0V$ 로 문턱전압 감압은 무시할 수 있는 값이 되지 못한다. 따라서 VCC 전압이 낮은 경우 전달 TR의 게이트 전압을  $2VCC + V_t$ (전달 TR의 문턱전압)이상으로 만들어 줌으로써 노드2에서 VPP로의 전압이 완전히 전달될 수 있도록 회로를 구성하였다.

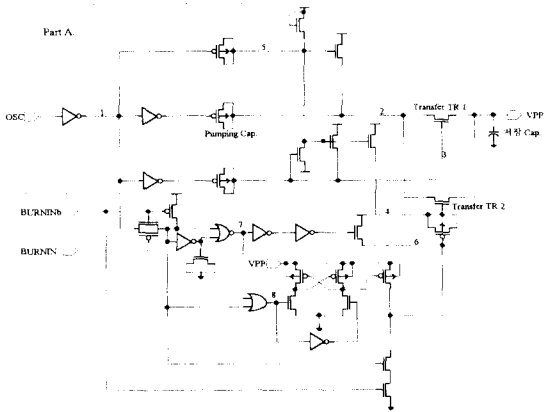
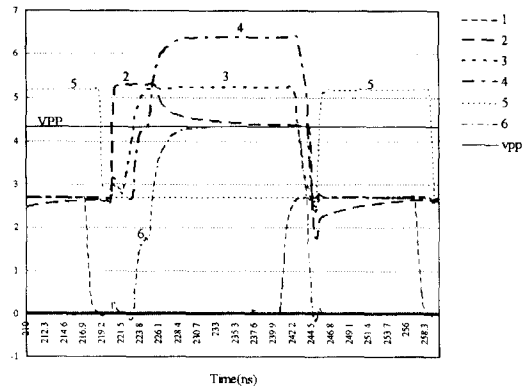


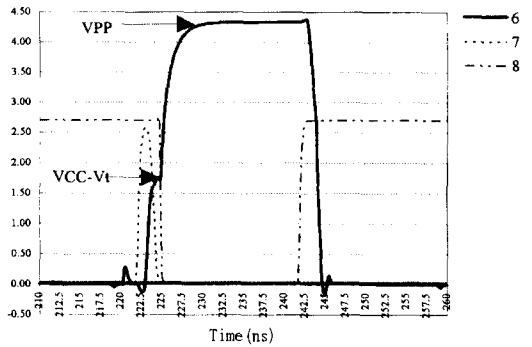
그림 4. Double boost을 이용한 VPP 전하 펌프 회로  
Fig. 4. VPP charge pump circuit using double boost.

본 논문의 전하펌프는 기존의 전하펌프와 전달 TR의 게이트전압을  $2VCC + V_t$  이상으로 올려주기 위한 더블 부스트(double boost) 회로로 구성된다. 더블 부스트회로는 전달 TR의 게이트전압을  $2VCC + V_t$  이상으로 만들기 위해 VPP를 사용한다. VPP를 사용하기 때문에 VPP 전하펌프의 입장에서 보면 전하를 소모한다고 볼 수 있다. 이 전하소모를 줄이기 위해 노드6의 charge시 먼저  $VCC - V_t$ 로 precharge하고 나서 VPP를 charge하는 방법을 사용하였다. 이러한 의미에서

더블 부스트라 칭하였다. 그림 5의 파형들은 이러한 과정을 보여 준다. 노드1이 H가 되었을 때 노드7이 Inverter와 Cap.과 NOR 게이트로 구성된 지연 시간 만큼 H가 되어 노드 6을  $VCC - V_t$ 로 만들어 준 다음 노드8이 L가 되어 노드6을 VPP로 만들어 준다(그림 5(b)). 따라서 노드4는 VCC로 precharge되어 있다가  $VCC + VPP$ 가 된다. 전달 TR2의 게이트 전압을  $2VCC + V_t$  이상으로 해 줌으로써 노드 2의 전압이 VPP에 완전히 전달된다(그림 5(a)).



(a)



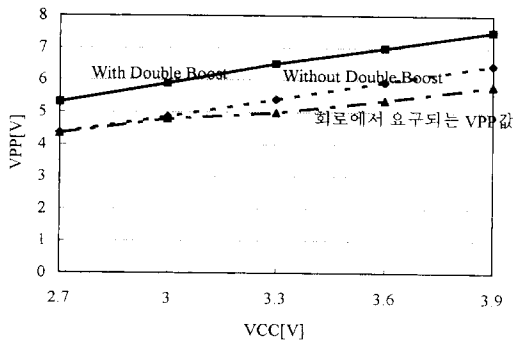
(b)

그림 5. VPP 전하 펌프 회로에 대한 simulation 파형; (a) 그림 4의 각 노드들의 파형, (b) 노드 6의 double boost 파형

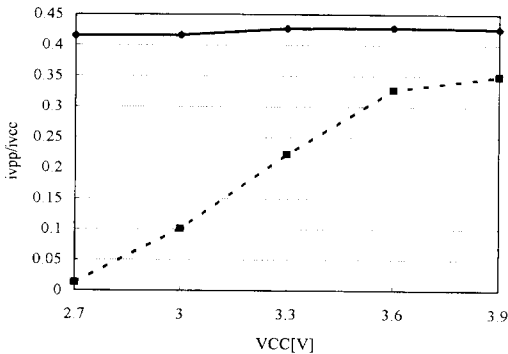
Fig. 5. Simulated waveform of VPP charge pump circuit; (a) waveforms on nodes of Fig. 4, (b) double boosted waveform of node 6.

그러나 VCC전압이 커져서 노드4의 전압 즉,  $VCC + VPP$ 의 값이 노드4에 연결된 TR의 접합 항복 전압(junction breakdown voltage)보다 커지면 TR이 파괴되어 회로가 동작하지 못하게 된다. 이를 방지

하기 위해 BURNIN/BURNINB신호는 VCC전압이 낮을 때 즉,  $VCC+VPP < V_{breakdown}$  일 때 L / H가 되어 더블 부스트회로를 동작시켜서 VPP 펌프의 효율을 높이고, VCC전압이 높을 때 H / L가 되어 더블 부스트회로를 오프시켜서 회로의 신뢰성을 높인다. 일반적으로 nMOS TR로 구성된 전하펌프는 낮은 VCC 전압에서 VPP 전하를 공급하지 못하는데 낮은 전압에서는 더블 부스트회로를 구동함으로써 충분히 VPP 전하를 공급할 수 있으며 높은 전압에서는 TR 접합의 신뢰성을 확보할 수 있다. 그림 6에서는 기존의 nMOS 전하 펌프와 본 논문에서 제안한 더블 부스트 nMOS 전하 펌프에 의한 발생된 전압(그림 6(a))과 전류효율(본 SDRAM이 필요로 하는 VPP level을 얻기 위하여 VCC에서 공급하는 전류(VCC)대 펌핑 Cap.에 전달되는 i(VPP)을 비교하였다(그림 6(b)).



(a)



(b)

그림 6. 일반적인 nMOS 전하 펌프 회로와 double boost VPP 전하 펌프 회로에 대한 비교; (a) VPP level, (b) 전류 효율

Fig. 6. Comparison between general nMOS charge pump circuit and double boosted VPP charge pump circuit; (a) VPP level, (b) current efficiency.

그림 6(a)에서 기존의 전하 펌프회로는 VCC = 3.3V 에서 VPP = 6.5V 인데 반하여, 제안한 펌프회로는 VPP = 7.5V 이다. 그림 6(b)에서 전류효율은 기존의 방법에 비하여 VCC = 3.0V에서는 4.2배인데, 이는 기존의 pumping 회로는 계속적으로 동작해야 필요한 VPP 값을 얻을 수 있기 때문이고, VCC = 3.9V에서도 20% 정도 효율이 높다. 따라서 더블 부스트회로는 기존의 회로에 비하여 전체적으로 성능이 우수하고 또한 전원전압이 높은 전압에서는 더블 부스트 회로 동작을 중단함으로써 TR 접합의 신뢰성을 확보할 수 있다.

### 3. NDC(Negative delay circuit)

NDC 회로와 유사한 개념으로 T. Saeki<sup>[6]</sup>는 SMD(synchronous mirror delay)을 이용하여 외부 클럭(external clock)과 출력 드라이버회로에 인가되는 내부 클럭(internal clock) 사이의 클럭 스쿠를 줄여서 clock to access time(tAC) 개선하기 위하여 제안하였다. 본 논문에서는 NDC 회로를 이용하여 T. Saeki<sup>[6]</sup>가 적용한 방법보다 외부 클럭보다 더 위상이 앞선 내부 클럭을 생성하여, 이를 출력 드라이버 블럭에 공급함으로써 tAC 특성을 개선하기 위하여 사용하였다.

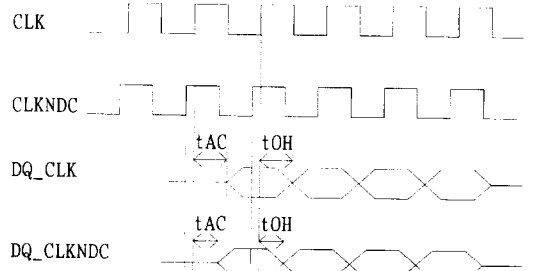


그림 7. NDC 회로의 기본 개념도  
Fig. 7. Basic concept of the NDC.

NDC회로의 기본원리는 그림 7과 같다. 먼저 클럭을 지연 시킨후 그 다음 클럭 사이클(clock cycle)에서 지연된 신호와 클럭 신호를 서로 비교하여 클럭 신호와 같은 위상의 지연된 신호를 선택한다. 선택된 신호보다 기본 delay x N stage만큼 빠른 신호를 선택하면 클럭 신호보다 더 빠른, 즉 부 지연(negative delay) 신호를 얻을 수 있다.

NDC 회로는 그림 8(a)와 같이 구성하였다. 회로의

구성은 기본 지연 소자(unit delay element), Flip Flop(F/F), AND gate, 펄스 발생회로(pulse generator)로 이루어졌다. 지연된 클럭을 F/F의 입력단자에 인가하고 클럭 신호를 각 F/F의 CLK 단자에 클러킹(clocking)하면 매 사이클마다 F/F의 출력이 "LL... LLHH..HHLL.."로 된다. 이때  $i-1$ 번째 F/F의 출력이 "L"이고  $i$ 번째 출력이 "H"이면  $i$ 번째 F/F에 인가된 신호는 클럭 신호와 거의 같은 위상을 갖게된다. 따라서  $i$ 번째 신호보다 빠른 신호  $i-N$ 번째 신호를 선택하면 외부 클럭 신호보다 기본 delay x N stage만큼 위상이 앞선 신호를 얻을 수 있다. 위에서 얻은 신호로 데이터 출력 회로를 control하면 그림 8(b)와 같이 tAC을 빠르게 할 수 있다. 단, 출력 데이터 홀드 시간(tOH: output data hold time)을 만족하는 범위내에서 클럭 신호를 빠르게 해야한다.

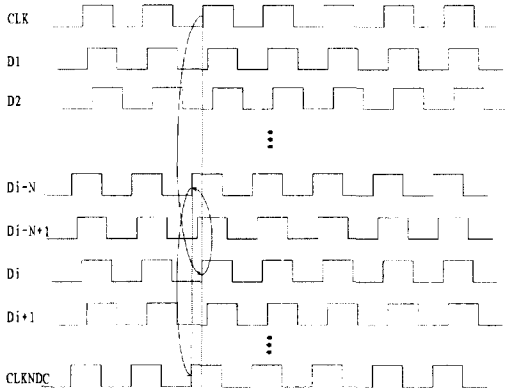
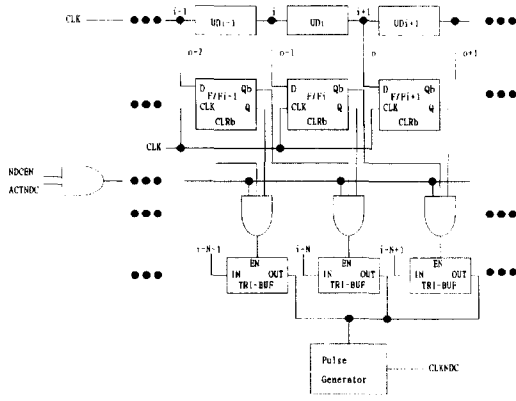


그림 8. (a) NDC 블록도, (b) NDC 타이밍도  
Fig. 8. (a) NDC block diagram, (b) NDC timing diagram.

본 논문의 NDC회로는 2 ~ 3 사이클 이내에 부 지연 신호를 얻을 수 있어서, 기존의 DLL 회로에서의 locking time(보통 10 ~ 20us)보다 훨씬 빠르기 때문에 액티브 모드(active mode)에서만 동작하고 스탠바이 모드(standby mode)에서는 동작하지 않게 할 수 있다. 따라서 NDC 회로를 사용하면 스탠바이 모드에서는 전류 소비가 증가하지 않고, 액티브 모드에서는 전체 소비 전류의 3 ~ 4% 정도 증가한다. 또한 NDC 회로의 layout 면적은 전체 칩 면적의 0.1% 미만으로 크게 증가하지 않는다.

### III. 데이터 경로 회로(Data path circuit)

SDRAM에서 고속 데이터 처리를 위하여 Y. H. Choi<sup>[3]</sup>는 프리패치(prefetch) 방식을 사용하였고, Y. Takai<sup>[4]</sup>는 데이터 경로를 3단으로 나누어 3단 파이프라인(3-stage-pipelined)을 구성하였고, H. J. Yoo<sup>[5]</sup>는 wave pipelining을 사용하였다. Y. H. Choi<sup>[3]</sup> 방법은 매 클럭 사이클마다 새로운 명령어를 받아들일 수 없는 단점이 있고 Y. Takai<sup>[4]</sup> 방법은 DRAM의 데이터 경로를 정확하게 3단으로 나누기 어렵기 때문에 최대처리속도는 한계가 있으며, H. J. Yoo<sup>[5]</sup> 방법은 데이터 펄스간에 마진을 주어야하기 때문에 최소 펄스폭(minimum pulse-width)의 한계가 있다. 본 SDRAM은 200MHz의 고속 데이터 처리를 위하여 데이터 선 인터리브(data line interleave)와 CAS Latency 조절을 위하여 pipelining을 사용하였다.

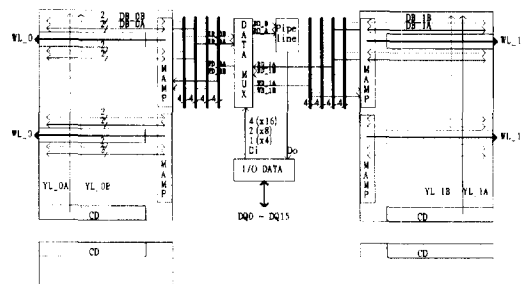
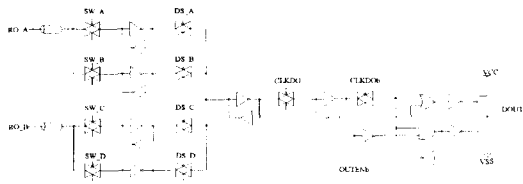


그림 9. 본 SDRAM의 데이터 경로 구성도  
Fig. 9. Proposed SDRAM data path block diagram.

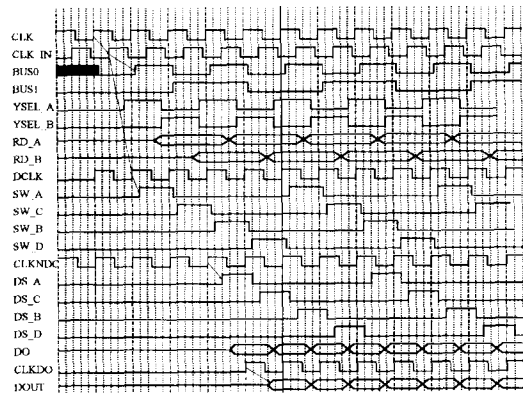
1. 데이터 경로 구조(Data path architecture)  
데이터 경로 구조는 8M cell 을 단위로 뱅크가 나누

여지고, 각 뱅크는 2M cell을 단위로 데이터 I/O 편이 할당되었다. 즉, dedicated I/O 방식을 사용하여 x16, x8, x4 옵션 변환을 용이하게 하여 데이터 경로 연결 선(data path routing)수를 줄였다. 각각의 2M cell을 다시 행 어드레스 상위 3 Bit을 사용하여 256K cell 블록을 기본단위로 하는 8개 블록으로 나누었다. 4M 블록의 데이터 경로 구조는 그림 9와 같이 이루어졌다.

Bank0 또는 Bank1의 MAMP에서 출력된 데이터가 DATA MUX에서 멀티플렉싱(multiplexing)된다. 그리고 x16, x8, x4 옵션 조절을 위하여 열 어드레스 프리디코딩(PY coding: column address predecoding)에 의하여 데이터 선의 갯수가 x4, x2, x1으로 각각 선택된다. 이때 선택된 데이터는 pipeline block에서 data interleave에 의해 분리된 데이터가 데이터 I/O buffer를 거쳐서 data pad에 출력된다.



(a)



(b)

그림 10. 데이터 경로 회로 및 타이밍도; (a) CAS latency 조절을 위한 pipelining 회로, (b) 타이밍도

Fig. 10. Data path circuit and timing diagram; (a) pipelining circuit for CAS latency control, (b) data path timing diagram.

### 2. 데이터 경로 조절방법(Data path control)

그림 10(a)는 데이터 경로회로로 data line interleave에 의해 core 부분의 MAMP에서 증폭된 데이터

가 CL(CAS Latency) = 3 이상에서는 매 사이클마다 데이터 선을 바꾸어 가면서 데이터 멀티플렉서(data multiplexer)를 거쳐 pipeline 블록에 도달하게 된다. pipeline 블록의 control 신호의 동작 및 데이터의 전송 과정을 그림 10(b)에 나타냈다. pipeline의 갯수는 4개이고, 각 2개에 하나의 데이터 선에 연결되어 있다. 최대 하나의 데이터가 pipeline을 통과한 후에 4 사이클 후에 다시 그 pipeline이 열리므로 CL = 6까지 동작이 가능하게 된다. CL = 5, 6에는 모든 pipeline을 다 동작시키고, CL = 3, 4에서는 pipeline을 사용하지 않고 단지 데이터 선 인터리브에 의해 분리된 데이터를 믹싱(muxing) 시키기만 한다. 그리고 CL = 1, 2에서는 data line interleave 방식을 사용하지 않고, 하나의 데이터 선만 사용한다. 그 때문에 CL = 1, 2에서는 데이터가 pipeline path를 통과하지 않고 직접 데이터 출력 control 회로로 연결되어 두단의 게이트 지연을 줄였다.

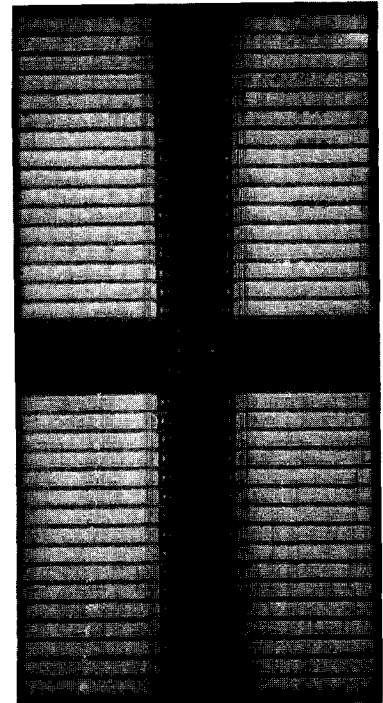
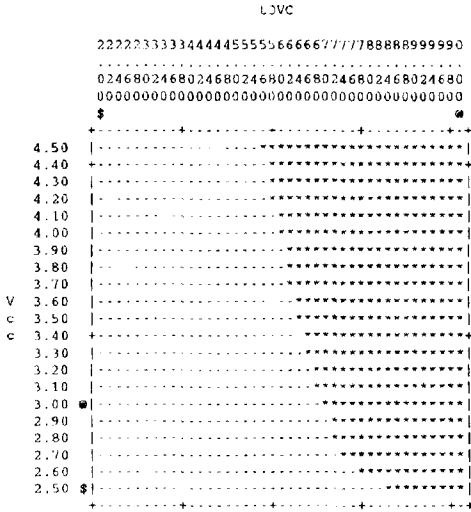


그림 11. 본 SDRAM의 칩사진  
Fig. 11. Photomicrograph of proposed SDRAM.

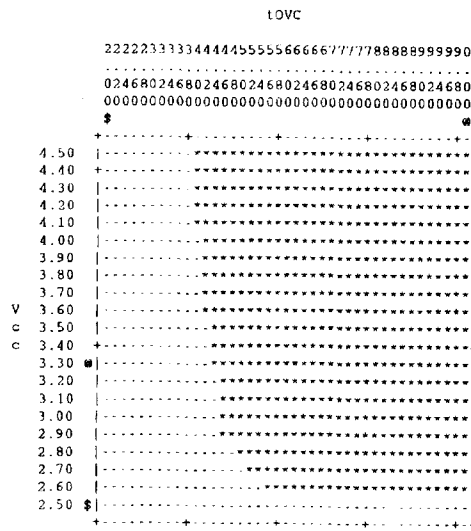
## IV. 실험 결과

본 SDRAM은 0.4-um CMOS 공정을 이용하여 제작하였다. 칩 면적(chip area)은 6.2 X 12.4 =

76.88mm<sup>2</sup> 이고, 패키지는 400-mil, 50-pin, TSOP-II 이고, 전력선 전원 바운싱(power line voltage bouncing)을 LOC(lead on chip) assembly 기술을 사용하였다. 그림 11은 본 SDRAM의 칩사진(micro-photograph)이다.



(a)



(b)

그림 12. 83MHz clock, CL=3, BL=4 에서의 tAC Shmoo plot; (a) normal operation, (b) NDC enable

Fig. 12. tAC Shmoo plot with 83MHz clock, CL=3, and BL=4; (a) in normal operation, (b) in NDC enable.

그림 12는 공급 전압 3.3V, 상온(Room Temp.), 50-pF output capacitance, 2-mA load current 조건에서의 CL = 3, BL = 4, 83MHz 클럭이 인가되었을때의 측정 파형(measured waveform)이다. 그림 12(a)는 NDC 회로를 동작시키지 않았을때의 파형으로 tAC는 7ns 이고, 그림 12(b)는 NDC 회로를 동작 시켰을 때의 파형으로 tAC는 4.5ns로, 따라서 NDC 회로를 동작시키면 tAC가 2.5ns 개선된다. 그림 13은 active, write, read, precharge 순으로 명령어가 인가됐을때의 CL = 6, BL = 4에서 200MHz 클럭에서의 simulation 결과이다. 도표 1은 본 SDRAM의 주요한 특성을 요약하였다

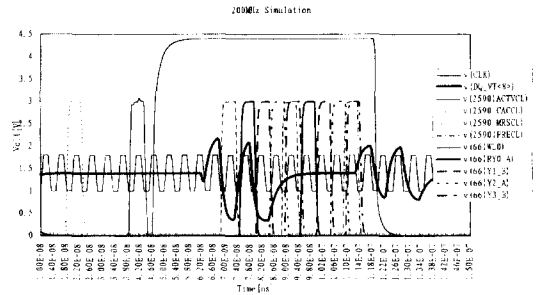


그림 13. 200MHz clock, CL=6, BL=4 에서의 simulation 결과

Fig. 13. Simulation result with 200MHz clock, CL=6, and BL=4.

표 1. 칩 특성

Table 1. Chip characteristics.

|                        |                                           |
|------------------------|-------------------------------------------|
| 구성                     | 256Kb x 32 x 2 Banks                      |
| 칩 면적                   | 12.41 x 6.25 (77.56) mm <sup>2</sup>      |
| 패키지                    | 400mil 50pin TSOP-II                      |
| Minimum feature size   | 04um CMOS                                 |
| 공급 전원                  | 3.3V +/- 10%                              |
| Interface              | LVTTL/HSTL                                |
| Clock Frequency        | 200MHz(5ns) HSTL, 100MHz(10ns) LVTTL      |
| Access time from clock | 7ns                                       |
| CAS access time        | 27ns                                      |
| RAS access time        | 57ns                                      |
| Programmable Features  |                                           |
| Burst Length           | 1, 2, 4, 8, 16, Full Page                 |
| Burst Type             | Sequential, Interleave                    |
| CAS Latency            | 1, 2, 3, 4, 5, 6                          |
| Operating Modes        |                                           |
|                        | Standby, Active, Power Down, Self Refresh |



## V. 결 론

200MHz 16Mb SDRAM을 0.4- $\mu$ m CMOS 공정을 이용하여 제작하였다. 본 칩은 data line interleave와 pipeline 제어방법을 사용하여 CL = 6에서 최대 200MHz까지 동작한다. 그리고 clock access time (tAC)을 개선하기 위하여 NDC 회로를 사용하여 tAC를 2.5ns 개선할 수 있었다. 본 논문에서 제안한 NDC 회로는 구조가 간단해서 회로크기(70 X 1200 $\mu$ m<sup>2</sup>)가 작고, locking time이 2 ~ 3cycle로 짧기때문에 active mode에서만 동작할 수 있어서 전류소비가 작다. 그리고 전력 절약형 WL 구동회로를 제안하여, WL 구동회로의 전력을 1/3 정도까지 줄일 수 있었다. VPP 회로의 효율향상과 회로의 안정성을 보장할 수 있는 VPP 회로를 제안하였다. 제안된 고속화 회로 및 architecture는 향후 고속 메모리 응용에서의 주된 자리를 차지하게 될 SDRAM 설계에 있어 매우 중요한 역할을 할 것이라고 생각되어진다.

## 참 고 문 헌

- [1] M. Kumanoya et al., "Advances in DRAM Interfaces," IEEE Micro, pp. 30-36, Dec. 1995.
- [2] K. Itoh et al., "Limitations and Challenges of Multi-Gigabit DRAM Circuits," in Proc. 1996 Symp. VLSI Circuits, pp. 2-7.
- [3] Y. H. Choi et al., "16-Mb Synchronous DRAM with 125-Mbyte/s Data Rate," IEEE J. Solid-State Circuits, vol. 29, pp. 529-533, Apr. 1994.
- [4] Y. Takai et al., "250 Mbyte/s Synchronous DRAM Using a 3-Stage-Pipelined Architecture," IEEE J. Solid-State Circuits, vol. 29, pp. 426-431, Apr. 1994.
- [5] H. J. Yoo et al., "A 150MHz 8-Banks 256M Synchronous DRAM with Wave Pipelining Methods," in ISSCC Dig. 1995, pp. 250-251.
- [6] T. Saeki et al., "A 2.5ns Clock Access 250MHz 256Mb SDRAM with a Synchronous Mirror Delay," in ISSCC Dig. 1995, pp. 250-251.

[1] M. Kumanoya et al., "Advances in DRAM

— 저 자 소 개 —



金 昌 善(正會員)

1988年 2月 부산대학교 전기공학과 졸업(공학사). 1990年 8月 한국과학기술원 전기 및 전자공학과 졸업(공학석사). 1994年 8月 한국과학기술원 전기 및 전자공학과 졸업(공학박사). 1994年 8月 ~ 현재 LG반도체 MIBU 설계3실 책임연구원. 주관심 분야는 고속 DRAM의 설계 및 Analog/Digital interface 회로 설계임.



張 星 珍(正會員)

1965年 7月 10日生. 1987年 2月 경북대학교 전자공학과 졸업(공학사). 1990年 2月 한국과학기술원 전기 및 전자공학과 졸업(공학석사). 1990年 1月 ~ 현재 LG반도체 MIBU 설계 3실 선임연구원. 주관심 분야는 고속 DRAM의 설계 및 Embedded DRAM 설계임.



金 台 勳(正會員)

1965年 5月 28日生. 1989年 2月 고려대학교 전기공학과 졸업(공학사). 1989年 1月 ~ 현재 LG반도체 MIBU 설계3실 선임연구원. 주관심 분야는 고속 Memory의 설계 및 Low Power Circuit과 Analog Circuit 설계임.



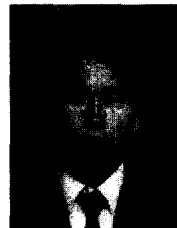
李 再 九(正會員)

1968年 8月 12日生. 1991年 2月 고려대학교 전자공학과 졸업(공학사). 1993年 8月 고려대학교 전자공학과 졸업(공학석사). 1993年 7月 ~ 현재 LG반도체 MIBU 설계3실 주임연구원. 주관심 분야는 고속 Memory의 설계 및 DLL설계임.



朴 暋 奭(正會員)

1968年 9月 4日生. 1991年 2月 한양대학교 전자공학과 졸업(공학사). 1994年 2月 한양대학교 전자공학과 졸업(공학석사). 1994年 1月 ~ 현재 LG반도체 MIBU 설계3실 근무. 주관심 분야는 고속 DRAM의 내부전원회로임.



鄭 雄 植(正會員)

1970年 1月 8日生. 1995年 2月 : 영남대학교 전자공학과 졸업(공학사). 1994년 11월 ~ 현재 LG반도체 MIBU 설계3실 근무. 주관심 분야는 고속 DRAM TEST임.



孫 永 鉉(正會員)

1986年 2月 한국과학기술원 전기 및 전자공학과 졸업(공학석사). 1989年 8月 한국과학기술원 전기 및 전자공학과 졸업(공학박사). 1989年 ~ 1991年 미국 Coordinate Science Lab. Post-Doc. 1991年 ~ 현재 LG반도체 MIBU 설계3실장. 주관심 분야는 고속 DRAM의 설계 및 Analog/Digital interface 회로 설계임.