

論文97-34C-4-1

# 저전압용 CMOS 온-칩 기준 전압 및 전류 회로

## (CMOS On-Chip Voltage and Current Reference Circuits for Low-Voltage Applications)

金 玟 廷 \*, 李 承 勳 \*

(Min-Jung Kim and Seung-Hoon Lee)

## 요 약

본 논문에서는 기존의 bandgap 전압을 이용하는 기준 전압 및 전류 회로의 구현 방법과는 달리, enhancement형의 MOS 트랜지스터만을 사용하여 2.5 V에서 5.5 V까지의 공급 전압에서 동작하는 CMOS 온-칩 기준 회로를 제안한다. 제안된 회로는 CMOS 공정을 사용하는 시스템에 온-칩으로 응용될 때 호환성, 비용, 전력 소모, 필요 면적 면에서 장점을 가진다. 설계된 기준 전압 및 전류 회로는 0.6  $\mu\text{m}$  n-well single-poly double-metal CMOS 공정을 사용하여 제작되었으며, 710  $\mu\text{m}$  x 190  $\mu\text{m}$ 의 면적을 차지한다. 측정된 기준 전압 회로는 온도가 -25  $^{\circ}\text{C}$ 에서 75  $^{\circ}\text{C}$ 까지의 범위에서 0.97 V  $\pm$ 0.39 mV, 온도 계수는 8.2 ppm/ $^{\circ}\text{C}$ 를 보여주며, 측정된 PSRR (power supply rejection ratio)은 50 kHz의 주파수에서 약 -67 dB이다.

## Abstract

This paper proposes CMOS on-chip voltage and current reference circuits that operate at supply voltages between 2.5 V and 5.5 V without using a conventional bandgap voltage structure. The proposed reference circuits based on enhancement-type MOS transistors show low cost, compatibility with other on-chip MOS circuits, low-power consumption, and small-chip size. The prototype was implemented in a 0.6  $\mu\text{m}$  n-well single-poly double-metal CMOS process and occupies an active die area of 710  $\mu\text{m}$  x 190  $\mu\text{m}$ . The proposed voltage reference realizes a mean value of 0.97 V with a standard deviation of  $\pm$ 0.39 mV and a temperature coefficient of 8.2 ppm/ $^{\circ}\text{C}$  over an extended temperature range from -25  $^{\circ}\text{C}$  to 75  $^{\circ}\text{C}$ . A measured PSRR (power supply rejection ratio) is about -67 dB at 50 kHz.

## I. 서 론

기준 회로는 외부 공급 전압 및 온도 등의 동작 환경이 변화더라도 항상 일정한 전압 및 전류를 생성시켜 주는 회로이다. 이러한 기준 회로는 메모리, 데이터 변환기, 모듈레이터, 센서 등의 아날로그 신호를 다루

는 대부분의 시스템에 사용되며, 공급 전압 및 온도 등의 변화에 얼마나 독립적으로 구현되는가에 따라 전체 시스템 성능에 직접적 간접적으로 영향을 준다.

70년대부터 이러한 기준 회로의 구현을 위해 제너 다이오드의 항복 전압<sup>[1]-[2]</sup>이나 바이폴라 트랜지스터의 bandgap 전압<sup>[3]-[4]</sup>를 사용하여 왔다. 제너 다이오드의 항복 전압을 이용하는 방법은 공급 전압에는 상당히 독립적이나, 전력 소모가 수 백 mW 정도로 크다는 단점이 있고, 바이폴라 트랜지스터의 bandgap 전압을 사용하는 방법은 온도 및 공급 전압에 모두 독립적으로 구현 가능하나, 베이스 전류에 의한 오차 문제가 있다. 최근에 회로의 소형화, 경량화, 저전압화 추

\* 正會員, 西江大學校 電子工學科

(Dept. of Electronics Engineering, Sogang University)

※ 이 연구는 부분적으로 '96년도 통산부, 정통부, 과기처 ASIC 기반 기술 개발 과제에 의해 지원 받았음.

접수일자:1997年2月12日, 수정완료일:1997年4月8日

세와 더불어 CMOS 공정을 사용하는 혼성 모드 회로, 즉 아날로그 회로와 디지털 회로가 하나의 칩 속에 병존하는 회로 설계가 점점증하면서, 기준 회로 설계 역시 저전압에서의 동작과 CMOS 공정을 사용하는 혼성 모드 회로로의 온-칩이 요구되고 있다. 이러한 추세로부터 제안되었던 5 V수준의 공급 전압에서 동작하는 CMOS 온-칩 전류 기준 회로<sup>[5]</sup>는 낮은 비용으로 혼성 모드 시스템에 온-칩으로 응용이 가능하다. 그러나, 4개의 MOS 다이오드를 직렬로 사용하기 때문에 3 V 수준의 저전압에서의 동작은 쉽지 않다는 단점이 있다.

현재까지 3 V 공급 전압에서 동작 가능하며 CMOS 공정에서 온-칩이 가능한 기준 회로의 구현은 크게 다음 두 가지로 나눌 수 있다. 첫째, depletion형과 enhancement형의 MOS 트랜지스터의 문턱 전압 차이를 이용하는 방법<sup>[6]-[7]</sup>, 둘째, CMOS 공정에서 구현된 parasitic vertical BJT나 lateral BJT의 bandgap 전압을 이용하는 방법<sup>[8]-[10]</sup> 등이 있다. 그러나, 문턱 전압 차이를 이용하는 방법은 공정상 마스크가 추가되어야 하는 비용 문제가 있고, bandgap 전압을 이용하는 방법은 공정상의 복잡도와 베이스 전류에 의한 오차 문제가 있다. 본 논문에서 제안하는 회로는 일반 MOS 공정에서 enhancement형의 MOS 트랜지스터만으로 구현되었기 때문에 기존 회로에서 생기는 문제점들을 해결하였고, 특히, CMOS 공정을 사용하는 메모리, 데이터 변환기, 모듈레이터, 센서 등을 포함하는 혼성 모드 시스템에 온-칩으로 응용될 때, 직접적인 호환성, 비용, 전력 소모, 필요 면적 등의 측면에서 장점을 가지고 있다.

본 논문의 II 장에서는 제안된 회로의 동작 원리를 살펴보고, III 장에서는 구현된 전체 회로 및 간단한 오차 보정 기법 등을 설명하고, IV 장에서는 기준 전압 및 전류 회로의 측정 결과를 분석하고 성능을 정리한다. 그리고 기존의 기준 전압 회로와 제안된 기준 전압 회로의 비교를 통해 개선된 점과 응용시 고려할 점들을 요약한다. 마지막으로 V 장에서는 제안된 회로에 대한 결론을 내린다.

II. 제안된 기준 회로의 동작 원리

그림 1은 제안된 회로의 기본적인 동작 원리를 논하기 위한 개념도이다. 온도의 증가에 따라 감소하는

전류  $I_{NEG}$ 와 증가하는 전류  $I_{POS}$ 를 각각 공급 전압에 독립적으로 구현하여 합하면, 결국 온도와 공급 전압에 독립적인 전류  $I_{OUT}$ 이 얻어진다. 그리고,  $I_{OUT}$ 은 MOS 다이오드의 저항 성분을 통해 온도와 공급 전압에 안정된 전압  $V_{ref1}$ 으로 변환되게 된다.

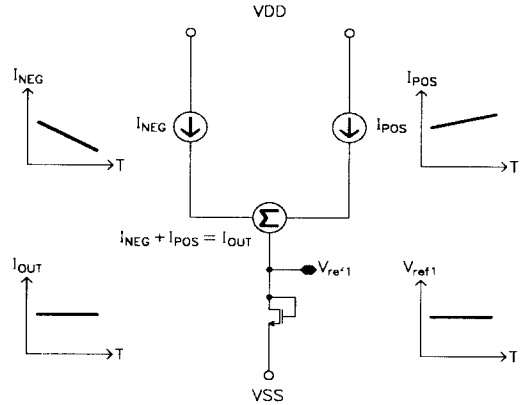


그림 1. 제안된 기준 회로의 개념도  
Fig. 1. Principle of the proposed reference circuit.

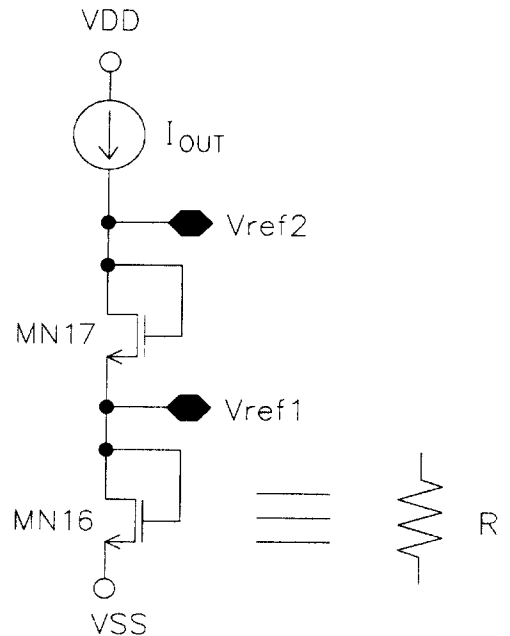


그림 2. 온도와 공급 전압에 안정된 전압 생성 회로  
Fig. 2. Proposed voltage reference insensitive to temperature and supply voltages.

1. 기준 전압 회로

그림 2는 온도와 공급 전압에 안정된 전압을 생성하

는 회로이다. MOS 다이오드의 저항 성분은 MOS 전류-전압 방정식에서 다음의 식 (1)과 같이 유도된다.

$$R = \frac{V_{ref1}}{I_{OUT}} = \frac{V_{thn}}{I_{OUT}} + \sqrt{\frac{2}{\beta_n I_{OUT}}} \quad (1)$$

( $\beta_n : \mu_n C_{ox} W/L$ )

식 (1)로부터 기준 전압의 온도에 의한 변화는 식 (2)와 같이 유도된다.

$$\frac{\partial V_{ref1}}{\partial T} = \frac{1}{2} \sqrt{\frac{2}{\beta_n I_{OUT}}} \frac{\partial I_{OUT}}{\partial T} + \frac{\partial V_{thn}}{\partial T} - \frac{1}{2\mu_n} \sqrt{\frac{2 I_{OUT}}{\beta_n}} \frac{\partial \mu_n}{\partial T} \quad (2)$$

MOS 다이오드에 공급되는 전류원의 온도 계수에 따라 약간의 차이가 있을 수 있으나, 대략 전류원의 온도 계수가 수 백 ppm/°C 정도일 때, 식 (2)에 공정에 따른 변수들을 대입하고 MOS의 L과 W가 같다고 가정하면, 첫째 항이 뒤의 나머지 항들에 비하여 1/100배 정도가 되므로 식 (3)으로 근사화가 가능하다.

$$\frac{\partial V_{ref1}}{\partial T} \approx \frac{\partial V_{thn}}{\partial T} - \frac{1}{2\mu_n} \sqrt{\frac{2 I_{OUT}}{\beta_n}} \frac{\partial \mu_n}{\partial T} \quad (3)$$

식 (3) 우변의 두 개의 항은 각각 수 mV/°C 정도의 절대값을 가지고 부호가 반대이므로, W/L을 조정하면 식 (3)은 수 십 ppmV/°C의 값이 된다. 만약 설계시, 온도 계수를 수 ppm/°C이하로 좀 더 온도에 독립적으로 설계하기 위해서는 식 (2)에서 생략했던 항을 다시 고려해야 한다. 즉, 실제 사용하고자 하는 공정 변수를 가지고, 설계하고자 하는 전압 레벨에 적절한 전류를 공급하고 MOS 트랜지스터의 크기를 조정하면 온도에 독립적인 전압을 만들 수 있다. 한편, 기준 전류 회로에서 만들어진 전류가 공급 전압에 독립적이면, 식 (4)에서 보는 바와 같이 생성 전압도 공급 전압에 독립적이다. 즉, 기준 전압의 공급 전압 특성은 기준 전류의 공급 전압특성에 의해 결정됨을 알 수 있다.

$$\frac{\partial V_{ref1}}{\partial V_{DD}} = \frac{1}{2} \sqrt{\frac{2}{\beta_n I_{OUT}}} \frac{\partial I_{OUT}}{\partial V_{DD}} \quad (4)$$

이와 같이, MOS 다이오드에 흘러주는 전류원이 공급 전압에 독립적이고 온도에 대해 어느 정도 안정적이면, 온도와 공급 전압 모두에 독립적인 전압을 설계할 수 있다.

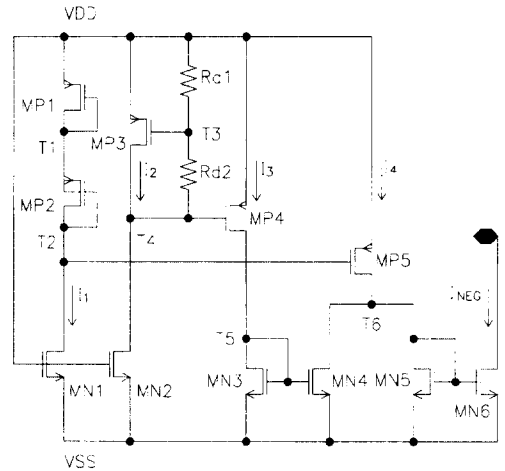


그림 3. 온도에 반비례하는 전류 생성 회로  
Fig. 3. Current reference with a negative temperature coefficient.

### 2. 기준 전류 회로

#### A. 온도의 증가에 반비례하는 전류

그림 3은 공급 전압에 독립적이면서 온도의 증가에 따라 감소하는 전류를 생성하는 회로이다. MN1의 W/L을 작게 만들어서 I<sub>1</sub>을 대략 수 uA로 작게 설계하고, 다음의 식 (5)의 MOS 다이오드 방정식에 각 공정 변수를 대입하면, 둘째 항이 첫째 항에 비해 1/10배 정도이므로 식 (6)과 같이 근사화가 가능하다.

$$V_{DD} - V_{T2} = 2 V_{thp} + 2 \sqrt{\frac{2 I_1}{\beta_p}} \quad (5)$$

$$\approx 2 V_{thp} \quad (6)$$

I<sub>2</sub> 또한, 대략 수 uA로 작게 설계하면 같은 방법으로 식 (7)과 같이 유도된다.

$$V_{DD} - V_{T4} = \left(1 + \frac{Rd2}{Rd1}\right) \cdot (V_{DD} - V_{T3}) \approx \left(1 + \frac{Rd2}{Rd1}\right) V_{thp} \quad (7)$$

이와 같이 만들어진 공급 전압에 독립적인 두 전압은 MP4와 MP5를 구동하고, 여기서 생성된 전류 I<sub>3</sub>과 I<sub>4</sub>가 트랜지스터 MN4, MN5, MN6 등으로 구성된 뱀셀기를 거치면, 다음의 식 (8)에 나타난 바와 같이 PMOS의 문턱 전압과 전자 이동도의 함수인 I<sub>NEG</sub>가 얻어진다.

$$I_{NEG} = I_4 - I_3 = \frac{1}{2} \mu_p C_{ox} \frac{V_{thp}^2}{L_{MP5}} \left[ W_{MP5} - \left(\frac{Rd2}{Rd1}\right)^2 W_{MP4} \right] \quad (8)$$

이 전류  $I_{NEG}$ 의 온도에 대한 변화는  $I_{NEG}$ 를 온도에 관하여 미분함으로써 구할 수 있으며 식 (9)와 같이 요약된다.

$$\frac{\partial I_{NEG}}{\partial T} = I_{NEG} \left( \frac{1}{\mu_p} \frac{\partial \mu_p}{\partial T} + \frac{2}{V_{thp}} \frac{\partial V_{thp}}{\partial T} \right) < 0 \quad (9)$$

식 (9)에서 볼 수 있듯이, 전자 이동도는  $T^{-1.5}$ 에 비례하고 문턱 전압도 대략  $-1.4 \text{ mV}/^\circ\text{C}$ 의 온도 변화율을 가지므로, 전류  $I_{NEG}$ 는 온도에 반비례하는 성질을 띠게 된다.

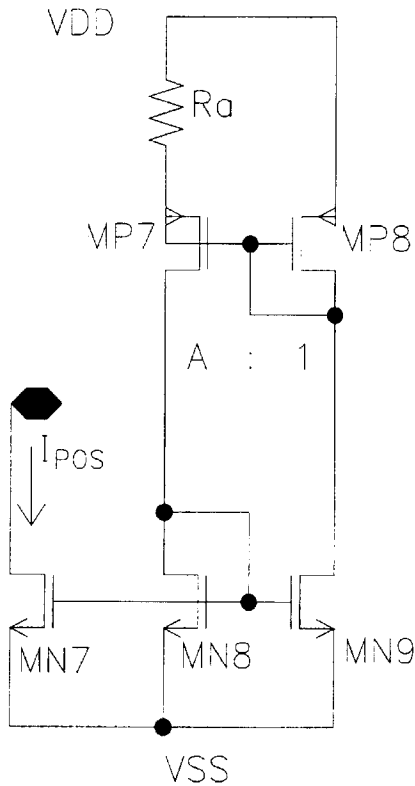


그림 4. 온도에 비례하는 전류 생성 회로  
Fig. 4. Current reference with a positive temperature coefficient.

#### B. 온도의 증가에 비례하는 전류

그림 4는 공급 전압에 독립적이면서 온도의 증가에 따라 증가하는 전류를 생성하는 회로를 보여준다 [11]. 이 회로에서  $R_a$  양단에 걸리는 전압은 MP7 과 MP8의 게이트 (gate)와 소오스 (source) 사이에 걸리는 전압 차이와 같으므로, 생성되는 전류  $I_{POS}$ 는 아래의 식 (10)과 같이 유도할 수 있으며, 저항과 PMOS의 전자 이동도의 함수이며 공급 전압에는 독립적이다.

$$I_{POS} = \frac{2L_{MP8}}{Ra^2 \mu_p C_{ox} W_{MP8}} \left( 1 - \frac{1}{\sqrt{A}} \right)^2, \quad (10)$$

$$\left( A = \left( \frac{L_{MP7}}{W_{MP7}} \right) / \left( \frac{L_{MP8}}{W_{MP8}} \right) \right)$$

따라서, 식 (10)으로부터 온도의 함수로서의  $I_{POS}$ 를 식 (11)과 같이 유도할 수 있으며, 전자의 이동도는 온도의 증가에 따라 감소하고 저항은 증가하는 반면, 전자 이동도의 감소율이 저항의 증가율에 비해 상대적으로 더 크기 때문에 결국  $I_{POS}$ 는 양의 온도 계수를 가지게 됨을 알 수 있다.

$$\frac{\partial I_{POS}}{\partial T} = I_{POS} \left( -\frac{1}{\mu_p} \frac{\partial \mu_p}{\partial T} - \frac{2}{Ra} \frac{\partial Ra}{\partial T} \right) > 0 \quad (11)$$

II장에서 유도된 모든 근사식은 동작 원리의 설명을 위하여 간략화되었으며, 실제적인 결과를 위해서는 사용하고자 하는 공정 변수를 사용하여 정확히 설계되어야 한다.

### III. 제안된 기준 회로의 구현

II장에서 논의된 바와 같이, 온도의 변화에 서로 상반되는 특성을 가진 두 개의 전류를 사용하여 구현된 전체 회로도가 그림 5에 나타나 있다. 그림 5의 맨 좌측 부분이 온도의 증가에 반비례하는 전류를 생성하는 회로이고, 좌측에서 세 번째 부분이 온도의 증가에 비례하는 전류를 생성하는 회로이며, MP9, MN10, MN11은 회로에 전원이 처음 인가 될 때 올바른 동작을 보장하기 위한 시동 (start up) 회로이다. 이렇게 생성된 두 전류인  $I_{NEG}$ 와  $I_{POS}$ 는 T 노드를 통해 전류  $I_{OUT}$ 으로 합해지고 MP6, MP10, MP11, MP12의 전류 반복기 (current mirror)를 통해 최종 출력단으로 전달된다. 출력단으로 전달된 온도 및 공급 전압에 안정된 전류가 MOS 다이오드의 저항을 통해 온도 및 공급 전압에 독립적인 전압으로 변환되는 기준 전압 회로는 그림 5의 맨 우측에 구현되어 있다.

한편, 회로 설계시 필요하였으나 제공받지 못한 공정 변수중의 하나인 저항의 온도 계수는 P\_diffusion 저항의 전형적인 온도 계수인  $1300 \text{ ppm}/^\circ\text{C}$ 를 사용하여 설계하였으나, 공정에 따라 저항의 온도 계수가  $800 \text{ ppm}/^\circ\text{C}$ 에서  $2000 \text{ ppm}/^\circ\text{C}$ 까지 변할 수 있기 때문에, 이와 관련된 보정 회로를 제안하였다. 그림 5에서 볼 수 있는 것 처럼 TP1 및 TP2 두개의 핀을 사용하여

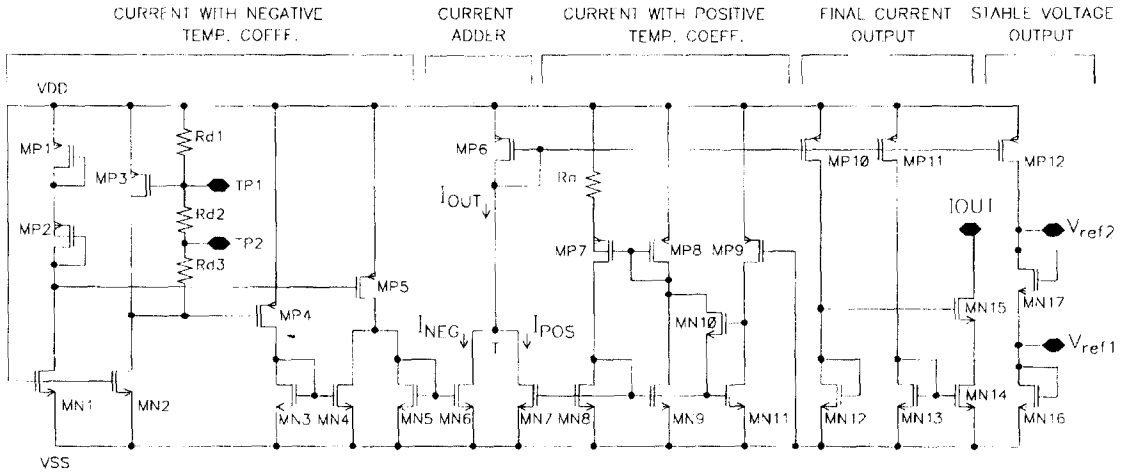


그림 5. 제안된 기준 전압 및 전류 회로  
Fig. 5. Proposed voltage and current reference circuits.

간단히 보정하도록 설계하였다. 즉, 구현된 저항의 온도 계수가 설계된 저항의 온도 계수와 300 ppm/°C 이상 차이가 생길 경우, 이 두 핀을 사용하여 전류  $I_{NEG}$  를 수  $\mu A$  정도 조정하면 온도에 대한  $I_{NEG}$  의 변화율이 달라지게 되고 결국 출력 전류인  $I_{OUT}$  의 온도 특성을 어느 정도 보정 할 수 있게 된다.

총 전류에다 공급 전압 값을 곱해서 이루어졌다. 측정된 총 20개의 샘플에 대해 출력 전압1 ( $V_{ref1}$ )의 경우에 0.97 V를 중심으로 8 mV, 출력 전압2 ( $V_{ref2}$ )는 2.02 V를 기준으로 12 mV, 출력 전류 ( $I_{OUT}$ )는 92.7  $\mu A$ 를 기준으로 2  $\mu A$ 의 표준편차를 가진다.

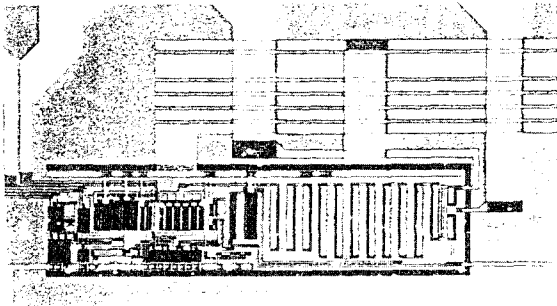


그림 6. 제작된 기준 회로의 칩 사진  
Fig. 6. Photograph of the proposed reference circuit (710  $\mu m \times 190 \mu m$ ).

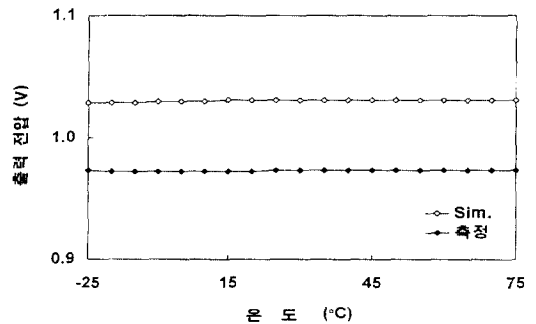


그림 7. 출력 전압1 ( $V_{ref1}$ )의 온도 특성  
Fig. 7. Simulated and measured output voltage ( $V_{ref1}$ ) vs. temperature.

IV. 측정 결과

제안된 기준 회로는 0.6  $\mu m$  n-well single-poly double-metal CMOS 공정을 사용하여 설계, 시뮬레이션, 레이아웃 및 제작되었다. 그림 6은 제작된 기준 전압 및 전류 회로의 칩 사진을 보여준다. 제작된 회로의 면적은 710  $\mu m \times 190 \mu m$ 이고 3 V 공급 전압에서 1.8 mW, 5 V 공급 전압에서 5.4 mW의 전력을 소모하며, 소모된 전력 계산은 측정시 회로에 흐르는

1. 기준 전압 회로의 측정 결과

그림 7은 온도가 -25 °C에서 75 °C까지 변할 경우 출력 전압1 ( $V_{ref1}$ )의 시뮬레이션 결과와 측정 결과를 비교하여 보여주고 있다. 설계된 전압인 1.02 V  $\pm 0.5$  mV에 비해 측정된 전압이 0.97 V  $\pm 0.4$  mV로 대략 5 % 정도 평균 전압 감소를 보이는 것은 문턱 전압의 감소를 비롯한 공정 변수에 영향을 받았기 때문이다. 그림 8은 측정된 출력 전압1의 온도에 따른 변화를 확대한 것으로써 온도에 안정된 특성을 보여주고 있다.

그림 9에서는 공급 전압이 2.5 V에서 5.5 V까지 변할 경우 출력 전압1의 시뮬레이션 결과와 측정 결과를 동시에 보여주고 있는데, 공급 전압에 대한 변화율이 대략  $\pm 0.3\% / V$  정도로 비슷하나 역시 5% 정도의 평균 전압 감소를 보여주고 있다. 측정된 출력 전압의 PSRR (power supply rejection ratio)은 50 kHz 정도의 낮은 주파수에서 약 -67 dB로서, 시뮬레이션 결과와 거의 비슷하다.

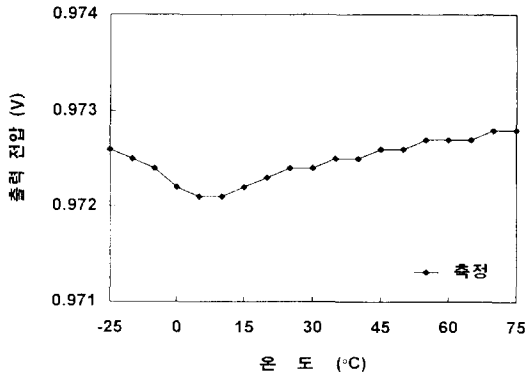


그림 8. 측정된 출력 전압1 (Vref1)의 온도 특성  
Fig. 8. Measured output voltage (Vref1) vs. temperature.

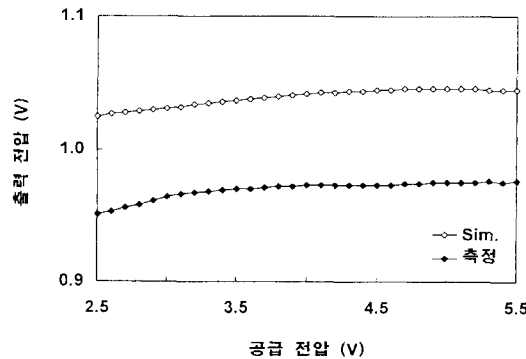


그림 9. 출력 전압1 (Vref1)의 공급 전압 특성  
Fig. 9. Simulated and measured output voltage (Vref1) vs. supply.

기준 전압 회로의 나머지 측정 결과는 표 1에 요약되어 있다. 표 1에서 보듯이, 출력 전압2 (Vref2)의 측정 결과 역시, 시뮬레이션 결과에 비해 5% 정도의 평균 전압 감소는 있으나 온도와 공급 전압에 비교적 독립적임을 알 수 있다. 표 2에 정리된 바와 같이 제안된 기준 전압 회로는 기존 회로에 비해 CMOS 공정을 사용하는 시스템에 응용 될 때, 낮은 비용으로 간단하게

구현할 수 있는 장점을 가지면서도 전력 소모, 온도 계수, PSRR의 성능 면에서도 큰 손색이 없음을 알 수 있다.

표 1. 제안된 기준 전압 및 전류 회로의 성능 요약

Table 1. Typical performance of the proposed voltage and current references.

구분	시뮬레이션 결과	측정 결과
온도 범위	-25 °C ~ 100 °C	-25 °C ~ 75 °C
공급 전압 범위	2.5 V ~ 5.5 V	2.5 V ~ 5.5 V
전력 소모	1.9 mW	1.8 mW
출력 전압1 (Vref1)	1.02 V	0.97 V
온도계수	10 ppm/°C	8.2 ppm/°C
공급 전압에 대한 변화율	$\pm 0.3\% / V$	$\pm 0.32\% / V$
PSRR	-68 dB	-67 dB
출력 전압2 (Vref2)	2.16 V	2.02 V
온도계수	77 ppm/°C	62.7 ppm/°C
공급 전압에 대한 변화율	+0.3 %/V	+0.2 %/V
PSRR	-69 dB	-68 dB
출력 전류 (IOUT)	97 uA	92.7 uA
온도계수	73 ppm/°C	98 ppm/°C
공급 전압에 대한 변화율	+1.6 %/V	+1.5 %/V

표 2. 제안된 기준 전압 회로 및 기존의 기준 전압 회로 비교

Table 2. Summarized performance of the proposed and conventional references.

구분	MOS 트랜지스터 문턱전압 차이 [5]	MOS 공정 bandgap 전압 이용 [9]	제안된 회로
온도 계수 (ppm/°C)	4.9	85	8.2
PSRR (dB)	-63	-95	-67
전력 소모 (mW)	3	1	1.8
응용시 고려사항	* Depletion형 트랜지스터 필요 * 높은 비용 * 온-칩	* MOS 공정에서 추가 마스크없이 BJT 구현 가능 * 구현시 복잡 * Base전류 오차 * 온-칩	* CMOS 공장에서 구현 간단 * 온-칩

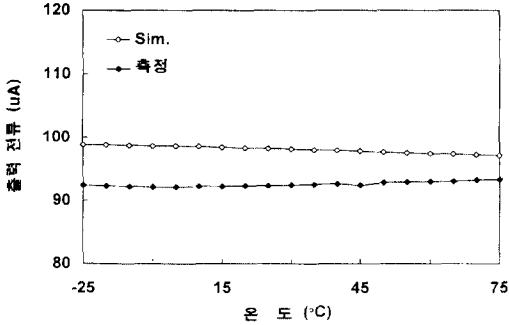


그림 10. 출력 전류 ( $I_{OUT}$ )의 온도 특성  
 Fig. 10. Simulated and measured output current ( $I_{OUT}$ ) vs. temperature.

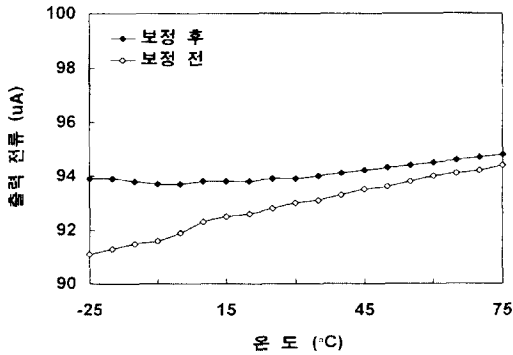


그림 11. 출력 전류 ( $I_{OUT}$ )의 온도에 대한 보정  
 Fig. 11. Temperature-calibrated output current ( $I_{OUT}$ ).

2. 기준 전류 회로의 측정 결과

그림 10은 온도가  $-25^{\circ}\text{C}$ 에서  $75^{\circ}\text{C}$ 까지 변할 경우 출력 전류 ( $I_{OUT}$ )의 시뮬레이션 결과와 측정 결과를 비교해서 보여주고 있다. 시뮬레이션 결과인  $97\text{ uA} \pm 0.4\text{ uA}$ 에 비해 측정 결과인  $93\text{ uA} \pm 0.5\text{ uA}$ 는 4% 정도의 평균 전류 감소를 보이는데, 이것은 구현된 P-diffusion 저항 값이 설계된 저항값에 비해 7% 정도 증가하였기 때문이나, 설계 및 측정된 출력 전류가 온도에는 비교적 안정적임을 알 수 있다. 그림 11은 측정된 저항의 온도 계수가  $900\text{ ppm}/^{\circ}\text{C}$ 에서  $1100\text{ ppm}/^{\circ}\text{C}$ 인 샘플일 경우, 보정 회로를 통해 온도에 대한 출력 전류의 보정 결과를 보여주고 있다. 보정 전의 출력 전류는  $92.5\text{ uA} \pm 1.5\text{ uA}$ , 보정 후는  $93\text{ uA} \pm 0.5\text{ uA}$ 로서 온도에 대한 변화량이 1/3 정도 줄어든 것을 알 수 있다. 이러한 보정이 필요한 샘플은 총 샘플의 20% 정도이었으며 나머지 샘플의 저항의 온도 계수는 설계시 사용한  $1300\text{ ppm}/^{\circ}\text{C}$  정도이었기 때문에 보정

이 필요하지 않았다. 그림 12에서는 공급 전압이 2.5 V에서 5.5 V까지 변할 경우 출력 전류의 시뮬레이션 결과와 측정 결과를 보여주고 있는데, 역시 4% 정도 평균 전류 감소한 것을 알 수 있다. 공정 변수 오차로 인해 전체 전류 수준에 약간의 오차는 생겼지만, 공급 전압 변화에도 비교적 안정된 전류를 유지하고 있다.

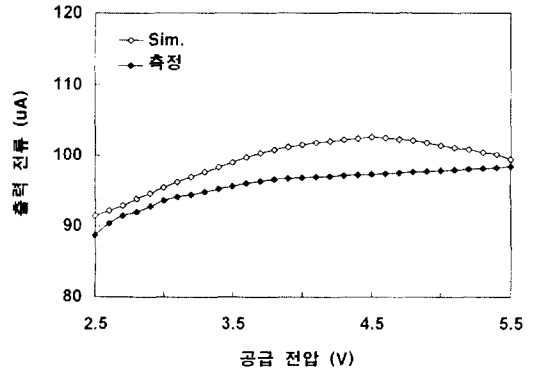


그림 12. 출력 전류 ( $I_{OUT}$ )의 공급 전압 특성  
 Fig. 12. Simulated and measured output current ( $I_{OUT}$ ) vs. supply.

V. 결론

본 연구에서는 기존의 bandgap 전압을 이용하지 않으면서, CMOS 공정을 사용하는 시스템에 간단하게 온-칩이 가능하고, 온도 및 공급 전압에 안정된 저전압 용 기준 전압 및 전류 회로를 제안하였다. 이러한 기준 회로는 메모리, 데이터 변환기, 모듈레이터, 센서 등의 아날로그 신호를 다루는 대부분의 시스템에 응용 가능하다. 제안된 회로는 기존의 회로에 비해 볼 때 비용, 필요 면적, 호환성, 전력 소모 면에서 장점을 가지면서 PSRR, 온도 계수 등의 성능 면에서도 큰 손색이 없다.

참고 문헌

[1] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, JOHN WILEY & SONS New York, 1993, Chapter 4.  
 [2] David P. Laude and James D. Beasom, "5 V temperature regulated voltage reference," *IEEE J. Solid-State Circuits*, vol. sc-15, pp. 1070-1076, Dec. 1980.

- [3] R. J. Widlar, "New developments in IC voltage regulators," *IEEE J. Solid-State Circuits*, vol. sc-6, pp. 2-7, Feb. 1971.
- [4] A. P. Brokaw, "A simple three-terminal IC bandgap reference," *IEEE J. Solid-State Circuits*, vol. sc-9, pp. 388-393, Dec. 1974.
- [5] 김민규, 이승훈, 임신일, "CMOS 아날로그 셀 라이브러리 설계에 관한 연구-CMOS 온-칩 전류 레퍼런스 회로," *전자공학회지*, vol. 33, no. 4, pp. 136-141, 1996.
- [6] R. A. Blauschild, P. A. Tucci, R. S. Muller, and R. G. Meyer, "A new NMOS temperature-stable voltage reference," *IEEE J. Solid-State Circuits*, vol. sc-13, pp. 767-773, Dec. 1978.
- [7] H. J. Song and C. K. Kim, "Temperature-stabilized SOI voltage reference based on threshold voltage difference between enhancement depletion NMOS-FET's," *IEEE J. Solid-State Circuits*, vol. sc-28, pp. 671-677, Jun. 1993.
- [8] T. L. Brooks and A. L. Westwick, "A low-power differential CMOS bandgap reference," *ISSCC Dig. Tech. Paper*, pp. 248-249, Feb. 1994.
- [9] Bang-sup Song and Paul R. Gray, "A precision curvature-compensated CMOS bandgap reference," *IEEE J. Solid-State Circuits*, vol. sc-18, pp. 634-643 Dec. 1983.
- [10] Khong-Meng Tham and Knishnaswamj Nagarj, "Low supply voltage high PSRR voltage reference in CMOS process," *IEEE J. Solid-State Circuits*, vol. 30, pp. 586-590, May 1995.
- [11] J. M. Steinunger, "Understanding wide-band MOS transistors," *IEEE Circuits & Devices*, pp. 26-31, May 1990.

---

 저 자 소 개
 

---



金 玟 廷(正會員)

1970년 11월 3일생. 서강대학교 전자공학과 학사(1995), 현재 서강대학교 전자공학과 석사(1997), 주요관심 분야는 반도체 집적 회로 설계, 혼성 모드 회로 설계 등임

李 承 勳(正會員) 第 32卷 A編 第 12號 參照

현재 서강대학교 전자공학과 부교수