

論文97-34C-2-3

# 멀티채널 TV 시스템에서 주화면과 부화면간의 동기화를 위한 ASIC 칩 설계

(The design of an ASIC chip for synchronization between main and sub pictures in the Multi Channel TV System)

白勝雄\*, 鮮于明勳\*\*

(Seung Ung Baek and Myung Hoon Sunwoo)

## 요 약

본 논문은 멀티채널 TV 시스템(MUCTS : Multi Channel TV System)에서 주화면과 부화면간의 동기화를 위한 칩 설계 및 구현에 관한 연구이다. 이 칩은 기존의 MUCTS가 가질 수 있는 문제점인 불연속 경계면 현상(Passing Through) 및 라인 반전 현상(Vertical Jolt)을 해결할 수 있다. 또한 이 칩은 노말 및 더블 스캔모드, 종횡비 4:3 및 16:9, 인터레이스 및 프로그레시브 방식에 모두 적용할 수 있을 뿐만 아니라, 수평 해상도 340 화소, 수직 해상도 150 라인의 고해상도를 지원한다. 각 모드별로 한 채널, 세 채널, 좌우상하 네 방향의 위치 표시 기능이 있다. 이 칩은 A/D 변환기 3개와 D/A 변환기 3개, 라인 메모리 7개를 내장하고 있으며 0.8 $\mu$ m CMOS 공정을 이용하여 제작되었다. 이 칩의 응용 분야는 와이드 TV, 프로젝션 TV, 차세대 위성 방송용 TV 등 대형, 고화질 TV이다.

## Abstract

This paper presents the design of an ASIC chip for synchronization between main and sub pictures in the Multi Channel TV System(MUCTS). This chip can resolve problems in MUCTS, such as passing through and vertical jolt phenomena. In addition, this chip provides compatibility for normal/double scan, interlace/progressive and normal(4:3)/wide(16:9) systems and has high horizontal and vertical resolutions(340 dots and 150 lines). In each mode there are 1 channel, 3 channel, and 4 position display functions. This MUCTS chip including three A/D converters, a D/A converter and seven line memories was fabricated with one chip by using the 0.8 $\mu$ m CMOS technology. The application areas of this MUCTS ASIC chip include the wide TV, projection TV and the next generation TV for the DBS(Direct Broadcast System).

## I. 서 론

MUCTS는 하나의 모니터에 두 개 이상의 화면을

\* 正會員, 三星電子 技術總括 ASIC센터

(Samsung Electronics Co., Ltd)

\*\* 正會員, 亞洲大學校 工科大學 電氣電子工學部

(School of Electrical and Electronics Eng., Ajou Univ.)

接受日字:1996年8月14日, 수정완료일:1997年2月12日

표시하는 기능을 말하며, 여러 화면이 표시될 수 있어 멀티채널 TV 시스템이라고 부른다<sup>[1,2]</sup>. 멀티미디어 시대를 맞이하여 서로 다른 형태의 영상들을 하나의 TV 화면상에서 보고자하는 소비자의 욕구를 충족시키며 더 나아가 와이드 TV와 고선명 HDTV의 16:9 비율에 대응하고 기존의 4:3 비율과도 호환성을 지닌 MUCTS가 요구된다. MUCTS 옵션을 제품에 넣기 위하여 ASIC이 아닌 보드로서 처리한다면 가격이 올라가고, 보드간의 인터페이스가 복잡해져 경쟁력이 떨어

어지므로 MUCTS의 단일 칩화는 필수적이다.

그러나 하나의 모니터에 여러 화면을 표시하기 위해서는 다수의 문제점이 야기된다. 우선 화면 압축에 의한 라인 플리커(Line Flicker)를 방지하여야 하고<sup>[3,4]</sup>, 수직 동기와 클럭의 비동기 및 기수 필드와 우수 필드간의 어긋남에 의하여 발생하는 라인 반전 현상(Vertical Jolt)을 제거해야 한다<sup>[5-7]</sup>. 또한 메모리의 읽기가 쓰기를 추월하여 생기는 불연속 경계면 현상(Passing Through)을 제거하고<sup>[8]</sup>, 정지 화면에서의 화면 떨림 현상을 없애야 한다<sup>[9]</sup>. 이러한 비동기 시스템 구현을 위하여 Hitachi의 HA11569와 Siemens의 SDA9188 등 다수의 MUCTS를 위한 칩이 개발되었다<sup>[10,11]</sup>. 그러나 기존 칩은 휘도의 경우 수평 샘플수가 200 Dot 이하여서 해상도가 떨어질뿐 아니라 부화면의 표시 개수도 하나뿐이다. 또한 NTSC 방식 등의 인터레이스(기수 필드와 우수 필드의 수직 동기가 수평 동기 구간의 반 만큼 차이 나는 방식)와 게임기 등의 프로그레시브(기수 필드와 우수 필드의 구분이 없는 방식) 및 노말(한 필드에 262.5 라인)/더블(한 필드에 525 라인) 스캔간의 호환성을 가진 칩은 없었다. 본 논문은 이와 같은 단점을 해결하기 위해 구현한 MUCTS용 칩의 설계를 기술한다. 본 MUCTS 칩은 아날로그 회로(A/D, D/A 변환기)와 라인 메모리를 일관 로직과 함께 한 개의 칩속에 내장함으로써 MUCTS 모듈용 ASIC 칩을 구현하였다.

## II. MUCTS 기능 및 문제 현상

여러 화면중 표시되는 모니터의 대부분을 차지하는 화면을 주화면, 주화면의 1/3(또는 1/4 등) 크기로 표시되는 화면을 부화면이라 한다. 그림 1에 MUCTS의 구성 예를 표시하였다. 기본적으로 어떤 데이터를 저장하기 위해서는 메모리가 필요한데 MUCTS의 처리를 위해 주화면과 부화면을 모두 메모리에 저장하는 것이 아니라 부화면만 메모리에 저장하고 주화면에 맞추어 부화면이 표시되는 시점에서 메모리에 저장되었던 부화면을 출력한다. 그림 2에서 윈도우 신호는 전체의 화면 중 부화면이 표시되는 수직, 수평 구간을 나타내며, 일반적으로 부화면의 표시 위치는 가변적이다. 기존의 MUCTS는 주화면과 부화면이 서로 비동기이기 때문에 다수의 문제점이 일어날 수 있으며 이러한 현상을 우선 기술하고 후에 본 MUCTS 칩의 블록 다이어그

램을 통하여 해결방안을 제시한다.

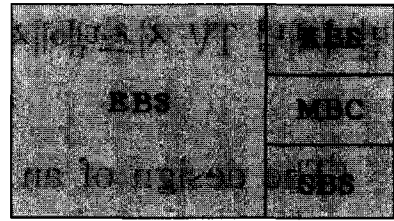


그림 1. 멀티채널 TV 시스템의 구성  
Fig. 1. The configuration of MUCTS.

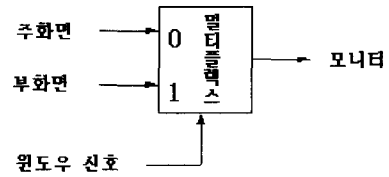


그림 2. MUCTS의 기본 처리  
Fig. 2. The basic processing of MUCTS.

첫째, MUCTS에서 한 개의 필드 메모리를 사용하면 메모리의 읽기 속도가 부화면의 압축률만큼 쓰기 속도보다 빠르기 때문에 표시되는 부화면은 현재 필드와 그전 필드가 동시에 나타나 경계에 동작의 불연속선이 초래된다. 이런 경우를 불연속 경계면 현상(Passing Through)이라 한다. 그림 3에 불연속 경계면 현상이 발생하는 상황을 나타내었다.  $t_0$ 에서 메모리의 쓰기가 시작되고  $t_1$ 에서 메모리의 읽기가 시작된다면 메모리의 읽기 속도가 빠르므로  $P_t$  점에서 읽기가 쓰기를 추월하게 된다. 그림 3의 오른쪽에 나타난 것처럼  $P_t$  점 이후부터는 그전에 기록되었던 화면이 읽혀져서 지금 입력되는 화면과 그전 화면이 동시에 표시된다. 이 현상을 제거하기 위해서는 적어도 두 개 이상의 필드 메모리로 구성된 화상용 메모리가 필요하다. 즉, 메모리를 읽는 시점에서 현재 쓰고 있지 않은 필드 메모리를 읽으면 쓰기와 읽기 간의 간격이 한 필드가 생기기 때문에 읽기가 쓰기를 추월하는 현상은 없앨 수 있다.

둘째, 주화면과 부화면은 서로 비동기이기 때문에 서로의 필드를 일치시키는 것이 불가능하다. 따라서, 메모리에 기록되어진 부화면과 메모리를 읽는 기준이 되는 주화면의 필드가 어긋나서 라인이 반전되는 현상이 발생된다. 이러한 현상을 라인 반전 현상(Vertical Jolt)이라고 한다.

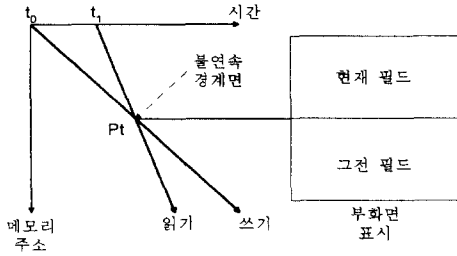


그림 3. 불연속 경계면 현상  
Fig. 3. The passing through phenomenon.

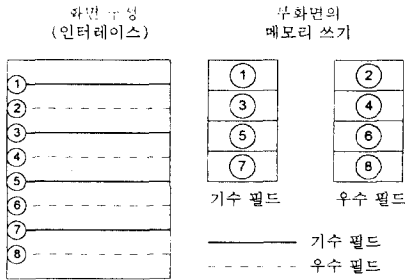


그림 4. 부화면의 메모리 기록 형태  
Fig. 4. The sub picture structure in memory.

예를 들어서 그림 4와 같은 화면이 있을 경우 부화면이 메모리에 기록 되었다고 가정하자. 이 경우 주화면과 부화면의 필드가 일치하면 정상적으로 그림 5(a)처럼 표시되지만, 필드가 어긋났을 경우에는 그림 5(b)처럼 주화면이 기수 필드인 경우에 부화면의 우수 필드를 읽고, 우수 필드인 경우에 부화면의 기수 필드를 읽게되므로 표시되는 부화면은 라인이 반전된다. 이와 같은 라인 반전 현상을 방지하기 위해서는 두 개의 필드 메모리를 사용하여 부화면을 기수와 우수 필드로 구분하여 기록하고, 주화면이 기수 필드이면 부화면의 기수 필드 영역을, 주화면이 우수 필드이면 부화면의 우수 필드 영역을 읽어서 라인 반전 현상을 방지한다. 이상과 같이 불연속 경계면 현상과 라인 반전 현상을 방지하기 위해서 각각 두 개의 필드 메모리가 사용되기 때문에 모두 4개의 필드 메모리가 필요함을 알 수 있다.

본 논문에서 제안하는 MUCTS 칩에서는 3개의 필드 메모리를 이용하여 해결하였다. 위에서 설명한 두 현상의 해결 뿐만 아니라 메모리의 쓰기와 읽기를 서로 정확히 동기시켜야 한다. 메모리의 쓰기는 부화면에 동기되어 이루어지고, 읽기는 주화면에 동기가 되므로 메모리의 쓰기와 읽기는 비동기라고 할 수 있다. 그러

나, 메모리의 쓰기와 읽기는 계속 이루어져야 하므로 DRAM과 한 라인 버퍼로 구성되어 있는 비데오램을 이용하여 동기화를 구현하였다. 즉, 주화면에 따라 부화면이 표시되는 시점에 DRAM에 있는 한 라인 데이터를 SAM(Serial Access Memory) 포트에 전송시킨 후 SAM 포트에서 읽기를 행하며, 전송 구간에는 쓰기를 잠시 중지하였다가 다시 DRAM에 쓰는 방식을 채택하였다. DRAM 포트와 SAM 포트는 서로 비동기이지만 DRAM에 있는 데이터를 SAM 포트에 옮기는 구간 동안은 동기를 시켜줌으로써, 계속되는 쓰기와 읽기를 동기시키는 MUCTS 칩을 구현하였다.

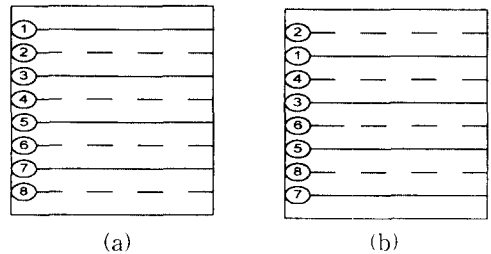


그림 5. 라인 반전 현상  
(a) 필드가 일치할 때 (b) 필드가 어긋날 때  
Fig. 5. The vertical jolt phenomenon  
(a) When fields are matched (b) When fields are unmatched.

### III. MUCTS 칩의 아키텍처 설계

본 절에서는 MUCTS 칩의 아키텍처 및 각 블럭들을 정의하고 설계한다.

#### 1. MUCTS 칩의 전체 구조

MUCTS 칩의 전체 아키텍처를 그림 6에 도시하였다. Y, R-Y, B-Y의 아날로그 신호를 6.75 MHz로 각각 A/D 변환하여 8 비트의 해상도를 갖는 디지털 신호를 생성한다. 양자화된 Y, R-Y, B-Y 데이터를 4:1:1 비율(Y : 340, R-Y : 85, B-Y : 85 화소)로 멀티플렉싱하여 수평적으로 유효한 510개의 데이터를 생성한다. 멀티플렉싱된 데이터는 수직적으로 저역 통과 필터를 거쳐 수직 압축으로 인한 라인 플리커를 없앤다. 수직 압축이 수행된 데이터는 각각의 스캔 모드에 따라 수평 구간이 비데오램에 기록되어진다. 지연 조절기에서는 비데오램에 기록되어지는 데이터의 지연을 조절하는데, 주화면에 동기된 데이터 전송 구간에서는 8 클럭 지연된 데이터가 비데오램에 기록되도록 조절

한다. 그 이유는 8클럭 동안에 데이터가 DRAM에서 SAM 포트에 이동하기 때문에 기록을 중지하여야 하기 때문이다. 데이터 전송이 끝나면 다시 기록을 해야 하는데 그 데이터는 8클럭 전의 데이터여야 한다. 이 지연 조절기가 없으면 DT(Data Transfer) 구간에 동기를 맞추기 위하여 비디오램 뒤에 라인 버퍼를 두어야 하는 어려움이 있다. 노말 스캔 모드에서는 DT 구간이 한 번 일어나지만, 더블 스캔 모드에서는 두 번 발생하므로 지연 조절기에서는 모드별로 지연 양을 조절해야 한다. DT에 의해 SAM 포트에 전송된 데이터는 주화면에 동기된 읽기 클럭에 의해 읽혀지는데, 더블 스캔 와이드 모드시의 D/A 클럭인 54 MHz로 액세스하기 어렵기 때문에 2분주 클럭으로 데이터를 읽은 후 버퍼용 라인 메모리 6개(85x8 비트/메모리)를 사용하여 속도를 보상한다. 이때 데이터 디멀티플렉싱이 행해진다. 라인 메모리를 통과한 휘도 신호는 경계 발생부 블럭으로 전송되며, 칼라 데이터는 보간을 수행한 후 경계 발생부로 전송된다. 경계 발생부에서는 수평, 수직 경계 및 윈도우 신호를 마이컴으로부터 받아서 발생시키는데 수직으로 두 라인, 수평으로 네 개의 화소를 차지한다. 출력 조절기의 출력 데이터는 각각 D/A 변환되고 외부 보드로 출력되어서 주화면과 멀티플렉싱되어 모니터로 입력된다.

그림 6에서 SHS(Sub Horizontal Sync)는 부화면의 수평 동기 신호를 SVS(Sub Vertical Sync)는 부화면의 수직 동기 신호를 나타낸다. 또한 MHS(Main Horizontal Sync)는 주화면의 수평 동기 신호를 MVS(Main Vertical Sync)는 주화면의 수직 동기 신호를 나타낸다.

2. 수직 압축 시스템

기존 MUCTS는 수직적으로 압축을 행하기 때문에 라인 플리커 현상이 발생된다. 이 현상을 방지하기 위하여 그림 6의 한 블럭인 수직 압축 필터를 사용하는 데 본 MUCTS 칩의 수직 압축 필터는 노말 및 더블 스캔, 인터레이스 및 프로그래시브 방식 등의 다양한 입력 모드에 따라 수직 타이밍을 달리하도록 조절된다. 필터 계수는 노말 스캔 모드에서는 3 탭을, 더블 스캔 모드에서는 3 탭과 2 탭을 번갈아 사용하지만 그림 7에서 보는 바와 같이 더블 스캔 프로그래시브 모드에서는 기수 필드와 우수 필드간의 필터 출력이 일치하여서 필터 특성이 5 탭인 효과를 얻고 그림 8과 같이

노말 스캔 인터레이스 모드에서는 필터 출력간에 인터레이스가 유지되도록 하기 위하여 비디오램에 기록하는 라인을 필드간에 달리하였다. 그림 7과 8에서 n 번째 라인은 수직 유효 라인 시작을 의미하며, 더블 스캔 모드에서는 세 라인당 두 라인을 비디오램에 기록하기 때문에 2/3 압축을, 노말 스캔 모드에서는 세 라인당 한 라인을 비디오램에 기록하기 때문에 1/3 압축을 행한다. 필터 계수는 다음과 같다. 이 필터 계수는 H/W에 곱셈기를 없애기 위하여 분모를 2<sup>n</sup>으로 정하고 SPW (Signal Processing Workstation)을 통하여 구하였다. 여러 계수가 있었지만 화상 평가를 통해서 최종 확정되었다.

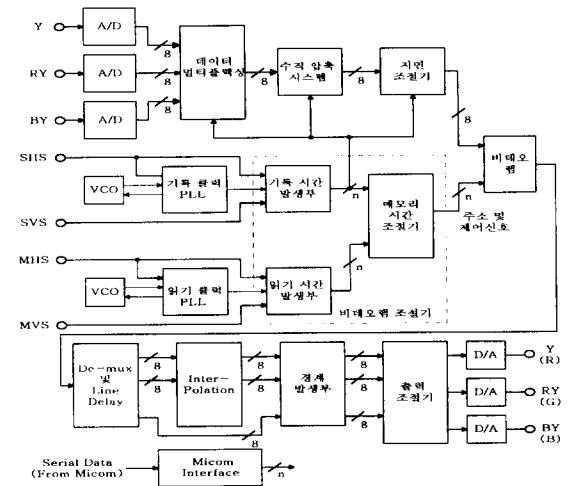


그림 6. MUCTS 칩의 전체 구조  
Fig. 6. The architecture of the MUCTS chip.

$$F_1(z) = 5/32 + 22/32z^{-1} + 5/32z^{-2} \tag{1}$$

$$F_2(z) = 5/32 + 22/32z^{-1} + 5/32z^{-2}, 1/2 + 1/2z^{-1} \tag{2}$$

$F_1(z)$ 은 1/3 압축,  $F_2(z)$ 는 2/3 압축인 경우의 필터 계수이다. 이와 같은 필터 계수를 볼 때 라인 메모리가 두 개 이상 필요하지만 본 MUCTS 칩에서는 비디오램에 기록하지 않는 구간을 이용 라인 메모리 한 개만을 사용하여 수직 압축을 수행한다. 예를 들어서 노말 스캔의 기수 필드인 경우 첫 번째 라인에서 입력 데이터에 5/32를 곱하여 라인 메모리에 기록한 후 두 번째 라인에서는 입력 데이터에 22/32를 곱한 데이터와 첫 번째 라인에서 기록되었던 라인 메모리의 출력  $5/32z^{-1}$ 을 더한 데이터를 라인 메모리에 기록한다. 세 번째 라인에서는 입력 데이터에 5/32를 곱한 데이터에 두 번

째 라인에서 기록되었던 라인 메모리의 출력  $5/32z^{-2} + 22/32z^{-1}$ 의 데이터를 더하여 압축 출력으로 내보내고, 비디오램에 기록하라는 신호를 비디오램 기록 조절기에 보내준다.

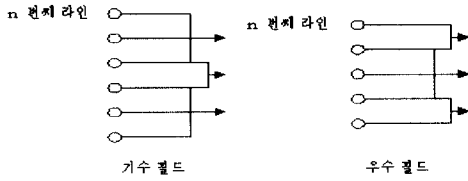


그림 7. 더블 스캔 프로그레시브 모드에서의 수직 압축 필터 형태  
Fig. 7. The vertical decimation filter for the double scan progressive mode.

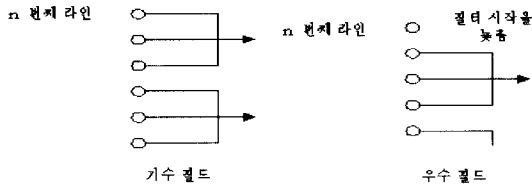
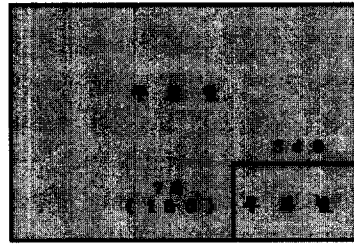


그림 8. 노말 스캔 인터레이스 모드에서의 수직 압축 필터 형태  
Fig. 8. The vertical decimation filter for the normal scan interlace mode.

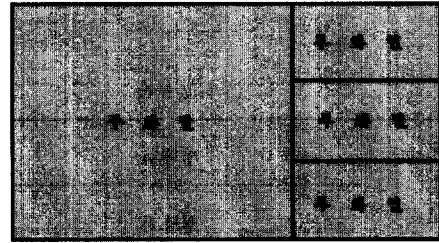
3. 비디오램 조절기

그림 6의 블록인 데이터 멀티플렉싱과 수직 압축 시스템을 통과한 데이터는 비디오램에 기록되어 지는데, 노말 스캔시에는 수직적으로 1/3 압축을, 더블 스캔시에는 2/3 압축을 행하기 때문에 노말 스캔시에는 세 라인당 한 라인, 더블 스캔시에는 두 라인이 비디오램에 기록된다. 본 MUCTS 칩에는 두 개의 표시 모드인 한 채널 모드 및 세 채널 모드가 있으며 그림 9에 두 개의 모드를 표시하였다. 한 채널 모드는 중횡비가 4:3인 경우에 많이 쓰이고, 세 채널 모드는 와이드 TV와 같이 중횡비가 16:9인 경우에 해당한다. 한 채널 모드에서는 부화면이 움직이거나 정지할 수 있으며, 세 채널 모드에서는 한 개의 화면이 움직이고 나머지 두 화면은 정지되거나, 혹은 세 화면이 모두 정지되어 있다. 물론 외부에서 튜너를 스위칭하여 세 화면이 움직이는 것처럼 보이지만 칩 설계에서는 최소한 두 화면이 정지 상태인 것으로 간주한다. 한 채널 모드에서는 표시되는 위치가 상하좌우로 바뀔 수 있으며, 세 채널

모드에서는 상하로 이동된다. 다음은 노말 스캔 모드 및 더블 스캔 모드 메모리 시스템에 대해 설명한다.



(a)



(b)

그림 9. 두 개의 표시 모드  
(a) 한 채널 모드 (b) 세 채널 모드  
Fig. 9. Two display modes.  
(a) 1 channel mode (b) 3 channel mode

(1) 노말 스캔 모드

먼저 노말 스캔 모드에서 살펴보면 한 채널 모드시 앞에서 설명했던 불연속 경계면 현상과 라인 반전 현상을 방지하기 위해서 필요한 메모리 용량은  $510 \times 75 \times 8 \times 3 = 918K$  비트이다. 여기서 510은 수평 샘플 수를, 75는 한 필드를 기록하는 라인 수를, 8은 양자화 비트수를, 3은 세 필드 용량을 의미한다. 앞에서는 네 필드분의 용량이 필요하다고 했지만 본 MUCTS 칩에서는 세 필드로 구현하였다. 즉, 노말 스캔 한 채널 모드에서는 최고 918K 비트의 메모리 용량이 필요하다. 물론 이 메모리 용량은 움직이는 화면에 대한 것이다. 정지 화면에서는 불연속 경계면 현상과 라인 반전 현상을 무시해도 된다. 그 이유는 정지 화상일때는 기록을 중지한 채 한 필드만 계속 읽기 때문에 필드간의 움직임에 의하여 나타나는 불연속 경계면 현상은 있을 수 없고 해상도가 떨어지지만 라인 반전 현상도 생기지 않기 때문이다. 노말 스캔 세 채널 모드에서는 움직이는 화면 외에 두 개의 정지 화면이 더 필요하므로 한 채널 모드보다 두 필드를 위한 메모리가 추가되어야 한다. 그러나, 메모리 용량이 많고 한 채널 모드에 비해 메모리 손실이 크므로 한 채널 모드와의 연계

성을 고려하여 세 채널 모드시의 움직이는 화면에 대해서도 한 필드분의 메모리만 할당하고 불연속 경계면 현상은 무시하되, 라인 반전 현상이 생길 때 기수 필드와 우수 필드가 완전히 뒤엎기지 않도록 조절하였다. 실제로 불연속 경계면 현상은 시각적으로 거의 감지되지 않는다. 결국 노말 스캔 모드시의 메모리는 1M 비트(256 x 512 x 8)를 사용하였다. 더블 스캔 모드시는 노말 스캔 모드보다 두 배의 메모리 용량이 필요하므로 2M 비트(512x512x8)를 사용하였다. 그림 10에 노말 스캔 모드시 사용하는 메모리의 구조를 도시하였다.

	<b>2 5 6</b>
<b>5 1 2</b>	<b>영역 A</b>
	<b>영역 B</b>
	<b>영역 C</b>

그림 10. 노말 스캔 모드시의 메모리 구조  
Fig. 10. The memory configuration in the normal scan mode.

그림 10에 도시한 바와같이 노말 스캔 모드시 사용하는 메모리는 1M 비트의 용량을 가지고 있지만 열 주소가 256개, 수직 주소가 512개로 구성된다. 그러나, 본 MUCTS 칩에서는 수평 기록 갯수가 510개이므로 한 개의 수평 구간 화소를 메모리에 기록하려면 두 개의 수직 주소를 사용하여야 한다. 즉, 한 개의 수직 주소에 256개의 화소를 기록하고 다음 수직 주소에 나머지 254개의 화소를 기록하는 것이다. 노말 스캔시 수직 기록 라인은 75 라인이므로 수직 주소는 150개가 필요하지만 세 채널 모드시 라인 반전 현상을 방지하기 위한 라인 오프셋 때문에 실질적으로는 76 라인을 기록하고 152개의 수직 주소를 사용한다.

(1.1) 한 채널 모드

한 채널 모드에서는 불연속 경계면과 라인 반전 현상을 방지하기 위하여 1M 비트의 주소를 최대한 이용한다. 움직이는 화면에서는 한 필드마다 영역을 바꾸면서 기록하고 정지 화면에서는 기록을 멈추면 된다. 비데오램으로의 기록을 멈추고 어느 특정 영역만 읽으면 정지 화면이 된다. 움직이는 화면에서는 다음과 같은 방식으로 비데오램에 기록을 행한다.

- ① 기수 필드 ----- 영역 A
- ② 우수 필드 ----- 영역 B
- ③ 기수 필드 ----- 영역 C
- ④ 우수 필드 ----- 영역 A
- ⑤ 기수 필드 ----- 영역 B

기록을 이와 같은 방식으로 하면 지금 기록하는 메모리 영역과 다음 메모리 영역 사이에는 두 개의 필드 차이가 생기게 된다. 예를 들어서 지금 메모리 영역 A에 기수 필드를 기록하고 있다면 기록하기 전의 메모리 영역 A에는 우수 필드가 저장되었을 것이고, 메모리 영역 B에는 기수 필드가, 영역 C에는 우수 필드가 저장되었을 것이다. 즉, 메모리 영역 B에는 지금 기록하는 필드와 같은 필드가 메모리 영역 C에는 다른 필드가 저장되었다는 것을 알 수 있다. 따라서, 주화면과 부화면이 같은 필드일 때는 지금 기록하는 메모리 영역보다 하나 뒤의 메모리 영역을(메모리 영역 A이면 메모리 영역 B), 주화면과 부화면이 다른 필드인 경우에는 두 개 뒤의 영역(메모리 영역 A이면 메모리 영역 C)을 읽으면 불연속 경계면 현상과 라인 반전 현상을 방지할 수 있다.

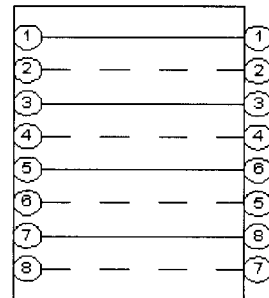


그림 11. 필드가 일치할 때 라인 반전 현상 방지법  
Fig. 11. The prevention method of vertical jolt when fields are matched.

	<b>5 1 2</b>
<b>5 1 2</b>	<b>영역 A</b>
	<b>영역 B</b>
	<b>영역 C</b>

그림 12. 더블 스캔 모드시의 메모리 구조  
Fig. 12. The memory configuration in the double scan mode

(1.2) 세 채널 모드

두 화면 정지화, 한 화면 움직임을 표시하는 세 채널 모드에서는 영역 A, B, C가 각각 정지 및 움직이는 화면을 표시 하는데 사용된다. 정지 화면에서는 문제가 없지만 움직이는 화면에서는 불연속 경계면 현상과 라인 반전 현상이 발생된다. 불연속 경계면 현상은 움직임이 심하지 않을 경우에는 거의 감지되지 않으므로 라인 반전 현상으로 인한 펄드간의 화면 영김을 방지하도록 조절해준다. 이때는 불연속 경계면 현상이 발생했을 경우를 생각하여 읽는 수직 주소를 조절해야 한다. 첫 번째로 주화면과 부화면의 펄드가 같은 경우에는 그림 11과 같이 읽는 수직 주소를 조절하여야 한다. 그림에서 보듯이 메모리를 읽는 수직 주소를 조절하지 않으면 부화면의 펄드가 우수에서 기수로 바뀔 때 라인 반전 현상이 일어나서 화면이 거칠어진다. 그러므로 세 채널 모드에서 주화면과 부화면의 펄드가 같은 경우에는 그림 11의 오른쪽에 표시된 것처럼 부화면의 펄드가 우수에서 기수로 바뀔 때 읽는 수직 주소를 하나 증가시켜야 한다.

(2) 더블 스캔 모드

더블 스캔에서 사용하는 메모리의 구조를 그림 12에 도시하였다. 그림 12에서와 같이 수평 방향으로 512개의 열 주소가 있기 때문에 수평적으로 510개의 화소를 순차적으로 기록하고, 수직도 150 라인을 기록하기 때문에 오히려 노말 스캔시보다 조절하기가 수월하다. 더블 스캔 모드에서도 노말 스캔 모드와 같이 메모리 영역을 세개의 펄드로 구분하여 불연속 경계면 현상과 라인 반전 현상을 방지하였다. 또한 본 MUCTS 칩은 비데오램 기록시 fast page 모드를 사용하였다. 즉, 신호 RAS(Row Address Strobe)가 떨어지는 점에서 기록할 수직 주소를 지정해주고, CAS(Column Address Strobe)를 여러 번 동작시키면서 13.5 MHz 비율로 기록을 행한다. 그러나, 앞의 데이터 멀티플렉싱에서 무효 데이터 구간은 기록하지 않으므로써 실질적인 속도는 10.1 MHz이다.

비데오램도 역시 DRAM과 같이 리프레쉬(refresh)가 필요한데 가장 일반적으로 쓰이는 리프레쉬는 'RAS only refresh'이지만 카운터가 들어가고 나중에 주소 멀티플렉싱도 해주어야 하므로 카운터와 주소도 필요없는 'CAS before RAS refresh'를 사용하였다. 메모리의 리프레쉬 시간이 8msec이므로 한 개의 수평 구간동안에 수행해야 할 리프레쉬 개수는 16.7msec(한

펄드 시간) / 8msec(리프레쉬 시간) x (512(사용하는 수직 주소 개수) / 262(라인 개수)) = 4.08번이다. 그러므로 한 개의 수평 구간 동안에 RAS 및 CAS를 5번 동작시켜야 한다. 리프레쉬는 부화면을 기록하지 않는 라인 동안에는 15번 행한다.

4. 출력 조절기

출력 조절기는 최종 출력을 Y, R-Y, B-Y 또는 R, G, B 형태로 내보낸다. Y, R-Y, B-Y에서 R, G, B로 형태를 변경할 때는 R-Y의 최대값(시안 = 0.7), B-Y의 최대값(청색 = 0.89)을 0.5로 스케일링하는데(각각 0.714, 0.562를 곱해줌) 그 이유는 사용하는 A/D 입력 피크치가 1V이고 칼라는 0.5V를 기준으로 위, 아래로 스윙하기 때문이다. 즉, 기준점에서 보면 ±0.5V인 셈이다. 그 식들은 다음과 같다.

$$R = (R-Y) + Y = (R-Y)' / 0.714 + Y$$

$$= 1.40(R-Y)' + Y \tag{3}$$

$$B = (B-Y) + Y = (B-Y)' / 0.562 + Y$$

$$= 1.78(B-Y)' + Y \tag{4}$$

$$G = Y - 0.51(R-Y) - 0.19(B-Y)$$

$$= Y - 0.51(1.40)(R-Y)' - 0.19(1.78)(B-Y)'$$

$$= Y - 0.714(R-Y)' - 0.338(B-Y)' \tag{5}$$

그러나 휘도 신호는 과변조되는 것을 방지하기 위하여 A/D 변환시에 휘도의 레벨을 0.72V로 입력토록 하는 약 28%의 마진을 고려하면 A/D 변환된 입력 휘도 신호 (Y)'는 0.72Y가 된다. 이때 Y = 1이 0.72로 되었으므로 A/D 변환된 R, G, B 매트릭스 변환은 다음과 같이 하드웨어로 구현하기 쉬운 식으로 변경하였다. 그 이유는 식 (3), (4), (5)에서는 계수가 상수/2<sup>n</sup>으로 되어 있지 않아서 곱셈기가 필요하지만 식 (6), (7), (8)은 덧셈기로 구현할 수 있기 때문이다.

$$(R)' = 0.72(R) = 0.72(1.40)(R-Y)' + 0.72Y$$

$$= 1.01(R-Y)' + (Y)' \approx (R-Y)' + (Y)' \tag{6}$$

$$(B)' = 0.72(B) = 0.72(1.78)(B-Y)' + 0.72Y$$

$$= 1.28(B-Y)' + (Y)'$$

$$\approx (1+1/4)(B-Y)' + (Y)' \tag{7}$$

$$(G)' = 0.72(G) = 0.72Y - 0.72(0.714)(R-Y)' - 0.72(0.338)$$

$$(B-Y)' = (Y)' - 0.51(R-Y)' - 0.24(B-Y)'$$

$$\approx (Y) - 1/2(R-Y)' - 1/4(B-Y)' \tag{8}$$

그림 6에 도시한 마이컴 인터페이스에서는 세 비트의 시리얼 포트를 사용하여 마이컴으로부터 클럭, 데이터, 인에이블 신호를 받는다. 시프트 레지스터를 사용하여 20 비트의 병렬 데이터를 생성하는데, 상위 네 비트는 본 MUCTS 칩에만 적용되는 고유 주소를 나타내고, 그 다음 8 비트는 각종 정보에 해당하는 부 주소, 하위 8 비트는 정보 데이터를 나타낸다. 수평 및 수직 시작 위치, 경계 위치 및 색깔, 필드 판별 영역 등 각종 데이터를 각 블록에 전송한다.

#### IV. MUCTS 칩의 구현 및 성능평가

본 MUCTS 칩을 설계하는데 있어 가장 중요한 목표는 고품질과 호환성이었다. 고품질의 척도인 HDTV에도 적용할 수 있는 MUCTS 칩을 개발하고자 수평화소수를 340, 수직 샘플링 라인을 150으로 정하였다. 그리고 현재 사용되고 있는 노말 스캔 인터페이스 방식 뿐만 아니라 더블 스캔 및 프로그레시브 방식에도 적용이 가능해야 한다는 호환성을 실현하기 위하여 기본 클럭을 TV 표준인 13.5 MHz로 하였고 필터 구조 및 비디오램 조절을 각 모드별로 달리 하도록 정하였다. 또한 A/D 및 D/A 변환기의 칩내장을 전제로 ASIC 벤더를 모색하여 도시바를 택하였다. 설계는 top down 방식<sup>[12-14]</sup>으로 진행하였는데 대부분 기본 클럭에 동기시켜 설계 하였으나, 각 블록간에 클럭 스퀀 등을 고려하여 모든 신호와 데이터는 클럭의 상승 에지에서 출력되도록 하고 데이터를 받는 블록에서는 하강 에지로 한 번 래치하여 수행하도록 하였다. 각 블록을 정의한 다음 타이밍 설계를 하였는데, 각 블록마다 블록의 기준 신호를 두어 어떤 블록을 수정하여도 연쇄해서 수정하는 것을 방지하였다. RTL 설계는 시스템을 이해하지 않아도 회로를 설계할 수 있는 수준으로 하였으며 기본 셀을 제외한 카운터 및 기타 칩 설계에 필요한 라이브러리를 설계하였다.

기본 셀의 지연은 1 ns, 네트 지연은 동일한 환경, 즉 게이트 지연과 네트 지연을 무시한 상태에서 기능 시뮬레이션을 수행하였다. 기능 시뮬레이션은 bottom-up 방식으로 진행하였는데, 최하위 블록 레벨에서 스티뮬러스를 작성한 후 시뮬레이션을 수행하여 기능상의 문제가 없으면 상위 블록으로 이동하였다. 최상위 블록 레벨에서는 주로 데이터 멀티플렉싱의 순서, 수직 압축 필터의 출력, 비디오램의 주소 및 각종 조절 신호, 속

도 보상을 위한 라인 메모리의 주소 및 데이터, 보간 결과, 경계 신호, 최종 출력 등을 검증하였다.

기능 시뮬레이션을 마친 후 도시바에서 제공한 게이트 지연과 일정한 네트 지연을 이용하여 pre-layout 시뮬레이션을 수행하였다. pre-layout 시뮬레이션도 기능 시뮬레이션과 같이 bottom-up 방식으로 진행하였는데, 기능보다 최상(best) 조건과 최하(worst) 조건을 모두 만족하는가에 더욱 중점을 두었다<sup>[14,15]</sup>. 최상 조건일 때는 78 MHz, 최하 조건일때는 60 MHz까지 동작함을 확인하였다. 토글 레이트(toggle rate)를 높이기 위하여 테스트 모드를 두어서 카운터 및 덧셈기 등을 토글시켰고, fault coverage를 높이기 위하여 입력 경우의 수를 늘리고 각 블록의 출력을 멀티플렉싱하여 확인할 수 있도록 하였다. 최종 토글 레이트는 99%까지 수행하였으며, fault coverage는 80%였다. 테스트 벡터는 총 7개의 파일로 구성하였는데, A/D 변환된 데이터를 확인할 수 있도록 하였고, 직접 외부에서 D/A 변환기에 데이터를 입력시킬 수 있도록 하였다. 또한 주화면과 부화면의 수직, 수평 구간 동안의 각종 데이터 및 신호를 검증하였다. 내장 메모리의 검증을 위하여 7개의 라인 메모리 출력을 외부에서 확인할 수 있도록 조절하였다.

pre-layout 시뮬레이션 후 레이아웃을 수행하였는데 블록 단위로 위치를 배열시키도록 하였다. 특히, 지연이 많이 생기는 경로는 크리티컬 경로로 지정하여 지연이 최소가 되도록 유도하였다. 레이아웃 후에 실제 게이트 지연과 네트 지연을 이용하여 post-layout 시뮬레이션을 수행하였으며 pre-layout 시뮬레이션의 테스트 벡터와 비교했을 때 일치하였다. 칩제작 후 7개의 테스트 벡터를 시험하였으며 이상이 없음을 확인하고 직접 보드에 칩을 삽입하여 실장 테스트를 수행하였다. 노말 스캔 인터페이스 모드부터 각각의 입력 모드 별로 테스트를 진행하였는데 화면 위치 및 경계 등의 위치를 맞추기 위하여 마이컴을 조절하고 한 채널 및 세 채널의 표시가 이루어 지는가를 확인하였다. 한 채널 모드에서는 불연속 경계면 현상과 라인 반전 현상이, 세 채널 모드에서는 라인 반전 현상이 생기지 않음을 패턴 발생부를 이용 확인하였다. 마이컴을 조절하면서 한 채널 모드 시에는 상하좌우로 세 채널 모드시에는 상하로 표시 위치를 이동시켜 시험하였으나 수직 압축 필터로 인하여 라인 플리커 현상도 없었으며, 정지 화면 상에서의 화면 떨림도 없었다.



본 MUCTS 칩의 성능은 동작 주파수가 54 MHz, 동작 온도가 0°C ~ 70°C, 동작 전압이 4.5V ~ 5.5V로 정하였으나 실제 테스트 결과로는 동작 주파수가 60 MHz, 동작 온도가 0°C ~ 90°C, 동작 전압이 3.8V ~ 6.5V로 측정되었다.

표 1. 성능 비교

Table 1. Performance comparison.

	상용 칩(TC9067F)	본 칩
수평 샘플 수	Y = 168 Dots R-Y = 42 Dots B-Y = 42 Dots Total = 252 Dots	Y = 340 Dots R-Y = 85 Dots B-Y = 85 Dots Total = 510 Dots
A/D 대역 (Y)	1.5MHz	3.375MHz
D/A 대역 (Y)	4.5MHz	27MHz
수직 샘플수	74 라인	150 라인
양자화 bit	6 bit	8 bit
불연속 대응 경계면 현상	해결	해결
라인 대응 반전 현상	미해결	해결
더블 스캔 대응	미해결	해결
부화면 개수	하나	셋

### V. 결론

기존 MUCTS 시스템의 라인 플리커와 불연속 경계면, 라인 반전 현상을 방지하고 고화질과 입력 모드별로의 호환성을 지닌 새로운 MUCTS ASIC 칩을 개발하였다. 세개의 A/D 변환기, 세개의 D/A 변환기, 7개의 라인 메모리를 내장한 본 MUCTS 칩은 0.8μm CMOS 공정을 이용하여 제작하였는데, 향후 서비스될 DBS용 TV에도 적용이 가능할 뿐 아니라 현행 TV에도 고화질용으로 더블 스캔 프로젝션 TV에 적용할 예정이다. 노말 및 더블 스캔, 종횡비 4:3 및 16:9, 인터레이스 및 프로그레시브 모드 등 다양한 방식에도 적용이 가능한 것이 큰 장점이라 할 수 있다. 본 MUCTS 칩은 A/D 변환기에서 수평 대역폭이 3.375 MHz, D/A 변환기에서 수평 대역폭이 27 MHz이며, 라인 플리커를 없애기 위하여 수직 압축 필터를 사용하였고, 수평 샘플링이 340 화소, 수직 샘플링 라인이 150 라인 등 고해상도 MUCTS 칩을 구현하였다. 또한 한 개의 라인 메모리를 이용한 모드별 수직 압축 필터 구현, 한 채널 모드에서 불연속 경계면 및 라인

반전 현상 방지, 세 채널 모드에서 라인 반전 현상 방지 등 공급기와 라인 레지스터를 줄인 최적화된 하드웨어 구현을 실현하였다. 표 1에서 볼 수 있듯이 현재 상용화된 다른 MUCTS 칩과 비교하여 성능이 우수함을 입증하였다.

### 참고 문헌

- [1] Nikkei Electronics, *The basic structure of a picture-in-picture TV*, 1983.
- [2] Bernard Grob, *Basic Television and video system*, 1977.
- [3] Yoshida Yasuhiro, "Scanning line number converting device for video signal, and down-converter and picture-in picture TV receiver using the same," *United States Patent*, no. 536, 723, Jun. 1990.
- [4] Toshihiko Yoshino, "Television receiver displaying multiplex video information on a vertically display screen and an information displaying method," *United States Patent*, no. 342, 890, Apr. 1990.
- [5] Jae-Chun Yu, "Method for multi-screen operation in a picture-in-picture system," *United States Patent*, no. 439, 323, Nov. 1989.
- [6] Barth A. Canfield, "Picture-in-picture circuitry using field rate synchronization," *United States Patent*, no. 340, 944, Apr. 1989.
- [7] J. Rosenberg, *A vertically integrated VLSI design environment*, Ph.D. Dissertation, Duke University, 1973.
- [8] Toshiaki Tsuji, "Picture-in-picture double scanning television receiver," *United States patent*, no. 560, 847, Jul. 1990.
- [9] Yung-Jun park, "Method and circuit for compoding still image of picture-in picture," *United States Patent*, no. 449, 793, Dec. 1989.
- [10] Hitachi, *New PIP LSI Enhanced functionality for high picture quality*, 1993.
- [11] Siemens, *Picture in-picture Processor*, 1993.
- [12] S. Rubin, "An integrated aid for top-down

- design," *VLSI 83, Norway*, pp. 63-72, Aug. 1983.
- [13] J. Rowson, *Understanding hierarchical design*, Ph.D. Thesis, California Institute of Technology, 1983.
- [14] A. E. Ruehli and G. S. Ditlow, "Circuit analysis, logic simulation and design verification for VLSI," *Proc. IEEE*, pp. 34-48, Jan. 1983.
- [15] J. Werner, "Custom IC design in Europe," *VLSI design*, pp. 28-33, Jan. 1984.

---

 저 자 소 개
 

---

## 白勝雄(正會員)

1989년 2월 고려대학교 전자공학 학사. 1996년 8월 아주대학교 산업대학원 전자공학 석사. 1989년 2월 ~ 현재 삼성전주주식회사 기술총괄 ASIC센터 전임 연구원. 관심분야는 영상 처리용 ASIC 설계



## 鮮于明勳(正會員)

1980년 2월 서강대학교 전자공학 학사. 1982년 2월 한국과학기술원 전기전자공학 석사. 1982년 3월 ~ 1985년 8월 한국전자통신연구소(ETRI) 연구원. 1985년 9월 ~ 1990년 8월 Univ. of Texas at Austin 전기 및 컴퓨터공학 박사. 1990년 8월 ~ 1992년 8월 Motorola, Digital Signal Processor Operations, 미국. 1992년 8월 ~ 현재 아주대학교 전기전자공학부 부교수. 관심분야는 통신·영상·신호처리용 ASIC 설계, VLSI 및 Parallel Architecture