

논문 97-6-2-09

고성능 연산 증폭기의 설계 자동화

유상대*

Design Automation of High-Performance Operational Amplifiers

Sang Dae Yu*

요 약

회로 시뮬레이션과 국부적 탐색을 갖는 시뮬레이티드 아닐링을 사용한 새로운 탐색 전략에 기초하여 고성능 연산 증폭기의 설계 자동화를 위한 기법을 제안하였다. 임의의 연산 증폭기 구조와 성능 규격에 대해서, 이산 설계 변수들을 갖는 비용 함수의 이산 최적화를 통해 연산 증폭기의 설계가 이루어진다. 설계 시간의 단축을 위해서 전용 회로 시뮬레이터와 몇 가지 휴리스틱을 사용하였다. 스마트 센서와 10 비트 25 MS/s 파이프라인 A/D 변환기에 사용 가능한 저전력 고속 전차동 CMOS 연산 증폭기의 설계를 통해서, 제안된 기법을 사용하여 개발된 설계 도구는 적은 설계 지식과 설계 노력을 가지고 고성능 연산 증폭기를 설계하는데 사용될 수 있음을 보였다.

Abstract

Based on a new search strategy using circuit simulation and simulated annealing with local search, a technique for design automation of high-performance operational amplifiers is proposed. For arbitrary circuit topology and performance specifications, through discrete optimization of a cost function with discrete design variables the design of operational amplifiers is performed. A special-purpose circuit simulator and some heuristics are used to reduce the design time. Through the design of a low-power high-speed fully differential CMOS operational amplifier usable in smart sensors and 10-b 25-MS/s pipelined A/D converters, it has been demonstrated that a design tool developed using the proposed technique can be used for designing high-performance operational amplifiers with less design knowledge and less design effort.

1. 서론

현대의 전자 시스템에서 아날로그와 디지털을 혼용한 특정용도 집적회로에 대한 요구가 계속 증가되고 있다. 1990년대 들어오면서 센서 시스템, 이동 통신,

멀티미디어, 그리고 이동 컴퓨팅 환경에 사용되는 CMOS와 BiCMOS 특정용도 집적회로의 60% 정도가 아날로그와 디지털 집적회로의 혼용으로 설계되고 있다. 이제는 아날로그 집적회로가 단순한 인터페이스 기능을 넘어 고성능과 고기능을 요구하고 있으며, 고집적도의 요구로 설계 복잡도도 그 만큼 증가하게 되었다. 그리고 에너지를 절감하고 휴대용 전자 장비의 배터리 사용 시간을 연장하기 위해 아날로그 집적회로의 저전

* 경북대학교 전자전기공학부
(School of Electronic and Electrical Eng.,
Kyungpook National University)
<접수일자 : 1997년 1월 30일>

력화가 요구되고 있으며, 디지털 신호처리 회로와 함께 집적화할 경우에는 동작전압도 디지털과 같은 5 V 이하를 사용해야 한다.

이러한 집적회로의 디지털 부분은 논리 합성 도구와 자동 레이아웃 도구 등과 같은 고수준 합성 도구를 사용하여 빠르고 신뢰성 있게 설계될 수 있는 반면에 아날로그 부분은 아날로그 회로 전문가에 의해 여전히 수동으로 설계되고 있다. 이는 아날로그 집적회로의 설계 도구에 대한 연구개발이 디지털 집적회로 분야와 달리 아직 미비한 것에 기인한다고 할 수 있으며, 설계 도구 개발도 아날로그 회로가 규칙성이 적고 설계 변수가 다양하여 어려운 점이 있다. 그래서 아날로그 부분은 특정용도 집적회로 칩 면적의 10% 정도를 차지하지만 설계 시간은 총 설계 시간의 90%를 차지하게 되어 설계 과정에 심각한 병목현상을 가져오게 되었다.

연산 증폭기는 센서 신호처리 회로^[1,2], 스위치드 커패시터 필터^[3,4], 그리고 A/D 변환기^[5,6] 등의 아날로그 집적회로에 가장 널리 사용되는 기본적인 회로이다. 특히 센서는 의료기기, 자동차, 지능형 빌딩, 그리고 환경오염 감시 분야 등에서 중요한 시스템 요소가 되고 있으며, 그 신호처리 회로와 한 칩에 집적되는 스마트 센서로 발전되고 있다. 이러한 센서 신호처리와 각종 아날로그 신호처리의 기본적인 회로인 증폭기, 완충기, 발진기, 그리고 변환기 등에 CMOS 연산 증폭기가 많이 사용되고 있다. 그러나 낮은 공급 전압에서 적은 전력으로 동작하면서 큰 직류 이득과 높은 단위 이득 주파수를 갖는 고성능 연산 증폭기를 설계하는 것은 많은 노력을 필요로 한다. 이러한 고성능 연산 증폭기의 설계 자동화는 센서 시스템 설계와 아날로그 회로 설계의 병목현상을 다소 완화할 수 있을 것이다.

최근에 아날로그 집적회로의 설계 자동화를 위해 몇 종류의 아날로그 CAD 도구가 개발되었다. 이러한 설계 또는 합성 도구들은 회로 성능을 평가하기 위해 시뮬레이션에 기초한 방법^[7-9]이나 방정식에 기초한 방법^[10-12]을 주로 사용한다. 방정식에 기초한 방법은 간단한 소자 모델과 회로 성능 방정식을 사용하기 때문에 짧은 채널 소자를 사용하는 회로나 고속 회로 설계시 오차가 크게 된다. 게다가 새로운 구조의 회로를 설계할 때는 회로 성능 방정식을 유도하는데 많은 시간이 요구된다. 이러한 문제점은 시뮬레이션에 기초한 방법을 채택하므로 극복할 수 있으나 회로 시뮬레

이션으로 인해 많은 계산 시간을 필요로 하는 단점이 있다. 그러나 고성능 컴퓨터가 저렴한 가격으로 공급되는 현재에는 회로 시뮬레이션을 설계 알고리즘에 반복적으로 사용할 수 있을 정도로 그것의 비용이 낮아 졌다.

특히 시뮬레이션에 기초한 방법은 짧은 채널 소자 모델과 기생 소자들을 고려하여 정확하게 회로 성능을 평가해야 하는 서브마이크론 소자를 가진 고성능 연산 증폭기 설계에 유용할 것이다. 더구나 서브마이크론 소자들에 대한 모델이 소자 크기별로 다르게 주어지는 제조 공정이 있으며, 이때에는 크기가 다른 소자들에 대해서는 다른 소자 모델을 사용해야 하기 때문에 연산 증폭기 설계 과정이 복잡하게 된다. 그리고 정확한 신호 처리를 위해 큰 직류 이득과 고속 동작을 위한 높은 단위 이득 주파수를 필요로 하는 고성능 연산 증폭기를 수동으로 설계할 수 있는 곧바른 방법이 잘 확립되어 있지 않다. 연산 증폭기와 아날로그 집적회로의 설계 과정은 설계, 시뮬레이션에 의한 검증, 그리고 회로 설계 지식을 사용한 재설계의 반복적인 조율 과정으로 생각할 수 있다. 아날로그 회로 설계자는 주어진 회로 성능 규격을 얻기 위해 다수의 회로 시뮬레이션을 수행하는데 많은 시간을 사용하고 있다. 이러한 점들은 시뮬레이션에 기초한 방법을 연산 증폭기의 설계 자동화에 사용하는 동기가 될 수 있다.

본 연구에서는 설계 시간을 단축하는 기법을 사용하여 연산 증폭기의 설계 조율 과정을 자동화 하는 기법을 제안한다. 이 기법에 근거하여 개발된 CMOS 연산 증폭기 설계 도구인 사파이스 (SAPICE: Simulated Annealing + SPICE)에서는 회로 성능의 정확한 평가를 위해 회로 시뮬레이션과 설계 공간의 전역적 탐색을 위해 국부적 탐색을 가진 시뮬레이티드 아닐링을 사용하여 설계 조율을 수행한다. 그 결과 적은 설계 노력과 설계 지식을 사용하여 고성능 연산 증폭기를 손쉽게 설계할 수 있게 되었다.

2. 연산 증폭기 설계 문제의 형식화

연산 증폭기의 설계 문제는 설계 제약 조건을 만족하면서 칩의 면적과 전력 소모를 최소화하는 것이다. 칩의 면적과 전력 소모는 최적화 문제의 목적 함수를 구성한다. 연산 증폭기의 설계 제약 조건은 바이어스 조건과 성능 규격이다. 연산 증폭기의 성능 규격에는

직류 이득, 단위 이득 주파수, 위상 여유, 슬루율, 안정 시간, 오프셋 전압, 출력 전압 스윙, 입력 동상 모드 범위, 전원 공급기 제거율, 그리고 잡음 등이 있다. 설계 변수는 트랜지스터들의 크기, 수동 소자들의 크기, 바이어스 전압, 그리고 바이어스 전류 등이다. 따라서 연산 증폭기 설계 문제는 다음과 같은 제약된 최적화 문제로 형식화할 수 있다.

Minimize $f(\mathbf{x})$ subject to

$$g_j(\mathbf{x}) = \pm \frac{p_j(\mathbf{x}) - r_j}{r_j} \geq 0 \text{ for } j=1, 2, \dots, M$$

$$h_k(\mathbf{x}) = \frac{p_k(\mathbf{x}) - r_k}{r_k} = 0 \text{ for } k=1, 2, \dots, N$$

여기서 \mathbf{x} 는 설계 변수의 벡터이고, 함수 $f(\mathbf{x})$ 는 목적 함수 혹은 비용 함수라 부르며, 제약들인 $g_j(\mathbf{x})$ 와 $h_k(\mathbf{x})$ 는 각각 부등제약과 등제약이다. 그리고 $p_j(\mathbf{x})$ 와 r_j 는 각각 j 번째 회로 성능과 그것의 기준치이다. 목적 함수 $f(\mathbf{x})$ 도 제약 조건 $g_j(\mathbf{x})$ 와 같은 형태로 표현할 수 있다. 위의 문제는 부가적인 가중치를 도입하면 비제약된 최적화 문제로 변환되므로 연산 증폭기의 설계 문제는 다음 스칼라 비용 함수 $C(\mathbf{x})$ 의 최소화 문제가 된다.

$$C(\mathbf{x}) = \sum_{i=1}^L \alpha_i f_i^2 + \sum_{j=1}^M \beta_j g_j^2 + \sum_{k=1}^N \gamma_k h_k^2 \quad (1)$$

$g_j(\mathbf{x}) \geq 0$ 인 경우는 제약 조건을 만족하므로 $\beta_j = 0$ 으로 하여 비용 함수에 기여가 되지 않도록 해야하며, 가중치들의 크기는 정상적인 회로 동작을 보장하면서 양호한 결과를 얻도록 설계 실험을 통해 조절되어야 한다. 가중치들의 값이 정해진 후에는 각 회로 성능에 대한 기준치 r_j 를 증가 또는 감소하므로 그 성능의 상대적인 중요도를 다소 변경할 수 있다.

비용 함수는 회로 시뮬레이션을 통해 생성된 출력 파일로부터 성능 평가 루틴에 의해서 회로 성능들과 바이어스 조건들을 평가하므로 계산된다. 회로 시뮬레이션의 시간을 줄이고 시뮬레이션에 의한 회로 설계의 전략을 위해서 전용 회로 시뮬레이터를 개발하여 직류, 교류, 그리고 잡음 해석에 사용하였다. 이 시뮬레이터의 회로 해석 방법은 수정 노드법^[13]이며, 전체효과 트랜지스터의 BSIM1 모델^[14]은 SPICE3^[15]로부터 이식된 것이 사용되었다.

비용 함수의 평가 시간을 단축하기 위해 두 가지 휴리스틱을 사용하였다. 첫 번째 휴리스틱은 슬루율을

$$SR = \frac{I_o}{C_T} \quad (2)$$

로 근사하는 것이다. 여기서 C_T 는 기생 소자를 고려한 연산 증폭기의 총 부하 커패시턴스이며, I_o 는 연산 증폭기의 출력 직류 전류이다. 이 출력 전류는 부하 커패시터 대신 연결된 전압원의 직류 전류로 측정될 수 있다. 연산 증폭기가 트랜스컨덕턴스 증폭기일 경우 그 출력이 등가적으로 전류원이므로 보다 적합한 근사가 될 것이다. 이 근사를 이용하면 과도 해석을 하지 않고 직류 해석만으로 슬루율을 평가할 수 있어 비용 함수의 평가 시간이 단축된다. 나머지 휴리스틱은 현재 계산하고 있는 비용 함수의 크기가 지금까지 탐색한 가장 작은 비용 함수의 크기 보다 크면 남은 회로 시뮬레이션과 비용 함수의 평가를 중단하는 것이다. 이것은 대부분의 비용 함수의 크기가 지금까지 탐색한 최소 비용 함수의 크기 보다 크기 때문에 설계 시간을 단축할 수 있다.

그림 1은 최소 선평의 반인 λ 의 단위로 소자 크기의 분해능을 다르게 할 때, 두 국부 (local) 최소점 사이에서 비용 함수의 크기 변화를 나타내고 있다. 여기서 비용 함수 자체에도 다수의 국부 최소점이 존재할 뿐만

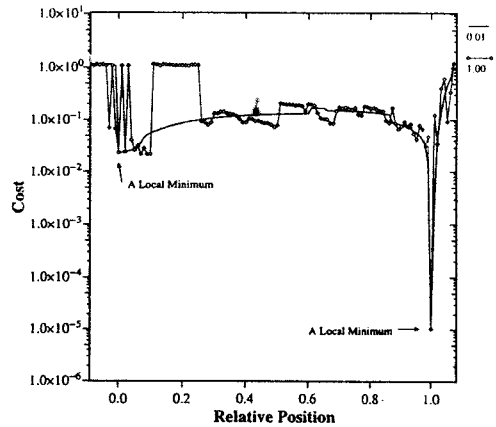


그림 1. 두 국부 최소점 사이에서 비용 함수의 변화.
Fig. 1. Variation of a cost function between two local minima.

아니라 설계 공간의 이산화로 인해 설계 변수 벡터의 임의의 방향으로 많은 국부 최소점이 존재한다는 것을 알 수 있다. 이로써 양호한 설계를 찾기 위해서는 전역적(global) 최적화 방법의 도입이 필요하다고 할 수 있다.

3. 연산 증폭기의 설계 전략

비용 함수의 최소화는 국부적 최적화 방법이나 전역적 최적화 방법을 사용하여 수행될 수 있다. 비록 전역적 최적화 방법이 어떠한 종류의 비선형성과 불연속성을 가진 비용 함수에 대해서 통계적으로 전역적인 최적해를 찾을 전망을 가지고 있으나, 비용 함수의 설계 변수에 대한 경향을 고려하지 않고 설계 공간을 탐색하므로 많은 계산 시간을 필요로 한다. 반면에 국부적 최적화 방법은 비록 국부적인 최적해로 빠르게 수렴하나 비용 함수가 다수의 국부 최소점을 가지고 있을 경우에는 전역적인 최적해를 탐색할 보장이 적어진다. 이것은 국부적 최적화 방법이 비용 함수의 크기가 작아지는 방향으로만 탐색하여 주어진 초기 설계점 근처의 국부 최소점에서 탐색을 종료하기 때문이다.

다수의 국부 최소점들을 가진 설계 공간에서 적절한 설계 시간을 사용하여 보다 양호한 회로를 전역적으로 탐색하기 위해서 새로운 탐색 전략을 제안한다. 이 전략은 국부적 최적화 방법의 효율성과 전역적 최적화 방법의 현실성을 결합하는 기법이다. 우선 비용 함수의 정해진 평가 회수내에서 전역적 최적화 기법이 보다 양호한 회로를 전역적으로 탐색하고, 그 다음에는 지금까지 탐색한 가장 양호한 회로를 초기 설계로 하여 국부적 최적화 기법이 더욱 양호한 회로의 탐색을 시작하는 것이다. 여기서 전역적 최적화 기법은 설계 공간에서 양호한 회로가 존재할 전망이 있는 영역을 지정하고, 국부적 최적화 기법은 그 영역에서 더욱 양호한 회로를 빠르게 탐색하는 것이다.

전역적 최적화 알고리즘으로 적응적 시뮬레이티드 아닐링^[16]을 사용하였다. 이것은 매우 빠른 시뮬레이티드 아닐링으로 알려져 있으며 표준 Boltzmann 아닐링^[17]과 빠른 Cauchy 아닐링^[18] 보다 빠르게 수렴하도록 하는 지수적인 아닐링 스케줄을 가지고 있다. 그러나 지수적인 온도 스케줄링을 사용하는 이 아닐링 기법이 비록 빠른 수렴 특성을 가지고 있기는 하나, 매우 많은 국부 최소점들을 가진 비용 함수의 최소화를 수행할 때는 빠른 냉각으로 인해 전역적 최소점들을 놓칠 수

가 있다. 이 알고리즘은 다음과 같은 유사 코드로 기술될 수 있다.

```
Adaptive Simulated Annealing() {
    T = T0, x = x0, C0 = C(x);
    while ( k < frozen ) {
        generate a new point by g(x, T);
        evaluate cost change ΔC;
        if ( ΔC < 0 ) {
            accept the new point;
        } else if ( e-ΔC/T ≥ random(0..1) ) {
            accept the new point;
        } else {
            reject the new point;
        }
        rescale the temperature or reannealing;
        reduce the temperature by s(k, T);
    }
}
```

국부적 최적화 알고리즘으로 사용한 직접 탐색 알고리즘^[19]은 다차원 설계 공간에서 비용 함수의 국부적인 변화를 사용하여 탐색 방향을 결정하며, 미분 불가능 함수나 불연속 함수도 취급할 수 있어서 설계 변수가 이산치를 갖는 이산 최적화에도 사용될 수 있다. 이 알고리즘의 간단한 표현은 다음과 같다.

```
Direct Search() {
    x = x0, Δx = Δx0, C0 = C(x0);
    while ( step size changes ) {
        neighborhood search( x, Δx );
        ΔC = C(x) - C0;
        while ( ΔC < 0 ) {
            d = x - x0; x0 = x;
            x = x + d; C0 = C(x);
            neighborhood search( x, Δx );
            ΔC = C(x) - C0;
        }
        reduce the step size Δx;
    }
}
```

여기서 함수 neighborhood search()는 현재의 설계에서 각 설계 변수를 그 변수의 스텝 크기만큼 증감하면서 보다 양호한 설계를 탐색한다. 모든 개선된 탐색 이동을 동시에 적용하여 새로운 설계를 얻는다. 이 설계가 지금까지 탐색한 최상의 설계 보다 더 양호하면 이

설계가 새로운 최상의 설계가 되면서 그 방향으로 계속 탐색 이동을 하지만, 그렇지 않으면 스텝 크기를 감소하여 새로운 탐색을 다시 시작한다. 스텝 크기는 탐색 초기에는 광역 탐색을 위해 충분히 크게 하고, 나중에는 지역 탐색에 집중하기 위해 점차적으로 작게 해 나간다. 탐색 알고리즘이 이산치를 갖는 설계 변수들을 취급하고 각 설계 변수에 대해 다른 스텝 크기를 갖도록 하기 위해 이 알고리즘을 수정하여 사용하였다. 설계 변수의 크기가 다양한 경우에 스텝 크기를 하나로 하는 것보다는 각 변수에 대해 다르게 하는 것이 효과적인 탐색을 할 수 있을 것이다.

규격의 기준치를 조율하는 설계 조율 과정을 통해 새로운 설계를 수행하도록 한다.

4. 연산 증폭기의 설계 방법

사파이스를 사용하여 연산 증폭기를 설계하는 방법을 그림 3의 2단 CMOS 연산 증폭기를 예로서 설명한다. 사파이스의 입력 파일인 설계 파일은 설계 변수들의 선언문, 원하는 회로 성능의 선언문, 그리고 설계하고자 하는 SPICE 회로 구조를 정의하는 문들로 구성된다.

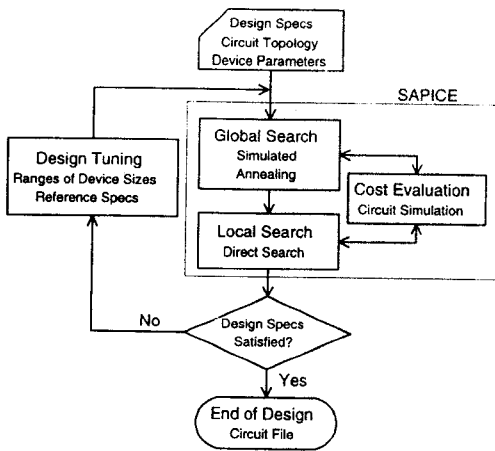


그림 2. 사파이스를 사용한 연산 증폭기의 설계 흐름도.

Fig. 2. Design flow of operational amplifier using SAPICE.

그림 2에 있는 사파이스를 이용한 설계 전략은 다음과 같다. 우선 연산 증폭기의 설계 규격과 회로 구조를 설계 파일로부터 읽어 들이고, 각 설계 변수들에게 지정되는 범위의 중간값으로 초기 설계를 정하여 회로 시뮬레이션에 필요한 회로 파일을 출력한다. 회로 시뮬레이터를 구동하여 회로 시뮬레이션을 수행하고 출력된 시뮬레이션 파일을 처리하여 비용 함수를 계산한다. 설계 규격이 만족되지 않거나 목적 함수 또는 회로 성능의 최소화가 지정되면 탐색 알고리즘들에 의해서 더욱 양호한 설계를 찾기 위해 반복적인 내부 재설계 작업을 수행한다. 정해진 설계 회수 이내에 설계 규격에 적합한 회로를 얻지 못하면 소자 크기의 범위와 성능

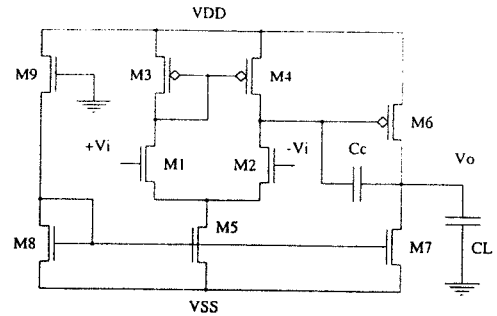


그림 3. 2단 CMOS 연산 증폭기.

Fig. 3. A two-stage CMOS operational amplifier.

설계 변수들은 SPICE 주석 줄에 .param 문을 사용하여 다음과 같이 선언된다.

```
*.param M1 domain=(1.8u, 96u, 0.6u) W=W1
*.param M2 domain=(1.8u, 96u, 0.6u) W=W1
*.param M1 domain=(1.2u, 18u, 0.6u) L=L1
*.param M2 domain=(1.2u, 18u, 0.6u) L=L1
. . . . .
*.param Cc domain=(0.1p, 1p, 0.01p) C=C1
*.lambda = ( 0.6u )
*.supply = ( -2.5V, +2.5V )
```

여기서 domain 다음의 수들은 설계 변수의 범위와 분해능을 나타내고, .lambda는 CMOS 기술에서 최소 선포의 반인 λ 의 크기를 나타내며, .supply는 공급 전원 VSS와 VDD의 크기를 지정하는 것이다. 특정 소자를 선행 영역에서 동작하도록 할 때는 domain대신 linear를 사용한다. 연산 증폭기의 입력 차동쌍 M1과 M2의 정합 조건은 두 소자의 폭과 길이를 같은 변수로 선언

하여 지정할 수 있다. 제조 공정의 오차, λ 에 기초한 레이아웃 규칙, 그리고 설계 공간의 크기 감소 등을 고려하여 소자 크기가 이산치를 갖도록 하였다. 소자 폭과 길이의 분해능은 1λ 즉 $0.6\ \mu\text{m}$ 으로 지정되었고, 소자 폭과 길이의 최소값은 λ 에 기초한 레이아웃 규칙에 따라 3λ 와 2λ 로 각각 지정하였다. 소자 크기의 최대값은 요구하는 회로 성능과 칩의 면적을 고려하여 지정해야 한다.

성능 규격은 .spec 문과 .goal 문을 사용하여 다음과 같이 선언된다. 성능의 기준치를 적절히 조율하므로 그 성능의 상대적인 중요성을 증감할 수 있다.

```
*.spec gain > 70 dB
*.spec ugf > 20 MHz
*.spec pm > 60 deg
*.spec ovs > 1.5 V
*.spec sr > 5 V/us
*.spec offset < 50 uV
*.spec bias + 0.7 V
*.goal area v 50 kum2
*.goal power v 10 mW
```

여기서 gain은 직류 이득을 의미하고, ugf는 단위 이득 주파수를, pm은 위상 여유를, ovs는 출력 전압 스윙을, sr은 슬루율을, 그리고 offset은 고의적 오프셋 전압을 의미한다. 모든 MOSFET들이 포화 영역에서 동작하도록 하기 위해 다음과 같은 의미를 가진 bias 문을 사용한다.

$$|V_{GS}| - |V_{DS}| \leq 0.7V \leq |V_T| \quad (3)$$

여기서 전압들을 절대치로 표현한 것은 nMOS와 pMOS 소자에 모두 적용될 수 있도록 하기 위해서다. 성능 규격은 이외에도 입력 동상모드 범위 icmr, 안정 시간 ts, 1 kHz에서 입력 등가 잡음 noise, 60 Hz에서 동상 모드 제거비 cmrr, 그리고 60 Hz에서 전원 공급기 제거율 psrr+와 psrr- 등이 있다. .goal 문들은 레이아웃 면적과 전력 소모를 최소화 하는 것을 의미한다. .spec 문은 지정된 회로 성능이 만족되면 그 성능에 대한 비용은 0이 되는 반면, .goal 문은 0이 되지 않고 비용 함수에 그 비용이 추가되어 가능한 최소가 되도록 한다. CMOS 연산 증폭기의 레이아웃 면적은 모든 수동 소자의 면적과 모든 능동 소자의 면적 즉, 드레인, 게이트, 그리고 소스 면적만을 포함한다.

회로 구조는 SPICE 회로 파일 형식의 .SUBCKT 문과 .MODEL 문을 사용하여 선언한다. 소자의 크기가 설계 변수로 선언되지 않으면 입력 파일에 주어진 크기를 사용하여 설계하며, 시뮬레이션에 필요한 소자 모델도 SPICE 파일 형식과 동일하게 선언하면 된다.

```
*
in+ in- out VDD VSS
.SUBCKT OPA 1 2 3 4 5
M1 6 2 7 7 CMOSN W=13.2u L=4.8u
M2 8 1 7 7 CMOSN W=13.2u L=4.8u
M3 6 6 4 4 CMOSN W=96.0u L=17.4u
M4 8 6 4 4 CMOSN W=96.0u L=17.4u
M5 7 9 5 5 CMOSN W=54.0u L=12.6u
M6 3 8 4 4 CMOSN W=95.4u L=1.2u
M7 3 9 5 5 CMOSN W=31.2u L=1.2u
M8 9 9 5 5 CMOSN W=19.2u L=2.4u
M9 4 0 9 9 CMOSN W=38.4u L=2.4u
Cc 8 3 0.78pF
CL 3 0 5.0pF
.ENDS OPA
```

5. 연산 증폭기의 설계 결과

설계에 사용된 전계효과 트랜지스터의 모델 파라미터는 Mosis 1.2 μm CMOS 공정의 SPICE BSIM1 모델 파라미터를 사용하였다. 일반적으로 설계 시간은 성능 규격에 주어진 회로 성능들을 평가하는데 필요한 회로 시뮬레이션의 수에 의존한다. 리눅스(Linux) 운영 체제를 사용하는 펜티엄 120 개인용 컴퓨터를 가지고, 교류 해석을 수반하는 성능 규격만 주어지는 2단 연산 증폭기의 설계는 5 분 정도가 필요한 반면 교류, 직류, 그리고 과도 해석을 수반하는 경우에는 약 20 분 정도가 소요된다.

단순화된 설계 방정식과 간단한 소자 모델을 사용하는 방정식에 기초한 방법으로는 고주파 특성을 만족하는 연산 증폭기를 곧바로 설계하는 것은 쉽지 않다. 소자 크기가 $1.8\ \mu\text{m} \leq W \leq 96\ \mu\text{m}$, $1.2\ \mu\text{m} \leq L \leq 18\ \mu\text{m}$, $0.1\ \text{pF} \leq C_c \leq 1\ \text{pF}$, 그리고 $CL = 5\ \text{pF}$ 인 경우, 사파이스를 사용하여 2단 CMOS 연산 증폭기의 직류 이득은 70 dB, 위상 여유는 60° , 그리고 단위 이득 주파수를 10 MHz까지 설계할 수 있었다. 큰 이득, 큰 전원 공급기 제거율, 그리고 높은 단위 이득 주파수를 갖는 그림 4의 폴디드 캐스코드 CMOS 연산 증폭기의 설계에서는 소자의 최대 채널 폭을 120 μm 로 증

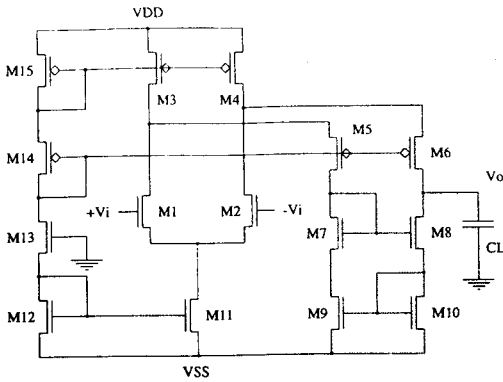


그림 4. 폴디드 캐스코드 CMOS 연산 증폭기.

Fig. 4. A folded-cascode CMOS operational amplifier.

가하여, 직류 이득은 70 dB, 위상 여유는 60°, 전원 공급기 제거율은 100 dB 이상, 그리고 단위 이득 주파수를 30 MHz를 얻었다.

표 1에는 지금까지 발표된 대표적인 연산 증폭기 설계 도구인 ASTRX/OBLX^[7]와 OAC^[8]의 폴디드 캐스코드 CMOS 연산 증폭기에 대한 설계 결과와 사파이스의 설계 결과를 비교하였다. 설계에 사용된 플리커

(flicker) 잡음 계수 KF는 nMOS 트랜지스터에 대해서는 1×10^{-27} FA이고, pMOS 트랜지스터에 대해서는 1×10^{-28} FA였다. 소자의 최대 채널 폭을 480 μm 로 증가하여 주어진 성능 규격이 만족되도록 하였으며, 설계에 소요된 시간도 적절하여 제안된 설계 전략이 유용하게 이용될 수 있음을 알 수 있다. 설계 방정식을 사용하여 최적화 설계를 하고 이어서 회로 시뮬레이션으로 설계 조율을 하는 OAC는 새로운 연산 증폭기 구조를 설계 하기 위해서는 설계 방정식을 유도하여 입력하여야 하는 어려움이 있다. 반면에 ASTRX/OBLX는 점근적 파형 평가 (asymptotic waveform evaluation) 기법을 사용하여 주파수 영역에서 회로 성능을 평가하며, C 언어로 약 십이만 줄의 방대한 코드를 필요로 함으로 새로 개발하는 데는 어려움이 있다. 그러나 기존의 회로 시뮬레이터를 그대로 사용하여 설계 시간이 길어지는 것을 감수한다면 제안된 설계 전략은 매우 간단히 구현될 수 있고, 새로운 연산 증폭기 구조에 대해서도 변경 없이 그대로 사용될 수 있다.

사파이스를 사용한 연산 증폭기 설계의 다음 예는 전차동 센서 신호처리 회로와 고속 파이프라인 A/D 변환기^[5,6]에 사용 가능한 고성능 전차동 연산 증폭기에 관한 것이다. 전차동 연산 증폭기는 전원 공급기 잡음

표 1. 폴디드 캐스코드 CMOS 연산 증폭기의 설계 규격과 설계 결과

Table 1. Specifications and design results of the folded-cascode CMOS operational amplifier

Performances	Units	Specs	OAC	SAPICE	Specs	ASTRX	SAPICE
			Results	Results		Results	Results
C_L	pF	1	-	-	1.25	-	-
Power supply	V	± 2.5	-	-	± 5	-	-
Dc gain	dB	> 55	56	57.0	> 70	70.1	70.8
Unity-gain frequency	MHz	> 200	200	199.9	\wedge	72.1	80.0
Phase margin	degree	> 45	45	59.9	> 60	80.0	59.8
Input CMR	V	-	-	0.7	-	-	2.0
Slew rate	V/ μs	> 500	517	504.7	> 50	57	63.2
Offset voltage	μV	-	-	141.7	-	-	10.7
Power	mW	< 11	11	8.0	< 15	10	11.4
Active area	$\text{k}\mu\text{m}^2$	$\nu 36$	36	11.0	$\nu 46$	46	15.9
Output swing	V	-	-	0.5	> 1	1.5	1.4
Settling time	ns	-	-	21.0	-	-	36.7
Input 1/f noise(1kHz)	$\text{nV}/\text{Hz}^{1/2}$	< 300	297	287.0	-	-	436.1
CMRR(60Hz)	dB	-	-	89.3	-	-	100.9
PSRR'(60Hz)	dB	-	-	95.3	> 105	125	114.8
PSRR(60Hz)	dB	-	-	67.4	> 105	107	109.7
No. of design variables	-	-	-	20	-	-	20
No. of cost evaluations	times	-	-	3029	-	-	3669
Design time	min	Sun3	< 30	25	RS6000	120	40

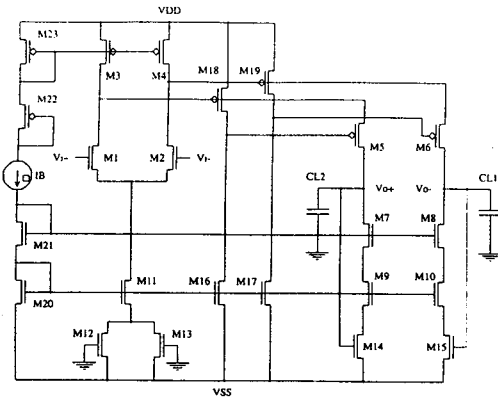


그림 5. 조정된 캐스코드를 갖는 전차동 폴디드 캐스코드 CMOS 연산 증폭기.

Fig. 5. A fully differential folded-cascode CMOS operational amplifier with regulated cascode.

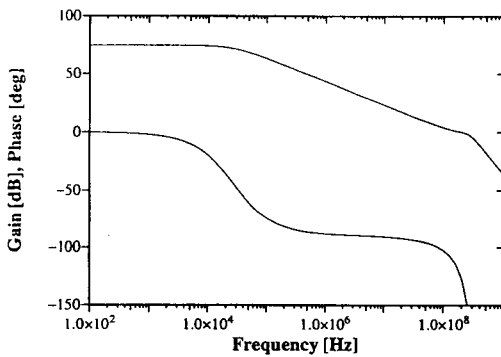


그림 6. 조정된 캐스코드를 갖는 전차동 캐스코드 CMOS 연산 증폭기의 시뮬레이션한 주파수 특성.

Fig. 6. Simulated frequency characteristics of the fully differential folded-cascode CMOS operational amplifier with regulated cascodes.

이나 클럭 피드스루를 보다 양호하게 제거할 수 있는 장점으로 인해 아날로그와 디지털 혼용 고정밀 집적회로에 널리 사용되고 있다. 높은 직류 이득과 단위 이득 주파수를 얻기 위해 그림 5의 조정된 캐스코드를 가진 전차동 폴디드 캐스코드 (fully differential folded-cascode) 연산 증폭기의 구조를 구성하였다.

이 설계에서 소자 크기에 24 개의 설계 변수와 바이어스 전류에 1 개의 설계 변수를 사용하였다. 1.2 μm 의

CMOS 기술을 사용하여 설계한 이 연산 증폭기는 ± 2.5 V의 공급 전압과 1 pF의 부하에서 74 dB의 직류 이득, 200 MHz의 단위 이득 주파수, 50° 의 위상 여유, 97 V/ μs 의 슬루율, ± 1.1 V의 출력 스윙, 35 $\text{k}\mu\text{m}^2$ 의 소자 면적, 그리고 11 mW의 전력 소모를 가진다. 그림 6은 이 연산 증폭기의 시뮬레이션 주파수 특성이다. 그리고 설계된 연산 증폭기를 그림 7과 같은 이득이 2 이고 $C_S = C_F = 0.15$ pF이며 부하가 0.5 pF인 전차동 S/H 증폭기에 사용할 때, 그림 8의 시뮬레이션 결과로부터 ± 1 V 차동 출력에 대한 0.1 % 안정 시간은 약 15 ns이다. 이 S/H 증폭기를 파이프라인 A/D 변환기에 적용하면 10 비트 분해능으로 25 MS/s의 변환 속도를 얻을 수 있다.

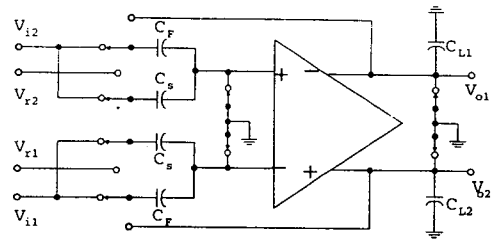


그림 7. 전차동 S/H 증폭기.

Fig. 7. A fully differential S/H amplifier

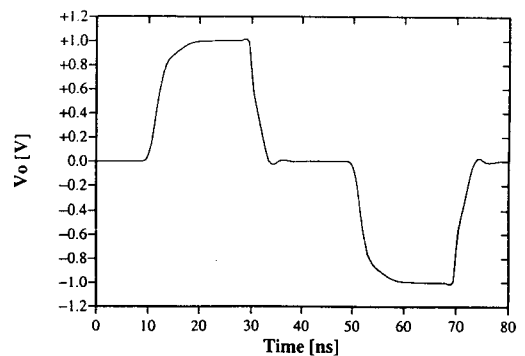


그림 8. 전차동 S/H 증폭기의 시뮬레이션 결과.

Fig. 8. Simulation result of the fully differential S/H amplifier.

그리고 설계한 CMOS 연산 증폭기는 저항성 센서의 브릿지 차동전압을 증폭하기 위한 계측 증폭기를 비롯하여, 최근에 온도 계수가 낮고 높은 민감성과 분

해능을 가지며 전력 소모도 낮은 용량성 센서의 커패시턴스 변화를 발진 주파수 변화로 변환하는 회로인 슈미트 트리거 발진기, RC 발진기, 그리고 스위치드 커패시터 발진기 등에도 사용될 수 있다^[1]. 특히 전차동 연산 증폭기를 스위치드 커패시터 기법으로 압력, 가속도, 그리고 변위 등을 감지하는 용량성 센서에 사용하면 클럭 피드스루 오차를 크게 줄일 수 있으므로 고정밀도를 얻을 수 있을 것이다.

6. 결론

임의의 연산 증폭기 구조에 대해 설계 방정식을 유도함이 없이 CMOS 연산 증폭기를 설계할 수 있는 새로운 설계 전략을 제안하였다. 그것은 설계 공간의 전역적 탐색을 위해 국부적 탐색을 가진 적응적 시뮬레이션 아날로그를 사용하고 연산 증폭기의 정확한 성능 평가를 위해 회로 시뮬레이션을 사용한다. 이 설계 알고리즘에 설계 시간 단축을 위한 기법과 전용 회로 시뮬레이터를 부가하여 연산 증폭기 설계 도구인 사파이스를 개발하였다.

사파이스는 폴딩드 캐스코드 CMOS 연산 증폭기에 대한 기존의 대표적인 연산 증폭기 설계 도구의 설계 결과를 달성하였고, 센서 신호처리 회로와 각종 아날로그 집적회로, 특히 10 비트의 분해능과 25 MS/s의 변환 속도를 갖는 파이프라인 A/D 변환기에 사용 가능한 고성능 CMOS 연산 증폭기의 설계를 통해 사파이스가 고성능 연산 증폭기의 설계에 사용 가능한 도구임을 시범하였다. 끝으로 고성능 연산 증폭기의 설계와 최적화에 사파이스가 유용하게 사용되어, 센서 시스템 설계와 각종 아날로그 집적회로 설계의 병목현상이 다 소나마 완화되길 기대한다.

참고문헌

- [1] A. Cichocki and R. Unbehauen, "Application of switched-capacitor self-oscillating circuits to the conversion of RLC parameters into a frequency or digital signal", *Sensors and Actuators A*, vol. 24, pp. 129-137, 1990.
- [2] S. M. Sze, *Semiconductor Sensors*, John Wiley & Sons, New York, pp. 493-502, 1994.
- [3] T. C. Choi, R. T. Kaneshiro, R. W. Brodersen, P. R. Gray, W. B. Jett, and M. Wilcox, "High-frequency CMOS switched-capacitor filters for communications application", *IEEE J. Solid-State Circuits*, vol. 18, no. 6, pp. 652-664, 1983.
- [4] R. Castello and P. R. Gray, "A high-performance micropower switched-capacitor filter", *IEEE J. Solid-State Circuits*, vol. 20, no. 6, pp. 1122-1132, 1985.
- [5] T. B. Cho, and P. R. Gray, "A 10 b, 20 Msample/s, 35 mW pipeline A/D converter", *IEEE J. Solid-State Circuits*, vol. 30, no. 3, pp. 166-172, 1995.
- [6] W. C. Song, H. W. Choi, S. U. Kwak, and B. S. Song, "A 10-b, 20-Msample/s, low-power CMOS ADC", *IEEE J. Solid-State Circuits*, vol. 30, no. 5, pp. 514-521, 1995.
- [7] E. S. Ochotta, R. A. Rutenbar, and L. R. Carley, "ASTRX/OBLX: Tools for rapid synthesis of high-performance analog circuits", *Proc. 31st ACM/IEEE Design Automation Conference*, pp. 24-30, June 1994.
- [8] H. Onodera, H. Kanbara, and K. Tamaru, "Operational-amplifier compilation with performance optimization", *IEEE J. Solid-State Circuits*, vol. SC-25, no. 2, pp. 466-473, 1990.
- [9] W. Nye, D. C. Riley, A. Sangiovanni-Vincentelli, and A. L. Tits, "DELIGHT.SPICE: An optimization-based system for the design of integrated circuits", *IEEE Trans. Computer-Aided Design*, vol. CAD-7, no. 4, pp. 501-519, 1988.
- [10] M. G. R. Degrauwe, B. L. A. G. Goffart, C. Meixenberger, M. L. A. Pierre, J. B. Litsios, J. Rijmenants, O. J. A. P. Nys, E. Dijkstra, B. Joss, M. K. C. M. Meyvaert, T. R. Schwarz, and M. D. Pardoen, "Towards an analog system design environment", *IEEE J. Solid-State Circuits*, vol. SC-24, no. 3, pp. 659-671, 1989.
- [11] R. Harjani, R. A. Rutenbar, and L. R. Carley, "OASYS: A framework for analog circuit synthesis", *IEEE Trans. Computer-Aided*

- Design*, vol. CAD-8, no. 12, pp. 1247-1266, 1989.
- [12] H. Y. Koh, C. H. Séquin, and P. R. Gray, "OPASYN: A compiler for CMOS operational amplifiers", *IEEE Trans. Computer-Aided Design*, vol. CAD-9, no. 2, pp. 113-125, 1990.
- [13] C. W. Ho, A. E. Ruehli, and P. A. Brennan, "The modified nodal approach to network analysis", *IEEE Trans. Circuits and Systems*, vol. CAS-22, no. 6, pp. 504-509, 1975.
- [14] B. J. Sheu, D. L. Scharfetter, P. K. Ko, and M. C. Jeng, "BSIM: Berkeley short-channel IGFET model for MOS transistors", *IEEE J. Solid-State Circuits*, vol. SC-22, no. 4, pp. 558-566, 1987.
- [15] T. L. Quarles, *The SPICE3 Implementation Guide*, Memorandum No. UCB/ERL M89/44, University of California, Berkeley, 1989.
- [16] L. Ingber, "Simulated annealing: practice versus theory", *Mathematical Computer Modelling*, vol. 18, no. 11, pp. 29-57, 1993.
- [17] S. Kirkpatrick, C. D. Gelatt, Jr., and M. P. Vecchi. "Optimization by simulated annealing", *Science*, vol. 220, no. 4598, pp. 671-680, 1983.
- [18] H. Szu and R. Hartley, "Fast simulated annealing", *Phys. Lett. A*, vol. 122, pp. 157-162, 1987.
- [19] R. Hooke and T. A. Jeeves, "Direct search solution of numerical and statistical problems", *J. ACM*, vol. 8, no. 2, pp. 212-229, 1961

著 者 紹 介

劉 尙 大

『센서학회지 제 5권 제 4호』 논문 96-5-4-10 참조.
 현재 경북대학교 전자전기공학부 부교수.