

논문 97-6-2-08

10-bit 40-MS/s 저전력 CMOS 파이프라인 A/D 변환기 설계

李始榮*, 劉尙大*

A 10-bit 40-MS/s Low-Power CMOS Pipelined A/D Converter Design

Sea-Young Lee* and Sang-Dae Yu*

요 약

본 논문에서 설계된 시스템은 ± 2.5 V 또는 +5 V의 환경에서 40 MS/s의 샘플링 속도로 약 70 mW의 정전력을 소비하는 고속 신호 처리용 CMOS 10 비트 파이프라인 A/D 변환기이다. 제안된 A/D 변환기는 각 단 사이의 신호를 빠르게 처리하고, 비교기 옴셋에 대한 넓은 보정 범위를 허용하기 위해 단당 1.5 비트 구조를 사용하였다. 고속 저전력 파이프라인 A/D 변환기의 설계를 위해 특별한 성능을 가진 연산 증폭기를 필요로 함에 따라 기존의 폴디드-캐스코드 구조를 기본으로 한 이득 향상 구조의 연산 증폭기를 설계하였다. 특히, 연산 증폭기 자동 설계 도구인 SAPICE의 자체 개발로 최적의 성능을 가진 연산 증폭기를 구현하였다. 그리고 신호 비교 시에 소비되는 전력을 감소시키기 위해 정전력을 거의 소비하지 않는 비교기를 채용하였다. 제안된 A/D 변환기는 1.0 μm n-well CMOS 공정을 이용하였으며 ± 0.6 LSB의 DNL, $+1/-0.75$ LSB의 INL, 그리고 9.97 M Hz 의 입력 신호에 대해 56.3 dB의 SNDR의 특성을 보였다.

Abstract

In this paper, the design of a 10-bit 40-MS/s pipelined A/D converter is implemented to achieve low static power dissipation of 70 mW at the ± 2.5 V or +5 V power supply environment for high speed applications. A 1.5 b/stage pipeline architecture in the proposed ADC is used to allow large correction range for comparator offset and perform the fast interstage signal processing. According to necessity of high-performance op amps for design of the ADC, the new op amp with gain boosting based on a typical folded-cascode architecture is designed by using SAPICE that is an automatic design tool of op amps based on circuit simulation. A dynamic comparator with a capacitive reference voltage divider that consumes nearly no static power for this low power ADC was adopted. The ADC implemented using a 1.0 μm n-well CMOS technology exhibits a DNL of ± 0.6 LSB, INL of $+1/-0.75$ LSB and SNDR of 56.3 dB for 9.97 M Hz input while sampling at 40 M Hz .

1. 서 론

최근 들어 디지털이나 아날로그 신호 처리와 관련된 전력 소비는 기술이 발전됨에 따라 여러 가지 응용

들에서 중요한 설계 파라미터가 되고 있다. 특히, 아날로그에서 디지털로의 신호 변환과 관련된 전력 소비의 감소는 캠코더와 같은 휴대용 비디오 장치나 무선 LAN 송수신기와 같은 개인용 통신 장치, 그리고 HDTV 등과 같은 응용에서 중요한 문제로 부각되고 있다. 과거 8~12 비트의 해상도로 5~20 MS/s의 샘플링 속도를 갖도록 설계된 A/D 변환기는 실제 100~

* 경북대학교 전자전기공학부
(School of Electronic and Electrical Eng.,
Kyungpook National University)
<접수일자 : 1997년 1월 30일>

500 μW 의 큰 전력을 소비했다.^{[1]-[10]} 이러한 레벨의 전력 소비는 휴대용 전건지로 동작하는 휴대용 장치들에서는 부적당하다. 따라서, 저전력 디지털 시스템들과 하나의 칩 내에 집적화하기 위해서는 5 V(또는 ± 2.5 V) 이하의 공급 전압으로 최소한의 전력을 소비하는 A/D 변환기의 설계가 요구된다.

CMOS 공정 상에서 100 μW 이하의 저전력으로 10 MS/s 이상의 샘플링 속도와 10 비트 이상의 해상도를 얻기 위해 많이 쓰이는 대표적인 A/D 변환기의 구조는 파이프라인 구조이다. 파이프라인 A/D 변환기는 기존의 병렬 구조들에서 문제가 되어왔던 신호 경로간의 부정합이 각 단계에 사용된 S/H 회로로 인해 해결됨에 따라 고주파 입력 신호에 대해 좋은 변환 특성을 가진다.^{[2]-5],[11]} 그리고, 단당 2~3 비트의 데이터 처리 구조와 디지털 보정 알고리즘을 사용하여 비교기의 정밀도에 대한 요구를 완화시킴으로써 소비전력 또한 크게 감소되었다.^[2] 비록, 정밀한 연산 증폭기들이 각 단계의 S/H/Gain (sample/hold/gain amplifier) 블럭에 필요하긴 하지만 비교기의 옅셋 에러에 대한 넓은 허용 오차의 장점으로 인해 파이프라인 구조는 고속 고해상도의 응용에 있어서 상당한 매력을 가지고 있다.

본 논문에서는 10 비트 40 MS/s의 고속 CMOS 파이프라인 ADC의 전력 최적화 수행이 네 부분으로 나누어 기술되어 진다. II 장에서는 설계된 변환기의 구조에 대해 자세히 기술하고, III 장에서는 여러 가지 전력 감소를 위한 기법을 기술한다. IV 장에서는 변환기의 성능을 평가할 수 있는 시뮬레이션 결과를 묘사한다. 마지막으로 V 장에서는 결론과 앞으로의 방향에 대해 기술한다.

II. 파이프라인 ADC 구조

단당 1.5 비트 즉, 두 개의 결정 준위와 11을 제외한 세 개의 가능한 출력코드 00, 01, 10를 가지는 파이프라인 A/D 변환기의 블럭 다이어그램을 그림 1에서 나타냈다. 9개의 동일한 단들이 직렬로 구성된 이 구조에서 2 비트로 데이터를 처리하는 마지막 단을 제외한 8개의 각 단들은 1.5 비트의 해상도로 A/D 변환을 하게된다.^[11] 이와 같은 저해상도의 A/D 변환을 위해 병렬 플래쉬 구조를 사용한다. 각 단은 저해상도 ADC, 저해상도 DAC, 증폭기, 샘플링기, 그리고 S/H 회로로 구성된다. 임의의 단으로 인가된 아날로그 신호

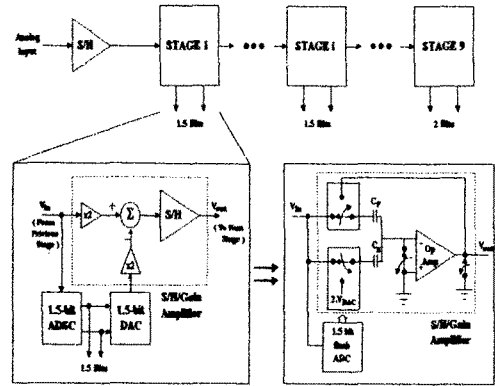


그림 1. 설계된 A/D 변환기의 블럭도.
Fig. 1. Block diagram if designed A/D converter.

로부터 변환된 디지털 출력은 저해상도 DAC를 통해 해당 코드의 아날로그 값으로 변환 후 입력 신호로부터 뺄셈을 취하게된다. 이때 잔여 신호는 다음 단계의 비교기 정밀도를 완화시키기 위해 증폭되어 진다. 각 단계에 사용된 S/H 회로는 클럭 주기당 하나의 샘플 변환율을 갖도록 모든 단계에서 동시 수행을 하게되며, 앞 단계와 뒷 단계는 서로 반 클럭의 차이를 갖게된다. 그림 1에 나타난 것처럼 증폭, 샘플링, 그리고 S/H의 모든 기능이 S/H/Gain 회로로 수행된다. S/H/Gain 회로의 기능을 해석적으로 보면, 임의의 단계에 아날로그 신호가 인가될 때 S/H/Gain 회로는 1.5 비트의 해상도로 그 신호를 샘플링하고, 그 샘플된 신호를 두배로 증폭함과 동시에 앞단계로부터 변환된 디지털 코드에 해당되는 $2 \cdot V_{DAC} (\pm V_{ref} \text{ or } 0)$ 의 아날로그 값을 커패시터 C_S 의 하단에 연결함으로써 샘플링 기능을 수행하게 된다. $C_S = C_F$ 일 경우 출력 전압은

$$V_{in} C_S - 2V_{DAC} C_S + V_{in} C_F = V_{out} C_F \quad (1)$$

$$\begin{aligned} V_{out} &= 2V_{in} - 2V_{DAC} \\ &= 2 \cdot (V_{in} - V_{DAC}) \quad (\text{단, } C_S = C_F) \end{aligned} \quad (2)$$

로 나타낼 수 있다. 식 (2)에서 잔여 신호를 두 배하는 것은 다음에 연결된 비교기의 정밀도를 완화하기 위해서이며, 이로 인해 다이내믹 비교기를 사용하게 되어 최종적으로 전력 소비 감소에 영향을 줄 수 있다.

단당 1.5 비트의 데이터 처리 구조를 선택한 것은 전체 변환율을 제한하는 S/H/Gain 회로의 대역폭을

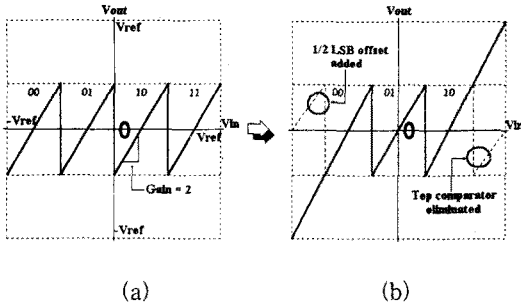


그림 2. 이상적인 ADC 한 단의 전달 특성.
 (a) 2 비트 해상도의 경우 및 (b) 1.5 비트 해상도의 경우.
 Fig. 2. Transfer characteristics of a pipeline stage of ideal ADC.
 (a) the case of 2-bit resolution and (b) the case of 1.5-bit resolution

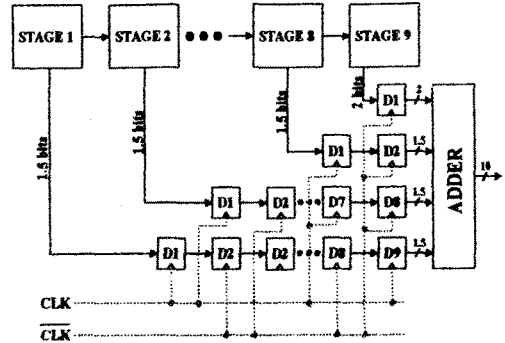


그림 3. 디지털 보정의 개념도.
 Fig. 3. Conceptual diagram for digital correction

최대로 하면서 플래쉬 A/D 부분에서의 비교기 옵션에 대해 큰 보정 범위를 허용하기 때문이다.^[2] 단과 단 사이의 신호를 빠르게 처리하기 위해 S/H/Gain 회로내의 연산 증폭기 출력은 다음 단의 샘플링 단계에 앞서 클럭의 반주기 안에 각 단의 허용 오차 이내로 안정화되어야 한다. 이를 위해서는 낮은 페루프 이득을 허용하는 각 단의 해상도 선택이 상당히 중요하다. 단당 1.5 비트의 해상도일 경우에는 두 배의 페루프 이득을 가짐으로써 낮은 부하 커패시턴스를 위한 환경이 제공되며, S/H/Gain 회로의 대역폭을 최대한 할 수 있다. 이때, 부하 커패시턴스는 다음 단의 두 개의 샘플링 커패시턴스와 현재 단의 두 비교기의 입력 커패시턴스, 그리고 연산 증폭기의 출력 커패시턴스로 구성된다. 단당 1.5 비트 데이터 처리 구조는 저해상도 ADC 부분에서 단지 두 개의 비교기로 변환을 하기 때문에 $\pm V_{ref}/4$ 즉, ± 1 V 입력에 대해 ± 250 mV 이상의 비교기 옵션을 전체 선형성이나 SNR의 감쇄 없이 보정할 수 있다. 이것은 그림 2의 ADC 전달 특성으로 묘사되어 진다. 그림 2(a)는 2 비트의 해상도를 갖는 이상적인 경우를 보여주고, 그림 2(b)에서는 1.5 비트의 해상도를 갖는 경우를 보여주고 있다. 1.5 비트의 경우 2개의 비교기만을 사용함으로써 비교준위가 각각 $+V_{ref}/4$ 와 $-V_{ref}/4$ 이며, 그림 2(b)의 좌측 하단과 우측 상단처럼 $\pm V_{ref}/4$ 의 옵션 보정 범위를 가진다. 그러므로, 단당 1.5 비트의 파이프라인 구조와 함께 디지털 보정 알고리즘을 사용함으로써 다음 단의 입력

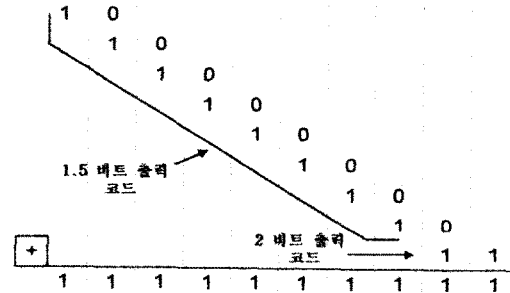


그림 4. 디지털 보정 논리.
 Fig. 4. Digital correction logic.

범위에 대한 현재 단의 오버플로우는 $\pm V_{ref}/4$ 의 옵션 보정 범위에 의해 예방될 수 있다. 이때 디지털 보정 논리상에서 뺄셈은 필요치 않으므로 덧셈기으로써 단순히 논리 보정이 가능하다.^[11]

그림 1의 파이프라인 구조에 임의의 아날로그 신호가 인가되면 홀수 단은 샘플링(홀딩) 모드, 짝수 단은 홀딩(샘플링) 모드에 있게 되고, 각 단은 반 클럭의 차이를 갖게된다. 그리고 각 단은 샘플링과 홀딩 작용을 통해서 변환을 수행하므로 하나의 아날로그 신호 샘플을 얻기 위해 한 클럭이 소요된다. 아날로그 신호에 대한 10 비트의 완전한 디지털 출력을 얻기 위해 그림 3과 같은 디지털 보정 구조를 사용했다. 단과 단 사이에 한 클럭의 지연차이를 주고, 수집된 디지털 코드를 그림 4와 같은 논리로 덧셈을 취하게 되면 하나의 아날로그 입력에 대한 최종 보정된 디지털 출력을 얻게 된다. 디지털 보정을 위해 사용된 논리 회로들에 의해 소비된 전력은 시뮬레이션 결과 약 3 mW 였다.

III. 전력 소비 감소를 위한 최적화 기법

최근까지 제안된 파이프라인 A/D 변환기의 저전력화 기법을 보면, self-bias를 이용한 저전력 연산 증폭기와 정밀도의 완화로 인해 구현될 수 있는 다이내믹 비교기 설계, 저항열(resistor string) DAC 대신에 사용된 커패시터 기준 전압 분류기(capacitor voltage divider), kT/C 열잡음을 고려한 샘플링 커패시터의 스케일링(scaling), 그리고 디지털 보정 논리의 간소화 등이 제안되어 왔다. 본 절에서는 A/D 변환기의 전력 소비를 감소시키기 위해 정전력을 거의 소비하지 않는 다이내믹 비교기 채용, 속도와 전력을 최적화한 연산 증폭기 설계에 대해 기술한다.

1. 다이내믹 비교기 설계

회로 레벨에서 연산 증폭기의 전력 소비를 줄이기 위한 노력은 지금까지 많았지만, 비교기에서 소비되는 전력은 상대적으로 거의 무시되어 왔다. 그러나, 일반적인 고해상도 A/D 변환기에 사용되는 비교기는 정밀한 비교를 위해 추가적인 증폭단을 사용하여 입력 신

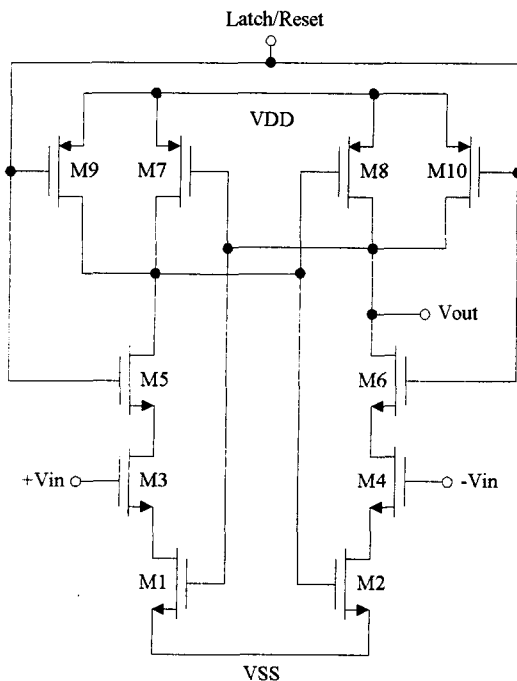


그림 5. 다이내믹 비교기.
Fig. 5. Dynamic comparator.

호를 증폭하게 되는데, 이때 추가된 증폭단에 의해 상당한 정전력을 소비하게 된다. 하지만 파이프라인 A/D 변환기의 경우 각 단의 저해상도 플래쉬 ADC부분에서 요구되어지는 비교기의 수가 적고, 비교기 오프셋에 의한 에러는 디지털 보정 알고리즘의 적용으로 쉽게 보상될 수 있기 때문에 비교기 정밀도에 대한 요구를 완화시킬 수 있다. 특히 1.5 비트의 해상도로 데이터를 처리하는 경우 알고리즘 자체에 $\pm V_{ref}/4$ 의 오프셋 허용 범위를 가지게 된다.

그림 5는 정전력을 거의 소비하지 않는 다이내믹 비교기를 보여주고 있다.^[12] 낮은 준위의 래치 펄스가 인가되면 공급 전류가 차단되고 출력이 VDD로 연결된다. 그때 입력 소자 M3와 M4는 선형 영역에 들어가게 된다. 래치 입력으로 높은 준위의 펄스가 인가되고 서로 다른 전압 레벨의 신호가 입력 단으로 인가될 경우 높은 전압이 인가된 소자 쪽의 출력은 낮은 레벨의 출력 상태가 된다. 이 비교기는 마치 CMOS 인버터처럼 동작하며, 기존에 사용되어온 비교기들과는 달리 그림 6과 같이 정전력을 거의 소비하지 않고 단지 전압비교 순간만 전류가 흐르게 된다. 한개의 다이내믹 비교기의 동적 소모 전력은 25 ns 주기에 대하여 약 0.18 mW 였다.

2. 고속 저전력용 연산 증폭기 설계

파이프라인 ADC의 전체 성능에 있어 연산 증폭기는 핵심 부분이라고 할 수 있다. 즉, ADC의 속도, 전력소모, 면적 이 모두가 연산 증폭기의 특성과 관련이 있다. 고이득과 광대역폭 그리고, 저전력의 특성을 동

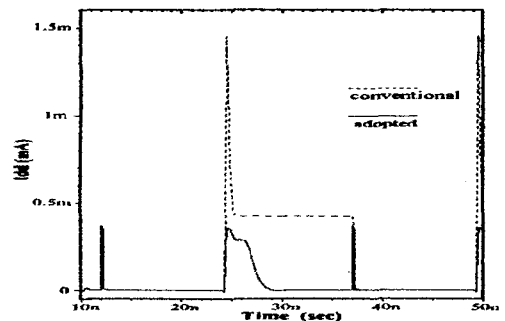


그림 6. 비교기들에 대한 동적전류의 비교.
Fig. 6. Comparison of dynamic currents for comparators.

시에 만족하는 최적화된 연산 증폭기를 설계하는 것은 그것의 구조가 결정되더라도 아날로그 회로의 특성상 상당한 시간과 노력을 필요로 한다. 하지만 본 논문에서는 자체 개발한 연산 증폭기 자동 설계 도구인 SAPICE를 사용하여 최적의 성능을 가진 증폭기를 설계하였다. 이 절에서는 S/H/Gain단에 사용될 새로운 연산 증폭기의 구조와 자동 설계 기법 및 성능에 대해 기술하였다.

2.1. 이득 향상 구조

그림 7에 실제 설계된 이득 향상 구조의 연산 증폭기를 보였다. 기존의 폴디드 캐스코드(folded-cascode) 구조에 대해 이득 향상단(gain-boosting stage)을 추가시켜 이득과 단위 이득 주파수를 독립적으로 향상시킬 수 있는 형태이다. 이 구조는 비록 캐스코드 구조에 비해서 전력 소모가 크지만 입력 공통 모드 범위와 출력 전압 스윙을 크게 할 수 있는 장점이 있다. 이득 향상 트랜지스터인 M18과 M19가 캐스코드 트랜지스터 M5와 M6의 캐스코딩 효과를 증대시켜, 출력 임피던스가 추가 이득 향상단의 이득만큼 증가하는 효과를 보인다.^[13] 이러한 구조로 설계된 연산 증폭기는 최고 348MHz의 단위 이득 주파수, 78.9 dB의 직류 이득, 그리고 50°의 위상 여유를 보였다.

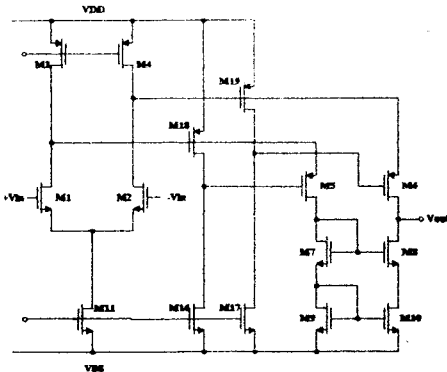


그림 7. 설계된 고속 고이득 연산 증폭기.
Fig. 7. A designed high-speed high-gain op amp.

2.2. 연산 증폭기 자동 설계 기법 및 성능
최근 연산 증폭기와 같은 아날로그 회로를 자동 설

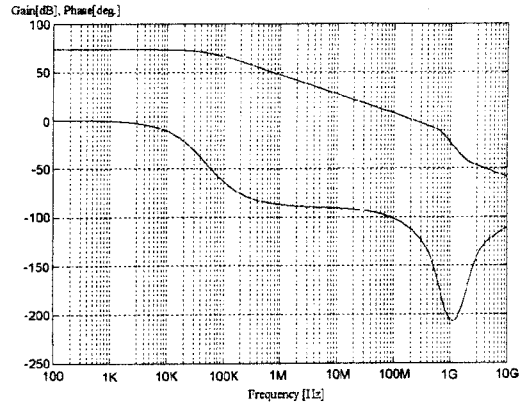


그림 8. 연산 증폭기의 주파수 특성.
Fig. 8. Frequency characteristics of the op amp.

계하는 방법에는 크게 수식과 시뮬레이션을 기본으로 하는 두 가지 방법이 주로 사용되어 왔다. 수식을 기본으로 하는 방법은 간소화에 따른 정밀도 문제와 수식 유도상에 소요되는 시간상의 단점을 가지고 있다. 하지만 자체 개발한 SAPICE와 같이 시뮬레이션을 기본으로 하는 방법은 그러한 문제들에 의해 제약을 받지 않는다. 일단 구조가 결정되면 SAPICE는 사용자가 원하는 사양(specification)을 만족하는 설계 변수를 찾기 위해 전역적인(global) 최적화를 수행하게 된다. 변수로는 MOS 트랜지스터의 W, L, 커패시턴스, 저항 그리고 바이어스 전류 등이 될 수 있다. SAPICE를 통해 실제 시스템에 사용된 연산 증폭기는 설계한 결과 그림 8에 보인 것처럼 약 250 MHz의 단위 이득 주파수, 75 dB의 직류 이득, 65°의 위상 여유, 그리고 6.97 mW의 정전력 소비 특성을 보였다. 고속 저전력 연산 증폭기를 설계하는데 있어 슬루율과 안정 시간은 고려되어야 할 중요한 사양들이다. 특히 이 두 가지 특성들은 시스템의 속도와 전력 소비에 대한 상보적인 관계를 가지기 때문에 적당한 선상에서 최적화가 요구되어 진다. 위에서 설계된 연산 증폭기는 0.45 V/ns의 슬루율과 11.3 ns의 안정 시간을 보였다.

VI. 시뮬레이션 결과

본 논문의 파이프라인 A/D 변환기 설계는 MOSIS 1.0 μm CMOS의 n-Well 공정 파라미터를 사용하여

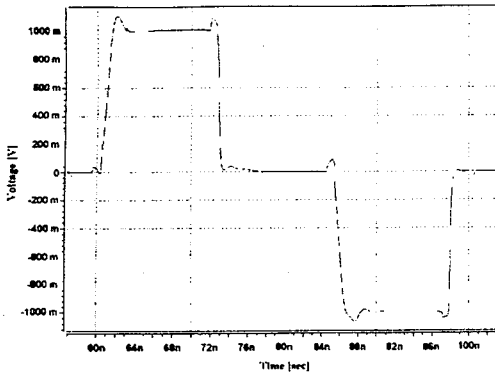


그림 9. 한 단의 시뮬레이션 결과.
Fig. 9. Simulation result of a stage.

수행되었다. 전체 시스템은 디지털 보정 부분과 함께 9개의 동일한 단들이 직렬로 연결되어 있고, 2 비트로 처리하는 마지막 단을 제외한 8개의 각 단들은 1.5 비트의 해상도로 변환을 하게 된다. 정전력 소비는 거의 모두가 연산 증폭기에 의해서 소비된다고 볼 수 있으며, 연산 증폭기가 소비하는 총 전력은 약 63 mW 정도이고 디지털 보정 부분에서 약 3.0 mW, 다이내믹 비교기에서 약 3.3 mW 정도이다. 결과적으로, 이 파이프라인 ADC는 시뮬레이션 결과 10 비트의 해상도와 40 MS/s의 속도를 위해 약 70 mW의 정전력을 소비한다. 설계된 변환기를 위해 ± 2.5 V 공급 전압과 ± 1 V의 기준 전압이 인가된다. 그림 9는 입력이 +1 V에서 0 V로 다시

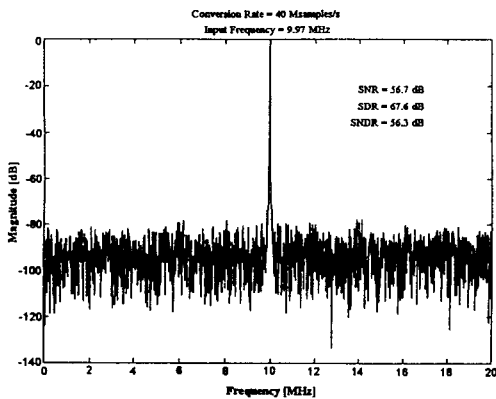


그림 10. 변환된 정현파 신호에 대한 주파수 스펙트럼.
Fig. 10. Frequency spectrum for converted sinusoidal signal.

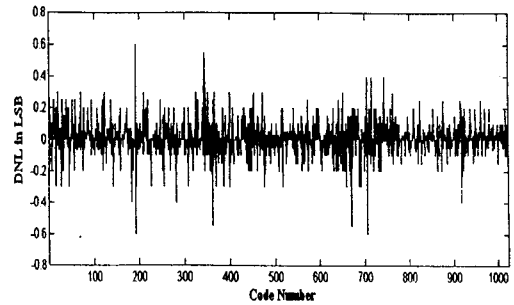


그림 11. 설계된 A/D 변환기의 DNL 결과
Fig. 11. Typical DNL plot of the designed ADC.

-1 V로 변화하는 최악의 상황에서 임의의 단계에 대한 S/H/Gain 회로의 출력 파형을 보여주고 있다. 약 0.2%의 이득 에러와 11.3 ns의 안정 시간과 0.45 V/ns의 슬루율을 갖는다.

그림 10은 시간 영역에서 4096개의 변환코드에 대한 FFT (fast Fourier transform)의 스펙트럼을 나타낸다. 이때 변환 속도는 40 MS/s이며, 9.97 MHz의 사인파 신호를 입력으로 사용하였다. 그 결과 SNR은 56.7 dB, SDR은 67.6 dB, 그리고 SNDR은 56.3 dB이다.

그림 11과 그림 12는 설계된 A/D 변환기의 DNL과 INL 특성을 보여주고 있다. DNL은 약 ± 0.6 LSB, INL은 $+1/-0.75$ LSB의 결과를 보였다. 표 1에 설계된 A/D 변환기와 발표된 저전력, 고속 A/D 변환기^[11]의 특성을 비교하였다.

V. 결론

본 논문에서는 1.0 μm n-well CMOS 공정을 이용하여 10 비트, 40 MS/s 저전력 파이프라인 ADC를 설계하였다. 9개의 동일한 단들이 직렬로 구성되었으며 2 비트로 처리하는 마지막 단을 제외한 8개의 각 단들은 1.5 비트의 해상도로 A/D 변환을 한다. 고속 저전력 구현을 위해 정전력을 거의 소비하지 않는 전압 비교기를 채용하였고, 자체 개발한 자동 설계 기법을 적용하여 최적화된 연산 증폭기를 설계하였으며, 저항열 DAC에 의한 전력 소비를 제거하기 위해 커패시터 기준 전압 분류기로 대체하였다. 그 결과 ± 2.5 V의 환경에서 약 70 mW의 정전력을 소모했다. 향후 잡음에 대한 정밀한 해석을 통해 커패시터를 스켈링함으로써 전력 소비를 더욱 개선시키거나 변환기 시스템의

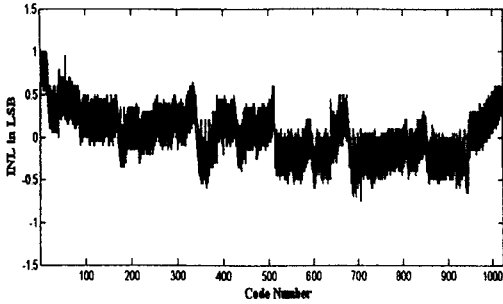


그림 12. 설계된 A/D 변환기의 INL 결과
Fig. 12. Typical INL plot of the designed ADC.

표 1. 설계된 A/D 변환기와 기존의 A/D 변환기와의 특성 비교.

Table 1. Comparison of characteristics between the designed A/D converter and a high performance A/D converter.

	설계된 ADC	기존의 ADC
해상도	10 비트	10 비트
샘플링 주파수	40 MS/s	20 MS/s
DNL	±0.6 LSB	±0.5 LSB
INL	+1/-0.75 LSB	±0.5 LSB
SNDR	56.3 dB	58.7 dB
SDR	67.6 dB	
SNR	56.7 dB	
소비전력	70 mW	35 mW
공급전압	±2.5 V	3.3 V
입력전압	±1.0 V	
공정	1.0 μm n-well CMOS	1.2 μm n-well CMOS

INL 향상에 대한 연구가 지속되어야 한다. 그리고 공급전압의 저전압화 경향에 따라 3.3 V 환경에서 동작하는 고속 A/D 변환기 개발을 추진해야 할 것이다.

참고문헌

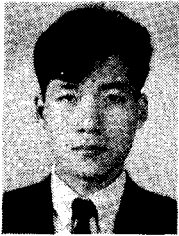
[1] S. H. Lewis and P. R. Gray, "A pipelined 5 *IEEE Solid-State Circuits*, vol. SC-22, pp. 954-961, Dec. 1987.
[2] S. H. Lewis, H. S. Fetterman, F. Gross, Jr. R. Ramachandran and T. R. Viswanathan, "10 b

20 MS/s analog-to-digital converter", *IEEE J. Solid-State Circuits*, vol. 27, pp.351-358, Mar. 1992.
[3] Y.-M. Lin, B. Kim, and P. R. Gray, "A 13-b 2.5 MHz self-calibrated pipelined A/D converter in 3 μm CMOS", *IEEE J. Solid-State Circuits*, vol. 26, pp. 628-636, Apr. 1991.
[4] C. S. G. Conroy, D. W. Cline, and P. R. Gray, "An 8-bit 85-MS/s parallel pipeline A/D converter in 1-μm CMOS", *IEEE J. Solid-State Circuits*, vol. 28, no. 4, pp. 447-454, Apr. 1993.
[5] B. S. Song, M. F. Tompsett, and K. R. Lakshmikumar, "A 12-bit 1-Ms/s capacitor error-averaging pipelined A/D converter", *IEEE J. Solid-State Circuits*, vol. 23, no. 6, pp. 1324-1333, Dec. 1988.
[6] M. Yotsuyanagi, T. Etoh, and K. Hirata, "A 10-b 50-MHz pipelined CMOS A/D converter with S/H", *IEEE J. Solid-State Circuits*, vol. 28, pp. 292-300, Mar. 1993.
[7] B. Razavi and B. A. Wooley, "Design techniques for high-speed, high-resolution comparators", *IEEE J. Solid-State Circuits*, vol. 27, no. 12, pp. 1916-1926, Dec. 1992.
[8] S. Hosotani, et al., "An 8-bit 20-MS/s CMOS A/D converter with 50mW power consumption" *IEEE J. Solid-State Circuits*, vol. 25, no. 1, pp. 1916-1926, Feb. 1990.
[9] B. Razavi and B. A. Wooley, "A 12-b 5 MSample/s two-step CMOS A/D converter", *IEEE J. Solid-State Circuits*, vol. 27, no. 12, pp. 1667-1678, Dec. 1992.
[10] M. Ishikawa and T. Tsukahara, "An 8-bit 50-MHz CMOS subranging A/D converter with pipelined wide-band S/H", *IEEE J. Solid-State Circuits*, vol.24, no. 6, pp. 1485-1491, Dec. 1989.
[11] T. B. Cho and P. R. Gray, "A 10 b 20 Msample/s 35mW pipeline A/D converter", *IEEE J. Solid-State Circuits*, vol. 30, pp.

166-172, Mar. 1995

- [12] W. Song, H. Choi, S. Kwak and B. Song, "A 10 b 20 Msample/s low-power CMOS ADC", *IEEE J. Solid-State Circuits*, vol. 30, no. 5, pp. 514-521, May 1995.
- [13] K. Bult and G. J. G. M. Geelen, "A fast settling CMOS opamp with 90-dB DC gain", *IEEE J. Solid-State Circuits*, vol. 25, no. 6, pp. 1379-1384, Dec. 1988.

著 者 紹 介



李 始 榮

1972년 4월 22일생, 1995년 금오공과대학교 전자공학과 졸업(공학사). 1997년 2월 현재 경북대학교 대학원 전자공학과 석사과정. 주관심 분야 : 아날로그 회로설계. 데이터 변환기 설계.

劉 尙 大

『센서학회지 제 5권 제 4호』 논문 96-5-4-10 참조.
현재 경북대학교 전자전기공학부 부교수.