

논문 97-6-2-05

집적된 수동 소자 변동에 의한 RC 시상수 자동 보정 기법

이 성대*, 홍 국태**, 장 명준***, 정 강민****

Automatic Tuning Architecture of RC Time-Constant due to the Variation of Integrated Passive Components

Sung-Dae Lee*, Kuk-Tae Hong**, Myung-Jun Jang***, Kang-Min Chung****

요 약

집적된 수동소자의 변동에 의한 RC 시상수 변동을 보정하는 on-chip 자동 보정(tuning)회로를 제안된 적분레벨 근사화 기법을 이용하여 설계하였다. 이 방법은 기존의 이중경사 보정회로가 갖는 결점인 미발생 코드 존재와 오류코드 발생을 해결할 수 있으며, 보정코드가 정상적인 동작을 할 때는 고정되기 때문에 집적회로에서 처리되는 신호의 변조를 유발하지 않는다. 이 보정회로는 적분기와 간단한 A/D 변환기 및 디지털 제어 회로로 구성되며, 집적회로내의 모든 커패시터는 커패시터 열로 대체된 후 설정된 RC 시상수를 유지하도록 보정회로에 의해서 프로그램된다. 설계된 자동 보정회로에 의하여 $\pm 50\%$ 의 시상수 변동율을 갖는 집적 시스템의 RC 시상수 오차범위는 4비트 보정코드의 경우 $-9.74 \sim +9.69\%$ 로 측정되었다.

Abstract

In this paper, on-chip automatic tuning circuit, using proposed integration level approximation technique, is designed to tuning of the variation of RC time-constant due to aging or temperature variation, etc.

This circuit reduces the error, the difference between code values and real outputs of integrator, which is drawback of presented dual-slope tuning circuit and eliminates modulations of processing signals in integrated circuit due to fixed tuning codes during ordinary operation.

This system is made up of simple integrator, A/D converter and digital control circuit and all capacitors are replaced by programmed capacitor arrays in this system.

This tuning circuit with 4 bit resolution achieves $-9.74\% \sim +9.68\%$ of RC time constant error for 50% resistance variation.

1. 서 론

* 안산공업전문대 전자과 (Ansan Technical College Dept. of Electronics)

** LG 종합기술원 INNOVATION 센터 (LG Corporate Institute of Technology)

*** LG 반도체 (LG Semiconductor)

**** 성균관대학교 전자공학과 (Sungkyunkwan Univ. Dept. of Electronic Engineering)

<접수일자 : 1996년 10월 21일>

집적회로내에 수동소자가 포함될 때, 공정 오차, 온도 변화, 노화 등과 같은 요인으로 인하여 전체 회로의 동작에서 오차가 발생할 수 있다. 현재의 VLSI 기술로는 $\pm 50\%$ 정도의 RC 시상수 오차를 발생시킬 수 있다고 보고되고 있다. 설정된 수동소자 값으로부터 변동된 수동소자값은 전체 회로의 사양을 변형시킬 수 있으며, 이를 방지하기 위해서는 변동된 수동소자의 값

을 보정해주는 기법이 요구된다. 특히, 집적된 RC 액티브 필터의 경우에는 수동소자값의 변동은 RC 시상수에 의해 결정되는 차단주파수를 변화시키므로 이를 보정해야 한다.

지금까지 제시된 기법에는 전압 가변저항(triode-mode MOS 트랜지스터)등을 사용하거나^[1,2], 보정이 가능한 트랜스컨덕터들을 사용하여^[3,4], 이러한 변동 성분을 보정해 주었다. 그러나 이러한 구조들에서, 보정을 위한 회로구조는 신호의 왜곡원으로서 기여하며 비이상적인 특성과 디바이스 부정합(mismatch)에 의해서 제한되어지기 때문에 잡음 레벨은 -65dB 이상이다. 참고문헌 [5]에서는 집적된 RC 액티브 필터의 잡음레벨을 90dB 이하로 유지하는 이중경사 보정(dual-slope calibration tuning)회로를 이용한 보정기법을 소개하였다. 그러나, 발생한 보정코드로는 정확한 보정을 할 수 없으며, 보정을 위한 커패시터열의 소자값을 선택하는데 있어서도 오류가 발견된다.

본 논문에서는 적분 레벨 근사화(integration level approximation)기법을 이용한 보정회로를 제안한다. 이 방법은 기존의 이중경사 보정회로가 갖는 결점인 코드 값과 실제 적분출력 값 사이의 큰 오차를 줄일 수 있다. 또한 이 보정방법은 보정코드가 정상적인 동작을 할 때는 고정되기 때문에 집적회로에서 처리되는 신호의 변조를 유발하지 않는다. 이 보정회로는 적분기와 간단한 A/D 변환기 및 디지털 제어회로로 구성되며, 집적회로내의 수동소자는 수동소자열로 대체된 후 설정된 RC 시상수를 유지하도록 보정회로에 의해서 프로그램된다.

2. 수동소자

집적된 수동소자들은 여러 환경요인에 따라 설정된 값을 벗어날 수 있으며, 주된 원인은 공정오차, 온도 의존성 및 전압 의존성에 의한 것이다.

기본적으로 CMOS 공정상에서 구현 가능한 커패시터는 2가지 형태가 있다. 첫 번째 형태는, 결정(crystalline) 실리콘상에서 한 유전층, 즉 산화(dioxide) 실리콘층으로 분리된 전도층(금속 또는 폴리실리콘)을 이용하여 형성된다. 두 번째 커패시터 형태는 한 유전체로 분리된 두 개의 전도층(금속이나 폴리실리콘)으로 형성된다. 일반적으로, 이런 형태의 커패시터를 사용하는 공정에서는 산화 실리콘으로 분리된 두 개의 폴리실리콘층을 이

용한다. 집적된 커패시터들의 전압 계수는 (-)이고, 일반적으로 커패시터 상·하판내의 도핑농도에 의존하여 -10 ~ -200ppm/V의 범위에 있다. 커패시터의 온도 계수는 20 ~ 50ppm/°C의 범위를 가진다.^[8]

실제 집적되고 있는 수동소자 중에서는 특히 저항이 커패시터보다 여러 요인에 의한 소자값 변동이 크다. 이들 저항의 전압계수는 (+)이고, 100 ~ 20kppm/V의 범위에 있다. MOS 기술을 이용하여 저항을 집적화하는 방법으로는 크게 수동저항 및 능동저항으로 구분할 수 있다. 수동소자로 저항을 구현하는 방식은 그 재질에 따라 이온주입(ion-implanted)저항, 핀치(pinched)저항, 폴리실리콘(polysilicon)저항 등으로 구분할 수 있다. 집적 저항은 선형성, 면적, 바이어싱 복잡도, 온도 특성들 사이에서 어느 정도의 trade-off 를 통해서 실제 사용될 구조를 선택한다. 각 저항의 구현방법에 따라 최소 5%에서 최대 50%까지 절대 저항값이 변화하며, 400ppm/°C ~ 10kppm/°C 범위의 온도계수 및 100 ~ 20kppm/V 범위의 전압계수를 갖는다. 상대적으로 커패시터는 보다 정확하게 구현될 수 있다. 구현 가능한 두 커패시터의 온도계수는 25ppm/°C이며, 폴리/폴리 커패시터의 경우에는 -50ppm/V, MOS 커패시터의 경우 -20ppm/V의 전압계수를 갖는다.

3. On-chip RC 시상수 보정 회로의 설계

집적된 수동소자의 절대값 변동은 시스템의 특성을 변화시킬 수 있다. 예를 들면, 아날로그 RC 액티브 필터의 경우는 RC 시상수가 필터의 차단 주파수를 결정하기 때문에 원하지 않는 신호성분이 출력에 나타날 수도 있다. 본 논문에서는 액티브 필터의 경우를 가정하여, 환경요인에 상대적으로 적은 변동을 가지는 커패시터의 스윕칭에 의하여 수동소자 변동분을 보정하는 기법을 제시한다. 이 기법으로 설계되는 회로는 칩상에 주 회로인 액티브 필터와 함께 집적될 수 있으며, 다른 보정기법들과는 달리 전체 필터 회로에 왜곡을 발생시키지 않는 특성을 가진다. 본 논문에서는 ±50%의 집적 저항소자 변동을 가정할 때, ±10%내의 RC 시상수가 유지되도록 하였다.

3.1 커패시터 열

보정을 가능하게 하기 위해서는 액티브 필터 구조 내에 존재하는 수동소자는 같은 종류의 프로그램 가능

한 열들로 대체되어야 한다. 병렬 커패시터열은 다른 종류의 수동소자 열들(즉, 직렬 커패시터열, 병렬 저항열, 직렬 저항열)에 비해 전압의존도 및 면적과 주파수 범위면에서 장점을 가지고 있다^[6].

본 논문에서는 기본적으로 [5]의 보정기법에서 사용된 병렬 커패시터열을 사용하였다. [그림 1]은 [5]의 보정기법에서 사용된 커패시터열 및 보정기법의 기본 원리를 나타내었다. 커패시터열을 스위칭해주는 스위치로는 동작범위가 단일 MOS 스위치보다 큰 CMOS 스위치를 사용하였고, 또한 최소 게이트 길이를 사용하여 작은 기생 커패시턴스와 저항값을 보장하였다.

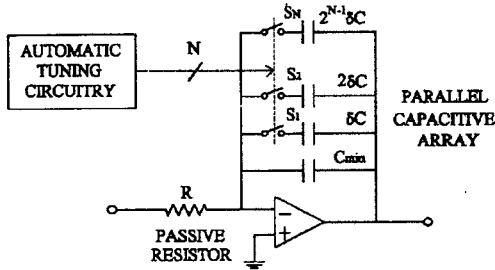


그림 1. 시상수 보정 회로를 가지는 적분기
Fig. 1. Integrator with RC tuning circuit

커패시터열의 각 커패시터 값은 적분기에 사용된 저항값 및 필터 회로내의 커패시터값에 의하여 결정된다. 본 논문에서 사용된 적분기 저항값은 2.75MΩ이며, 필터 회로내 커패시터값을 40pF으로 가정하였고, 설정된 RC 시상수 값은 $1.1 \times 10^9 \Omega \cdot F$ 이다. $\pm 50\%$ 의 저항값 변동에 의하여 적분기 저항값은 1.375 ~ 4.125MΩ까지 변화될 수 있으므로, 커패시터 열은 스위칭에 의하여 26.27 ~ 80pF까지 선택될 수 있어야 한다. 다음에 설명되겠지만, 적분 레벨변화는 (+)변동 및 (-)변동에서 서로 다른 쪽으로 분포되므로 이러한 변동 방향에 따라 서로 다른 C_{min} 값 및 커패시터들이 요구된다. [5]에서는 이러한 사실이 무시되었다. 교정된 커패시터열에서는 [그림 2]와 같이 보정코드의 MSB에 따라 총 8개의 커패시터열중 4개의 커패시터에 대하여 스위칭을 행하게 된다. $\pm 10\%$ 이내의 RC 시상수 오차를 유지하기 위해서 선택된 각 커패시터 값은 (+)변동에 대해 반응하며 각각 26.67, 6.67, 3.33, 1.67pF이며, (-)변동에 대해 반응하는 커패시터들은 각각 40, 20, 10, 5 pF의 값을 가진다. 이 커패시터들은 다음에 설명될 기법에 의하여 발생된 보정코드에 의하여 스위칭된다.

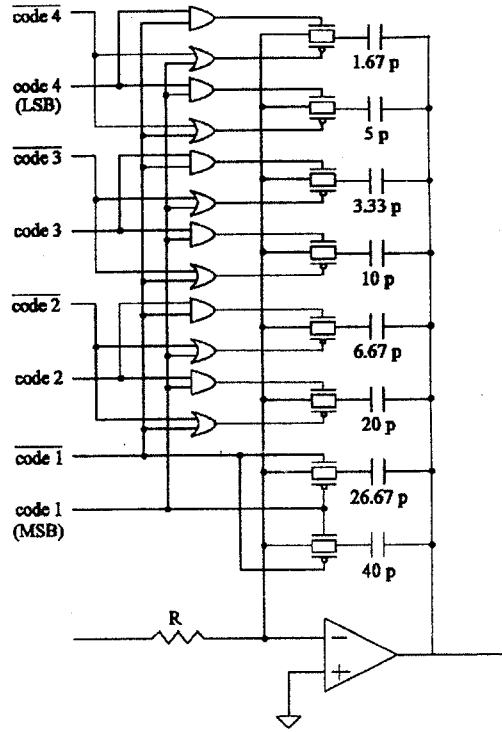


그림 2. 교정된 커패시터열
Fig. 2. tuned capacitor array

3.2 적분 레벨 근사화 보정기법

V_{REF} 를 입력으로 하고, R_0 및 C_0 로 구성된 적분기의 일정시간 T 후의 전압값은 다음 식으로 나타낼 수 있다.

$$V_0 = \frac{-V_{REF} T}{C_0 R_0} \tag{1}$$

RC 시상수 변동에 의한 적분 파형을 일정 시간에서 관찰하여 보면 [그림 3]과 같은 특성을 나타내게 된다. [그림 3]은 2.65V를 입력으로 하는 적분레벨의 한 예로서 각각 $C_0=1pF$, $R_0=2.75M\Omega$ 의 값을 가지고 5μs부터 적분을 시작할때, RC_{nom} 으로부터 $\pm 6.25\%$ 씩 $\pm 50\%$ 까지 RC 시상수 변동에 의한 각각의 적분파형이다. 그림에서 보듯이, 식 (1)에 의해 (+)쪽의 RC 시상수 변화에 의한 변화는 전체 적분 레벨 분포에서 25%만을 차지하며 나머지 75%는 (-)쪽의 RC 시상수 변화에 의해 나타난다. [5]의 이중경사 보정기법에서는 이러한 레벨 분포가 무시되어 있다. 즉, -50%에서 +50%까지의 변동에 의한 전체 적분 레벨 간격을 보정

코드의 갯수로 나누어 균등한 레벨 분포를 기준으로 보정코드가 부여됨으로서 보정된 RC 시상수의 오차는 보고된 오차보다 훨씬 큰 오차를 가지게 된다. 본 논문에서는 실제적인 RC 시상수 변동에 의한 실제의 전압 레벨 분포를 기준 전압으로 하여 각 시상수 변동분에 대한 실제적인 보정코드를 생성하도록 하는 적분 레벨 근사화 보정 기법을 제안한다.

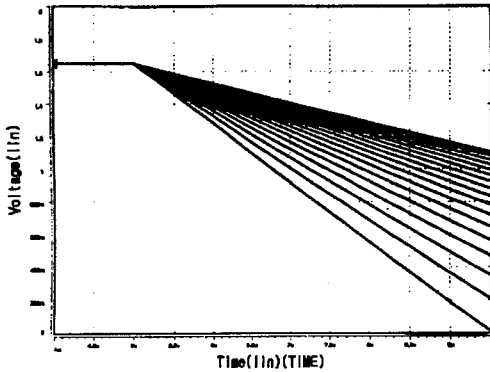


그림 3. $\pm 50\%$ RC 시상수 변동에 의한 적분 파형
Fig. 3. Integrating wave dues to $\pm 50\%$ RC time constant variation

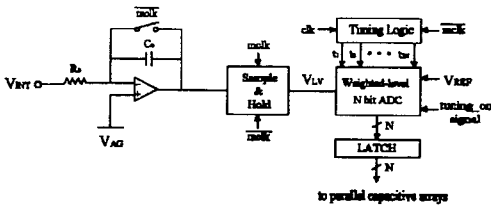


그림 4. 적분레벨 근사화 보정기법
Fig. 4. Integration leve approximation tuning technique.

[그림 4]는 본 논문에서 사용된 적분레벨 근사화 보정기법에 대한 전체 회로 블록이다. 전체 회로는 시상수의 변화를 측정하는 적분기, 변화된 시상수를 유지해주는 S/H 증폭기, 적분 레벨 분포에 따른 코드를 산출하여 주는 A/D 변환기 및 간단한 디지털 블록등으로 구성되어 있다.

[그림 3]에서 $5\mu s$ 부터 적분을 시작한 후, RC_{min} 시상수에 의한 적분값이 0V에 도달하였을때 각각의 시상수에 대한 적분전압레벨들은 보정코드 생성을 위한

기준전압 레벨로 선택되고, 보정회로는 어떠한 RC 시상수로부터 이 적분기간(약 $4.513\mu s$)후의 전압값을 유지한 후 각 기준 전압레벨들과 비교하여 보정코드를 생성하게 된다. N비트 보정코드 산출을 위해서는 N비트 분해능의 A/D 변환기가 요구된다. 본 논문에서는 4비트 보정코드를 생성하는 보정회로를 설계하고자 한다. 이를 위해서는 4비트 A/D 변환기가 요구되며, 연속 근사화 기법을 이용하여 구현하였다.

3.3 적분 레벨에 따른 코드 생성을 위한 A/D 변환기

[그림 5]는 RC 변동에 의한 각 전압레벨 및 4비트 보정코드 생성을 위해 사용되는 A/D 변환기의 레벨 결정을 위해 사용된 각 기준레벨을 도시한 것이다. 이를 기준으로 연속 근사화 기법(successive approximation)을 응용한 4비트 A/D 변환기를 구현하였다. 기본적으로 이 구조는 2진 가중치 커패시터가 병렬로 연결된 형태이지만, 본 논문에서는 적분 전압레벨이 서로 다른 간격을 가지므로, 해당되는 모든 적분레벨이 구현되도록 적당한 가중치를 부여한 구조로 전환하였다. [그림 6,7]에 이러한 구조를 이용한 A/D 변환기 및 선형특성을 제시하였다.

[그림 8 (a),(b),(c)] 는 각각 RC_{max} , RC_{nom} , RC_{min} 일때 보정코드 0000, 1000, 1111 를 생성하는 비교기 입력점에서의 파형 및 [그림 8(d)] 는 보정코드 1111 발생 경우의 타이밍도를 도시한 것이다.

RC 시상수 변동	적분 전압 레벨	적분 레벨 근사화 (4 bit)	4 bit 보정코드
+50.00%	1.1000 V (100%)	100.0%	0000
+43.75%	1.0761 V (97.83%)	97.5%	0001
+37.50%	1.0500 V (95.45%)	95.0%	0010
+31.25%	1.0214 V (92.85%)	92.5%	0011
+25.00%	0.9900 V (90%)	90.0%	0100
+18.75%	0.9553 V (86.85%)	87.5%	0101
+12.50%	0.9167 V (83.34%)	82.5%	0110
+6.25%	0.8735 V (79.41%)	80.0%	0111
0%	0.8250 V (75%)	75.0%	1000
-6.25%	0.7700 V (70%)	70.0%	1001
-12.50%	0.7071 V (64.28%)	65.0%	1010
-18.75%	0.6346 V (57.69%)	57.5%	1011
-25.00%	0.5500 V (50%)	50.0%	1100
-31.25%	0.4500 V (40.91%)	40.0%	1101
-37.50%	0.3300 V (30%)	30.0%	1110
-43.75%	0.1833 V (16.66%)	17.5%	1111
-50.00%	0.0000 V (0%)	0%	

그림 5. 4 비트 보정코드 생성을 위한 근사화 레벨
Fig. 5. Approximation level for 4 bit tuning code.

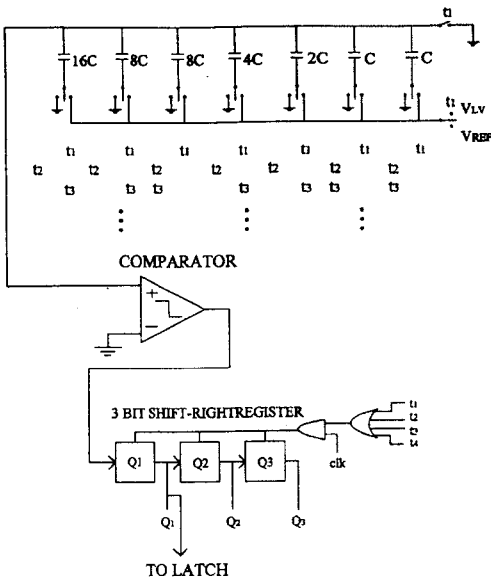


그림 6. 가중치 커패시터를 이용한 4 비트 ADC
Fig. 6. 4-bit ADC using weighted capacitors.

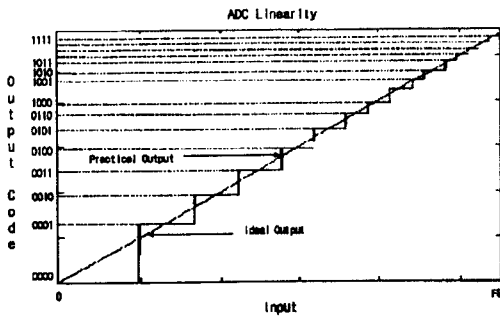
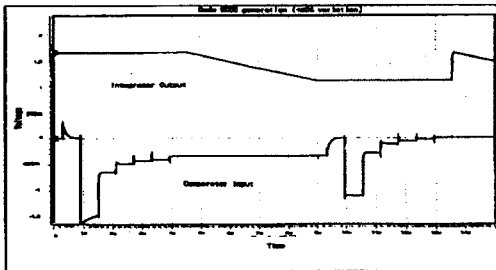
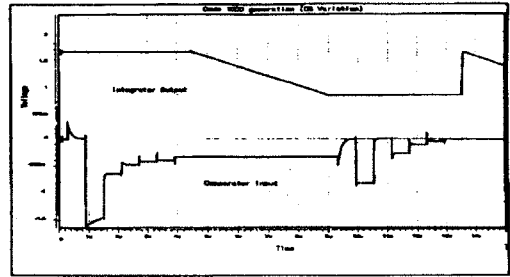


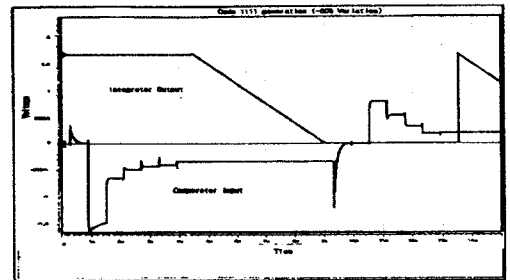
그림 7. 4 비트 ADC의 선형특성
Fig. 7. Linearity characteristics of a 4-bit ADC



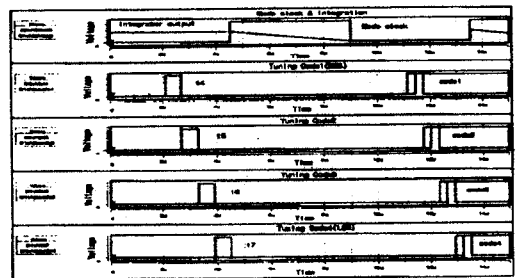
(a) 코드 0000 발생 (RC_{max})



(b) 코드 1000 발생 (RC_{nom})



(c) 코드 1111 발생 (RC_{min})



(d) 코드 1111 발생 (타이밍도)

그림 8. 시상수 변동에 따른 비교기 입력전압 레벨 변화

Fig. 8. Comparator input voltage variation according to time-constant varying

4. 실험결과

제시된 보정기법을 [그림 9]의 2차 바이쿼드 RC 액티브 필터^[7]에 적용하여 차단주파수 변화를 관찰하였다. 이 필터는 이득 1, 차단주파수 28kHz를 갖는 버터워스 저역통과 필터로서 결정된 소자값은 $R1 = 100.48 \text{ k}\Omega$, $R2 = R3 = R4 = 142.10 \text{ k}\Omega$, $R5 = R6 = 1 \text{ k}\Omega$, $C1$

= C2 = 40pF이다. 이 그림에서 모든 커패시터(C1, C2)는 보정코드에 의하여 스윗칭되는 [그림 2]의 커패시터열로 대체된다.

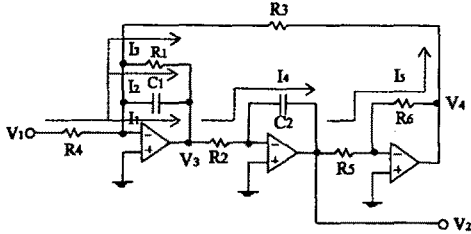
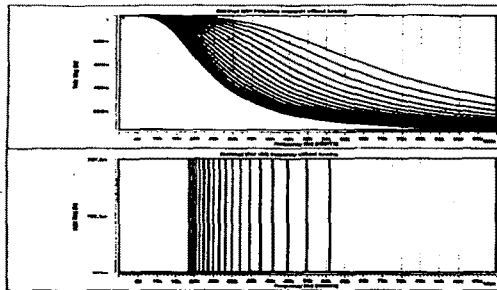


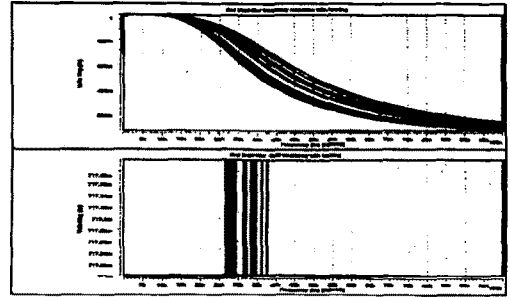
그림 9.2 차 바이쿼드형 필터
Fig. 9. Second order biquard Filter

[그림 10]은 $\pm 50\%$ 의 RC 시상수 오차를 가정하였을 때, 0000부터 1111까지의 보정코드 대표값에 대한 차단주파수 변화를 보여준다. 각각의 경우에서 위쪽 그림은 주파수 응답 곡형을 보여주며, 아래쪽 그림은 -3dB 차단주파수의 변동 분포를 보여준다. (a)는 보정하지 않은 경우이며, (b)는 [5]에서 채택한 커패시터열을 사용한 경우이며, (c)는 제안된 기법에 [그림 2]의 교정된 커패시터열을 사용한 경우이다. 설정된 28kHz 차단주파수에 대한 변동은 (a)의 경우 18.7 ~ 56kHz (-33.2 ~ +100%)이고, (b)의 경우 26.8 ~ 37.6kHz (-4 ~ +34.3%)이며, (c)의 경우 25.6 ~ 29.9kHz (-8.6 ~ +6.8%)로 측정되었다.

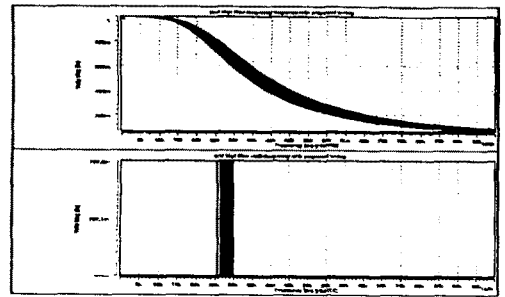
$\pm 50\%$ 의 RC 시상수 오차를 가정하였을 때, 제안된 보정기법에 의한 RC 시상수 변화는 상대적으로 시상수 변동이 큰 (-)변동에서 주로 나타나며, 오차범위는 -6.25 ~ +12.5%로 측정되었다. 목표로 한 $\pm 10\%$ 의



(a)



(b)



(c)

그림 10. 대표 보정코드에 대한 차단주파수 변화 비교
Fig. 10. Cut-off frequency comparison for some tuning code

시상수 오차범위를 실현하기 위하여 (-)변동에 의해 스윗칭되는 $C_{min(-)}$ 의 값을 [그림 11]과 같이 조정하여 목표 오차범위내로 쉬프트시킬 수 있다. 이로부터 시상수 오차 범위는 -9.74 ~ +9.69%가 된다.

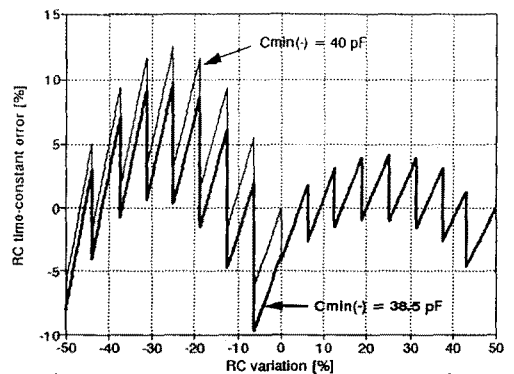


그림 11. 보정된 RC 시상수 오차
Fig. 11. Tuned RC time-constant error

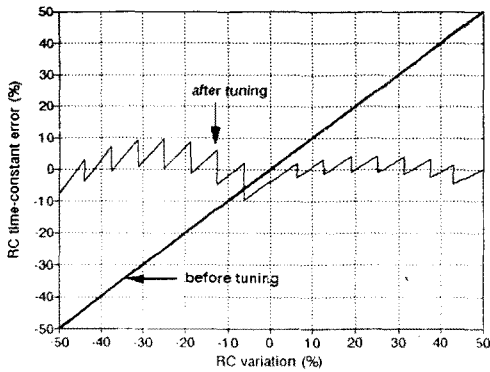


그림 12. 적분레벨 근사화 기법을 이용한 RC 시상수 보정 결과

Fig. 12. Result of RC time-constant tuning using integration level approximation

5. 결론

집적된 수동소자의 변동에 의한 RC 시상수 변동을 보정하는 on-chip 자동 보정회로를 제안된 적분레벨 근사화 기법을 이용하여 설계하였다. 이 회로는 이중 경사 보정회로가 가지는 모든 장점을 수용하며, 이 보정회로의 단점인 오류코드 및 미발생 코드 가능성을 제거하였다. 이는 실제 적분 출력전압의 근사값을 보정코드 발생을 위한 기준 레벨로 설정함으로써 가능하였다. 또한, 보정을 위한 커패시터열의 소자값을 선택하는데 있어 발견된 오류를 수정하였다.

설계된 자동 보정회로에 의하여 $\pm 50\%$ 의 RC 시상수 변동율을 가지는 집적 시스템의 RC 시상수는 $\pm 10\%$ 이내의 오차를 가지게 된다. 실험 결과, 4비트 보정코드를 사용할 경우 RC 시상수 오차는 변동율 $\pm 50\%$ 일 때 $-9.74 \sim +9.69\%$ 로 측정되었다[그림 13]. 더 정밀한 오차 범위를 얻기 위하여는, 제안된 기법을 이용하여 5비트 이상의 보정코드 생성회로 쉽게 확장시킬 수 있으며, 보정코드 비트수를 증가시킬수록 더욱 정밀한 범위의 RC 시상수 오차를 얻을 수 있다.

6. 참고문헌

- [1] Y. Tsvividis, M. Banu, and J. Khoury "Continuous-time MOSFET-C filters in VLSI," IEEE Trans. Circuits Syst., vol. CAS-33, pp. 125-139, Feb. 1986.
- [2] M. Banu and Y. Tsvividis, "An elliptic continuous-time CMOS filter with on-chip automatic tuning," IEEE J. Solid-State Circuits, vol. SC-20, pp. 1114-1121, Dec. 1985.
- [3] J. Pennock, P. Frith, and R. Barker, "CMOS triode transconductor continuous-time filters," in Proc. IEEE Custom Integrated Circuits Conf., pp. 378-381, 1986.
- [4] F. Krummenacher and N. Joehl, "A 4MHz CMOS continuous-time filter with on-chip automatic tuning," IEEE J. Solid-State Circuits, vol. 23, pp.750-758, June 1988.
- [5] A. Durham, W. Redman-White, "High-Linearity Continuous-Time Filter in 5-V VLSI CMOS," IEEE J. Solid-State Circuits, vol. 27, pp. 1270-1276, Sept. 1992.
- [6] A. Durham, J. Hughes, and W. Redman-White, "Circuit Architectures for High Linearity Monolithic Continuous-Time Filtering," IEEE Trans. Circuits Syst.-II, vol. 39, pp. 651-657, Sept. 1992.
- [7] L. Thomas, "The biquad: Pt. 1 - Some practical design considerations," IEEE Trans. Circuit Theory, vol. CT-18, pp. 350-357, Mar. 1971.
- [8] P.Allen, D.Holberg, *CMOS Analog Circuit Design*, : Newyork : Holt, Rinehart and Winston. Inc., 1987.

 著 者 紹 介



이성대

1987년 2월 성균관대학교 전자공학과 졸업(공학사), 1991년 2월 성균관대학원 전자공학과 졸업(공학석사), 1995년 2월 성균관대학원 전자공학과 졸업(공학박사), 1995년 3월 ~ 현재 안산공업전문대학 전자과 전임강사, 관심분야 : 저전력 고속 A/D D/A 변환기, 저전압 회로 설계 On-chip VLSI 소자 변동 보정기법.



홍국태

1992년 2월 성균관대학교 전자공학과 졸업(공학사), 1994년 2월 성균관대학원 전자공학과 졸업(공학석사), 1997년 2월 성균관대학원 전자공학과 졸업(공학박사), 1997년 1월 ~ 현재 LG 종합기술원 INNOVATION 센터 선임연구원, 관심분야 : 저전력 CMOS VLSI 회로, DSP 프로세서 $\Sigma\Delta$ A/D 및 D/A 변환기



장명준

1995년 2월 성균관대학교 전자공학과 졸업(공학사), 1997년 2월 성균관대학원 전자공학과 졸업(공학석사), 1997년 2월 ~ 현재 LG 반도체 근무, 관심분야 : $\Sigma\Delta$ modulator, 디지털 PLL.



정강민

1971년 2월 서울대학교 학사(공학사), 1976년 2월 미국 텍사스 주립대학 석사(공학석사), 1979년 2월 미국 텍사스 주립대학 박사(공학박사), 1979년 ~ 1983년 미국 AT & TV Bell 연구소 연구원, 1983년 ~ 1985년 미국 Sperry Computer System 고문, 1985년 ~ 현재 성균관대학교 전자공학과 교수, 관심분야 : 저전력 고속 A/D 및 D/A 변환기, Analog VLSI 설계.