

# 고속 DRAM신기술 “SyncLink” 동향

## 1. 고속 DRAM의 필요성

### - SyncLink DRAM의 등장

최근 초고속 RISC Processor의 개발, Intel사의 고속 Pentium Processor의 개발등으로 엔지니어링 워크스테이션(EWS)이나 퍼스날 컴퓨터(PC)등의 컴퓨터 분야에서는 Microprocessor의 동작 주파수가 100MHZ를 넘어 200~300MHZ 시대를 맞이하고 있다.

그러나 DRAM은 종전의 최고 속도 35MHZ의 Fast Page Mode에서 Extended Data Output Mode 이용으로 50MHZ까지 도달하였고, Synchronous DRAM 도입으로 66MHZ에서 최고 100MHZ까지 동작이 구현 가능할 것으로 예측된다.

이와 같이 Microprocessor와 Main Memory간의 동작 속도 차이의 심화에 의해 DRAM의 속도가 System Performance 향상의 Bottleneck이 되고 있다.

또한, Graphics 분야에 있어서도 Graphic User Interface (GUI)의 고속화와 더불어 고해상도, Multi-color Display 시스템이 증가하고 있다. Graphics 시스템에서 필요한 Data 전송 속도는, 200MB/sec.~300MB/sec.가 요구되며, 화상기능이 추가되면 300~400MB/sec.나 되는 고속 Bandwidth를 요구하게 된다.

이와 같이 초고속 Microprocessor의 개발 및 고해상, Multi-color에 의해 Graphics 시스템의 요구를 배경으로 SRAM Cache를 내장한 Cache

안승환 부장  
현대전자(주) 메모리연구소

주) Rambus사의 Trade Mark임  
IEEE SyncLink Consortium의 Trade Mark임

DRAM(Mitsubishi), Multi Bank DRAM(Mosys), Enhanced DRAM(Ramtron)등의 Niche Market을 Target으로한 새로운 기능의 DRAM, 차세대 Main Memory 및 Graphic Memory로 각광을 받고 있는 Synchronous DRAM(이하 SDRAM)등이 개발되어 이미 일부 System에 채택되어 사용중이다.

또한 1998년 이후 현재의 DRAM의 Bandwidth 한계를 인식하여 새로운 개념의 DRAM이 제안개발중에 있다. 제일 먼저 미국의 Rambus사는 IEEE의 RAMLINK Interface를 개량하여 500MB/sec.의 Rambus DRAM(이하 RDRAM)을 개발하여 시장 개척중이나, 폐쇄적인 Business, License, Loyalty 요구 및 Sub-system 설계의 제약등으로 시장 확대의 한계성이 있다. 이에 현대전자가 IEEE의 RAMLINK Interface를 이용하여 DRAM 공급자와 사용자가 합의한 Open Spec을 기준으로 한 500MB/sec.~2GigaB/sec.의 Bandwidth를 갖는 새로운 DRAM인 "SyncLink DRAM(이하 SLDRAM)개발을 위한 Consortium을 구성하여 동 제품을 회원사가 동시에 개발진행중이다.

## II. 왜 SyncLink이어야 하는가?

앞에서 언급한 Microprocessor의 고속화, Graphics의 고속/대용량화 등에 따른 Microprocessor와 메모리간의 Data 전송문제(Bus의 병목현상 등)를 해결하기 위해 SDRAM, RDRAM, SLDRAM 등이 등장된다. SDRAM 역시 종래의 DRAM보다 고속의 데이터 전송속도를 제시하고 있지만 근본적으로 Data Interface의 한계가 있기에 최대로 증가시킬 수 있는 Bandwidth의 한계가 있으며 데이터 수를 32Bit로 하였을때 최대 100MHz 동작에서 400MB/sec.의 전송속도를 나타내게 된다.

한편 또다른 고속 소자로 RDRAM이 제공된다. 이는 Data Bus를 9Bit로 하여 매 2ns마다 Data를 보내어 500MB/sec.의 Data 전송속도를 이룬다. 그러나 이를 위하여 RDRAM과 Controller사이의 Interface를 Rambus Logic Interface라는 방식으로 제한시키며 신호가 오가는 통로인 Rambus Channel에 대해서도 Rambus에서 제공하는 Spec.에 따르도록 강요하게 된다. 이에 따라 Rambus 시스템은 User에 의한 새로운 디자인이나 수정이 불가능하고 오로지 Rambus에서 제시하는 Spec.에만 따르게 되는 Rambus 종속 현상을 나타내는 불행이 발생한다.

따라서 앞에서 언급된 문제점에 대한 새로운 해결책으로 SyncLink가

대두된다. SyncLink는 기존의 IEEE의 고속 Data Interface를 위한 RamLink 분과에서 RamLink Protocol을 IC 메모리 응용에 적합하도록 일부를 이어받아서 출발되었다. SyncLink는 Data 수를 16비트를 기본으로 하여 시스템의 필요에 따라 SyncLink DRAM을 32/64/128 Bit로의 Data 수의 확장이 용이하며, 또한 SyncLink DRAM을 병렬로 연결하면 같은 Data I/O Bit에 대하여 메모리 용량을 쉽게 Giga Byte까지 높여 시스템의 Granularity를 올리게 되며 새로운 Architecture에 의해 DRAM의 동작속도를 종래의 10배 이상으로 올려 500MB/sec.~2GB/sec.로 한다는 것이다. 또한 모든 사용자들에게 Open Spec. 화하여 공유하게 함으로써 기술의 발전을 꾀하고 있다. 이에따라 500MB/sec. 이상의 Bandwidth을 실현할 수 있어 시스템의 소형화가 가능하다. 또 Interface를 표준화하고 범용 DRAM과 동일 Process화하는 표준적인 기술의 채용으로 비교적 저가격으로 고성능 시스템의 구축할 수 있는 환경을 제시하고 있다.

### III. SyncLink란 무엇인가?

그러면 SyncLink 시스템이 500MB/sec.이상의 밴드폭을 실현하기 위한 기술을 알아본다.

#### 1) SyncLink Bus(Bus Physics)

SyncLink 시스템은 250MHz 이상의 Clock 주파수를 사용하며 그 상승, 하강에 동기하여 500MB/sec.~2GB/sec.의 Data를 전송한다. SyncLink 시스템은 Master로 되는 SyncLink Controller, Slave로 되는 SyncLink DRAM으로 구성되어 있으며 확장을 위한 Socket, Module등도 규격화하고 있다.

500MB/sec.의 전송속도를 갖는 SyncLink Bus는 직선적으로 Layout되는 Bus이며 Address/Command군 Bus와 Data군 Bus로 분리되어 있으며 Controller와 첫번째 SyncLink DRAM과의 거리는 일반적으로 5cm이며 최저 2cm에서 최대 20cm까지 변하게 된다.

#### • SyncLink Bus의 특징

이와 같은 고속시스템에서 전송속도는 분포정수 회로로 취급해야 하며, 이 때문에 Synlink Bus로 Loop-Back Bus 방식, 선로의 특성 임피던스로 종단된 Bus, 소진폭 Interface등을 규정하고 있다.

a) Loop-Back Bus

Synlink 시스템의 Bus는 (그림 1)에 나타난 바와 같이 Loop로 분배되고 있다. Bus는 Master에서부터 먼곳으로 향하는 상방향 Bus와 Return하여 먼곳에서 Master로 향하는 하방향 Bus가 하나의 Bus로 구성되는 Loop-Back Bus이며 상방향 Bus와 하방향 Bus가 PCB상의 다중층을 이용 각각 다른 층을 사용하도록 하는 Cross-Plane 구조를 사용한다.

한편, Synlink Bus에서 고속 Clock은 Master에서 Slave로만 전달되는 Address/Command군에 속하는 단방향 Bus이며, Master와 Slave간에 Data를 전달하기 위한 Data Bus는 Slave에 Data를 저장할 때는 Master와 Data출력단에서 Slaved의 Data입출력단으로 향하는 방향으로 Data Bus를 타고 Master의 Data 입력단으로 들어오는 방향으로 되며 양방향 Bus이다. 즉 Data Bus와 Slave 사이는 Data가 오가는 양방향 동작이 이루어지는 것이다. 따라서 Slave에 Write할 때는 Address/Command Data가 동일 시간에 같은 방향으로 전달되므로 Skew를 최소화하며, Read일때는 Master에서 제일 가까운 Slave가 가장 긴 Data Read Path를 갖게되고 Master에서 제일 먼 Slave는 가장 짧은 Data Read Path를 갖게되어 항상 모든 Slave에서 나오는 출력 Data가

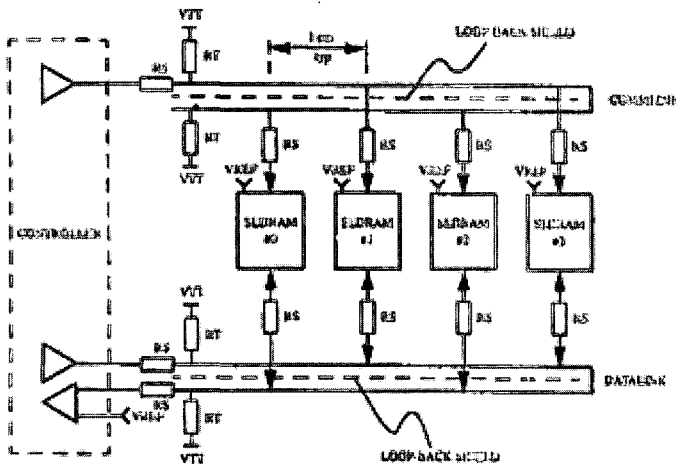


그림1. Synlink 시스템 구성도

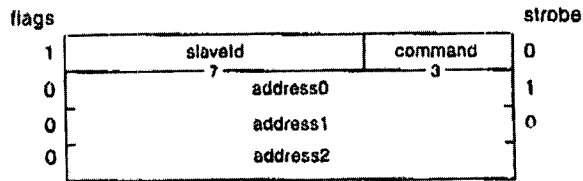


그림2. SyncLink Request Format

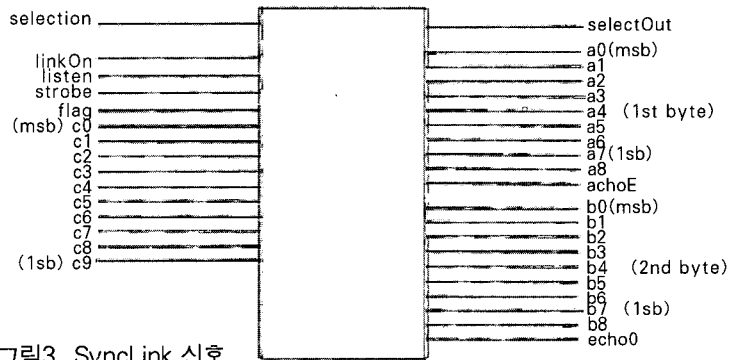


그림3. SyncLink 신호

Master Data입력단에 동일 시간에 입력되도록 하여 Read Skew 역시 최소화 했다.

b) 임피던스 제어된 신호선

SyncLink Bus내에서 250MHZ이상으로 동작하는 것은 Address/Command군의 C0~C9와 Data Bus군의 A0~A8/B0~B8과 FLAG및 LISTEN등의 고속신호선과 CLOCK이다.

(그림 1)과 같이 고속 신호선은 국제 반도체 규척 표준 회의인 JEDEC에서 승인된 SSTL이라는 Interface방식에 의해 고속 신호선의 한쪽은 저항을 거쳐 Master에 연결되고 다른 끝은 전송로의 임피던스와 등가인 저항으로 종단하여 반사를 억제한다.

이러한 고속 신호선들은 기준전압(Reference Voltage : Vref)을 중심으로 +200mV의 소진폭 Inreface Level을 사용하고 있다. 신호의 소진폭화에 의해 신호의 상승/하강 시간을 단축하고 동시에 노이즈를 억제하고 있다.

• Protocol에 의한 Data Access방식

Synclink DRAM의 동작제어는 Address/Command인 C0~C9, FLAG, LISTEN, LINKON에 의해 최대 2ns의 사이클로 Serial제어

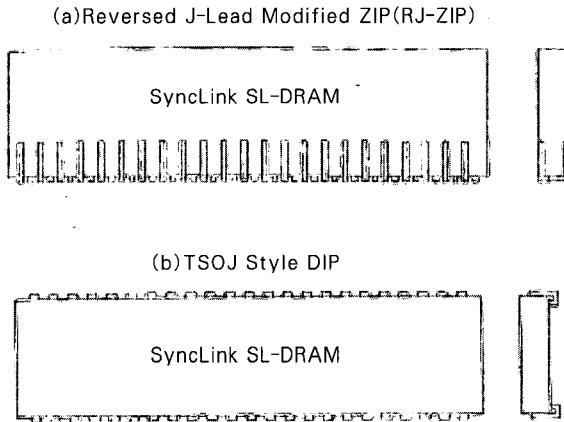


그림4. SyncLink DRAM Package

Data를 송신하는 Protocol Data Access 방식으로 하고 있다.

이 Protocol은 Request, Data Packet으로 구성되며 (그림 2)에 Request Packet의 Format을 나타낸다. Read동작의 경우 Master로부터 DRAM ID (DRAM번호), Bank 및 Row/Column Address를 지정한 Request Packet이 Synclink Dram에 전송되고 이에 대해 Synclink DRAM으로부터 Data Packet과 CLOCK이 Master에 전송된다. Synclink Bus에 접속된 Synclink DRAM은 각각 이 Protocol을 해독하고 동작한다. 이 때문에 선택신호와 같은 개별의 신호는 사용하지 않으며 제어신호는 모든 Synclink DRAM에 공통으로 접속되고 메모리 세대에 의한 용량의 변화에 대해서도 동일한 Package Pin Layout이 가능하다.

(그림 3)은 Synclink DRAM에서 사용되는 신호들이다. Address/Command군 C0~C9와 Data군 a0~a8/b0~b8 및 제어신호들이 있다. (그림 4)는 Synclink Dram에 사용되어질 Package사양이다. Package는 크게 두종류로 사용되어질 전망이며 아직 Package에 대한 규격은 결정되지 않은 상태이다.

## 2) Synclink DRAM

Synclink DRAM은 Data Width가 16/18비트의 64M 제품군부터 시작되고 있다. 그러면 Synclink DRAM의 특징을 알아보자.

- Synclink DRAM은 Multi-bank 동작을 한다. 따라서 각각의 Bank가 독립적으로 동작하기에 Hit Ratio(히트륨)이 높게 된다.
- 각 Bank들간의 Pipe Line동작에 의해 처음으로 Access 된 Bank에서만 범용 DRAM의 Pow Access 시간 만큼의 Latency를 갖고 이후 Access되는 Bank에 대해서는 Pow Access시간이 Pipe Line 동작에 의해 숨겨져 결국 Clock에 의해서만 Data가 나오는 방식이 되어 Low Latency를 구현한다.
- 한번 DRAM의 Access에 대해 연속적으로 4개의 Data가 매 2ns마다 출력되며 Write 할때도 매 2ns마다 연속적으로 4개의 Data가 입력된다.
- Low Power 소모를 위하여 Standby Mode와 Shutdown Mode를 구비하며 POWER 소모를 크게 요하는 PLL의 동작을 하지 않는다.
- 프로그램 가능한 Deskew 구조를 가지고 있어서 시스템에서 사용시 RAM간의 Skew를 제거시킨다.
- AutoRefresh만의 동작을 DRAM Refresh 용으로 사용한다.
- 각 Bank에 대해 자동적으로 Bank를 Access한뒤에 Precharge를 시키는 Auto-Bank Precharge기능을 갖는다.
- Select in/out 신호를 이용한 Daisy Chain 형식으로 Synclink DRAM의 ID를 Seting하는 구조를 갖는다.

## IV. Synclink Consortium

- Synclink는 어떻게 추진되고 있는가?

현재 Synclink는 IEEE 산하에 한그룹으로 Synclink Consortium이 구성되어 있다. 의장은 현대전자의 Farhad Tabrizi이고 95년 3Q에 출발되었으며, 그 당시 참여회사는 한국의 현대전자, 일본의 Mitsubishi, 미국의 TI, Apple이었다. 지금까지 Synclink의 사양을 정하기 위하여 애달 정지적인 Meeting을 하며, 각 회사에서 분담하여 시스템 Bus, Controller, DRAM등 전 분야에 걸쳐 새로운 개념 정립, Circuit

Simulation, PCB 설계, 동작 기능 등을 연구 발표해왔으며 주요 활동 회사는 한국의 현대전자, 일본의 Fusitsu, Mitsubishi, 미국의 Micron, Apple, HP 등이다.

96년 3월에 일차적인 Synclink DRAM의 가능성 연구에 대한 보고서가 나왔으며 96년

5월에 최종 보고서가 나와서 본격적으로 Synclink DRAM의 출현이 눈앞에 오게 되었다. Synclink에 대한 최종 Spec은 '96년 4Q에 IEEE를 통해서 공식적으로 발표될 예정이며 현재 각 메모리 회사에서는 독자적으로 Synclink DRAM의 제작에 들어가 있는 상태이다.

Synclink Consotium은 회원 회사에게만 정보를 공유시키고 있으며 아직까지는 상세한 내용은 대외적으로 발표되고 있지 않고 있다. 현재 Consotium 참여 회사로는 한국의 현대전자, 삼성전자, 일본의 Fusitsu, Mitsubishi, 미국의 HP, APPLE, TI, MICRON 등이다. 그리고 일본의 NEC 및 미국의 IBM 등이 곧 Consotium에 참여할 예정이다.

## V. 향후 계획

향후 Synclink DRAM은 초기의 64M Bit DRAM을 96년까지 완료하고 이어서 256M Bit Synclink DRAM으로 옮겨갈 준비를 하고 있으며 Data Width도 16/18 Bit에서 32/36 Bit로의 전이도 준비하고 있다. 또한 현재 500MB/sec의 데이터 전송속도에서 앞으로 2GB/sec Data 전송속도로의 Bandwidth도 향상시킬 준비를 하고 있다. 앞으로 각 메모리 회사에서 초기 64M Bit Synclink DRAM의 Sample을 내놓기 시작하게 될 '97년에 이르러서 Synclink DRAM은 시스템에 새로운 고속 동작의 혁명을 이루는 기원이 될 것이다.

Synclink는 기존의 IEEE의 고속 Data Interface를 위한 RamLink 분과에서 RamLink Protocol을 IC 메모리 응용에 적합하도록 일부를 이어받아서 출발되었다. Synclink는 Data 수를 16비트를 기본으로 하여 시스템의 필요에 따라 Synclink DRAM을 32/64/128 Bit로의 Data 수의 확장이 용이하며, 또한 Synclink DRAM을 병렬로 연결하면 같은 Data I/O Bit에 대하여 메모리 용량을 쉽게 Giga Byte까지 높여 시스템의 Granularity를 올리게 되며 새로운 Architecture에 의해 DRAM의 동작속도를 종래의 10배 이상으로 올려 500MB/sec.~2GB/sec.로 한다는 것이다.