

타이컴 개발과 프로그래머블 논리 소자

朴炳寬, 咸鍾植
(주)유니크테크놀로지

I. 개 요

타이컴은 1987년부터 1991년까지 행정 전산망을 구축하기 위한 주전산기로 한국전자통신연구소가 중심이 되어 대우통신, 삼성전자, LG전자(당시 금성사), 현대전자가 공동으로 개발한 중형 컴퓨터이다. 개발된 타이컴은 내무부의 행정 전산망용으로 사용되는 것 이외에도 한국통신 등과 같이 통신사업자, 금융 관련 기관, 일반 업무용 등으로 널리 보급되어 1996년 3월말 현재 695대가 판매되었다^[1]. 1992년 상용화 초기에는 응용 프로그램의 부족 및 시스템의 불안 등 많은 문제점으로 사용자의 불만도 높았으나 꾸준한 성능 향상 및 안정화 노력에 힘입어 현재는 국가의 중추적인 주전산기로 자리잡고 있으며, 또한 기술적으로 볼 때 국내 컴퓨터 기술을 여러 단계 향상시키는데 큰 기여를 한 것으로 평가받고 있다.

타이컴은 통상적인 국내 컴퓨터 개발 사업과는 달리 외국의 기술 도입에 의존하지 않고 하드웨어의 바닥부터 자체 설계 개발한 것으로 그 의미가 특별하다. 시스템 버스를 비롯하여 프로세서 보드, 메모리 보드, 입출력 프로세서 보드 등을 자체 설계 개발했다.

타이컴은 보드 개발 과정에서 FPGA(Field Programmable Gate Array)와 CPLD(Complex Programmable Logic Device) 등 프로그래머블 논리 소자를 많이 사용하여 설계 구현하였는데 이유는 다음과 같다.

첫째, 보드의 공간 부족

FPGA/CPLD를 사용하는 대부분의 목적 중의 하나로서 타이컴의 개발에서도 역시 집적도가 높은 부품을 사용하여 보드의 공간 활용도를 향상시키고자 사용하였다. 타이컴에 들어가는 보드는 40×48 cm로 일반 개인용 컴퓨터와 비교하면 훨씬 큰 보드 크기를 갖고 있으나 Write-back 캐쉬 메모리, 파이프라인 버스 인터페이스, 보드 내 여러 개의 프로세서 장착 등의 이유로 공간이 부족한 상태임으로 집적도가 높은 부품의 사용이 필요하다. 집적도를 높이는 방법은 ASIC(Application

Specific Integrated Circuit)을 설계하는 방법이 있으나 ASIC 설계 오류에 대한 대가가 크기 때문에 경험이 풍부하지 못한 상태에서는 시도하기가 어려웠다.

둘째, 설계 오류에 대한 유연한 대처

중형 이상의 컴퓨터 시스템은 그 자체의 복잡성 때문에 개발 단계에서 완벽하게 설계 오류를 모두 발견할 수 없다. 아주 드문 경우이기는 하지만 때때로 사용자에게 설치된 시스템에서 새로운 응용 프로그램이나 소프트웨어 업그레이드 이후에 하드웨어의 설계 오류가 나타나는 경우도 발생되기도 한다. 따라서 타이컴을 개발할 당시 우리의 중형 컴퓨터 개발에 필요한 기술적인 성숙도도 떨어지는 상황이었기 때문에 나중에 발생할지도 모를 설계 오류를 해결할 여지를 남기기 위해 프로그래머블 논리 소자를 사용하게 되었다.

타이컴 개발 초기(1987년)에 사용할 수 있었던 프로그래머블 논리 소자는 AMD사의 PAL(Programmable Array Logic)류^[4]로서 수십에서 수백 게이트(gate) 급의 소자가 주류를 이루고 있었으며, FPGA(Field Programmable Gate Array)도 발표되기 시작한 시점이지만 개발 도구의 미비와 소자의 속도 문제 등으로 인하여 널리 사용되지 않았었다. 타이컴의 개발 과정에서도 첫 시제품을 구현하는 시점(1989년)에서는 주로 2천 게이트 미만의 집적도를 갖는 프로그래머블 논리 소자를 이용하여 주로 보드 등을 구현하였고, 두 번째 시제품을 제작하는 시점(1990년)에서 부터는 집적도가 낮고 속도는 느렸지만 FPGA와 CPLD도 이용하기 시작했다.

1991년 한국전자통신연구소에서의 개발 완료된 타이컴은 각 기업으로 기술 전수되었고, 1992년부터 상용화 제품이 개발되어 시판되기 시작했다. 1992년 상용화가 된 후 타이컴은 개발 초기에 사용하던 MC68030 마이크로 프로세서를 새로 개발된 MC68040/MC68060으로 교체하는 등 많은 개선 작업이 시스템의 각 부분에서 진행되었는데, 그때마다 더욱 빠른 속도와 많은 게이트가 요구되었기 때문에 좀더 집적도가 높은 그리고 빠른 CPLD(Complex PLD)와 FPGA를 사용하여 구현하였

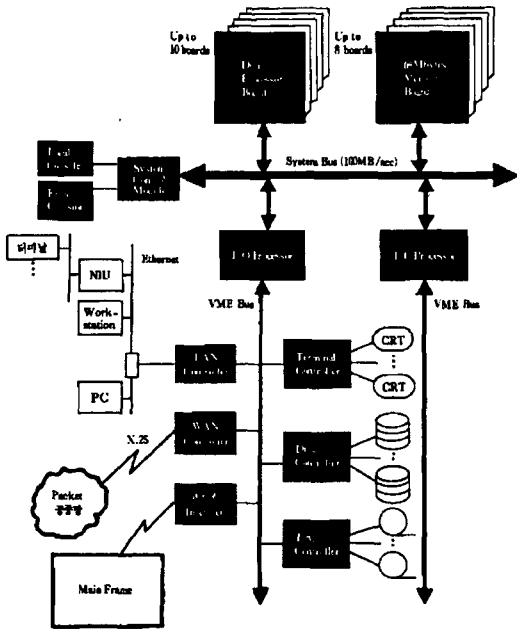
다. 계속된 개선 작업으로 동작 주파수가 향상됨에 따라 CPLD/FPGA의 속도 및 집적도의 한계 때문에 GA(Gate Array)로 구현되는 부분도 생기게 되었다.

본고에서는 FPGA와 CPLD의 응용 사례를 타이컴 개발을 통해서 기술하고자 한다. 10년에서 걸쳐 타이컴의 개발과 지속적인 개선 작업 중에 FPGA와 CPLD도 계속 신제품을 채용하였기 때문에 FPGA와 CPLD의 변화를 볼 수 있다. 2장에서는 우선 타이컴의 구조에 대해서 알아보고, 3장에서는 타이컴 개발에 사용되었던 FPGA와 CPLD 개발 환경에 대해서 설명한다. 4장에서는 타이컴 시스템 보드 중에서 그 동안 가장 많은 FPGA와CPLD를 사용하였고 가장 여러 차례 개선 작업이 이루어진 프로세서 보드를 중심으로 타이컴에서의 FPGA, CPLD 그리고 GA의 응용 사례에 대해 기술한다. 끝으로 5 장에서는 요약과 결론에 대해서 기술한다.

II. 타이컴 구조

타이컴 시스템은 .(그림 1)과 같이 여러 개의 프로세서를 연결하여 시스템의 성능을 향상시키는 다중 프로세서 컴퓨터 시스템(Multiprocessor Computer System)이다. 모든 프로세서가 메모리를 통하여 연결되는 공유 메모리(Shared memory) 방식을 사용하며, 시스템 당 20 개의 프로세서를 탑재할 수 있다. 최대 0.5 GByte의 공유 메모리, 프로세서 보드 및 I/O 프로세서 보드는 100 Mbyte/sec 전송 능력을 갖는 시스템 버스를 통하여 서로 연결되어 동작한다. 입출력 관련 제어기는 I/O Processor 보드를 통하여 연결된 표준 버스인 VMEbus에 장착되며, 기억 장치, 근거리 통신 및 원거리 통신 제어기 등이 지원된다.

프로세서 보드는 처음에는 MC68030을 보드당 2 개씩 장착하는 것으로 설계되었으며, 마이크로 프로세서의 성능 개선으로 MC68040/MC68060 등으로 교체되고 보드당 4 개의 프로세서를 탑재



〈그림 1〉 타이컴 시스템 구조

하는 제품도 발표되었다. 메모리 보드도 메모리 소자의 집적도 향상으로 보드당 64 Mbyte이던 것이 보드당 256 Mbyte로 개선되었으며, I/O 프로세서도 내부 기능의 향상을 위해 초기의 설계가 꾸준히 개선되었다.

입출력 버스를 표준 버스를 채택하여 입출력 제어기들은 전문 기업의 제품을 구입하여 사용할 수 있도록 구현하였지만 그 외의 모든 보드들은 자체 개발되었다. 자체 설계된 보드들은 Xilinx사의 FPGA와 Altera사와 AMD사의 CPLD를 이용하였으며, 타이컴 개발 과정과 이들 소자의 발전과 더불어 타이컴의 각 보드의 구현이 변화하는 것을 알 수 있으며, FPGA와 CPLD에서 ASIC (GA)으로 변환되는 것을 실례로 알 수 있다.

III. FPGA/CPLD 개발 환경

본 장에서는 타이컴 하드웨어 개발에 있어서 사용된 FPGA와 CPLD에 관련한 개발 도구들과 기

능들에 대해서 기술한다.

1. Xilinx 관련 환경

Xilinx는 SRAM based FPGA^[2]를 개발한 최초의 회사로서 지금도 FPGA 부분의 시장 점유율이 가장 높은 회사이다. FPGA는 높은 집적도가 필요한 응용에 적합하지만 내부의 구조적인 복잡도 때문에 CPLD에 비하여 개발에 어려움이 많은 것이 단점으로 지적될 수 있다. 타이컴에서는 Xilinx사의 XC3000 series와 XC4000 series를 사용하였으며, 속도는 빠르지 않고 레지스터와 Multiplexor (MUX) 등이 많이 필요한 곳에 사용하였다.

초기의 Xilinx사 제품의 단점은 사용이 어려운 것이었는데, 그 이유는 집적도가 높아서 구현이 어려운 점 이외에도 개발 소프트웨어가 부족한 것이 원인이었다. 동작 주파수가 낮은 응용은 큰 문제가 되지 않는데 소자의 최대 동작 주파수의 50% 이상이 되는 곳에 사용하는 것은 어려움이 있었다.

타이컴 개발에 있어서 사용된 도구는 Xilinx사에서 제공한 XDM(Xilinx Design Manager)이 있는데 Place & Route(P&R)와 편집 기능 등이 제공된다. 회로의 입력은 CADENCE사의 회로 편집기인 Concept을 사용했으며, 입력된 회로를 XDM과 주고받기 위한 변환 기능을 갖는 Xilinx Design Kit (XDK)가 사용되었다. XDM에서 완성된 설계를 보드의 다른 부분과 시뮬레이션 하기 위해 다시 XDK를 이용하여 타이밍이 들어간 모델을 생성한다. 회로의 시뮬레이션을 위하여 Valid사(현재는 CADENCE사와 합병됨)의 RapidSIM과 CADENCE사의 Verilog-XL 등이 사용되었다.

2. Altera 관련 환경

Altera사는 Erasable PROM의 기술은 PLD에 적용한 최초의 회사로서 CPLD 부분의 가장 높은 시장 점유율을 갖고 있다. 타이컴 개발에 있어서도 가장 많이 사용된 소자가 EPLD(Erasable PLD)^[3]로서 EPM5032, EPM5128, EPM5130, EPM7032, EPM7064, EPM7128, EPM7192, EPM7256등이 사용되었다. EPLD는 구조적인 특성에 따라 제어회로 부분에 적합하고 예측 가능한

자연 시간과 관련 개발 도구의 편이성이 장점으로 개발이 용이하였으나 집적도가 높아질수록 FPGA와 같은 구조를 가질 수밖에 없기 때문에 완벽한 상호 접속이 불가능해짐으로서 논리회로의 배치에 어려움이 따랐다.

Altera사의 개발 시스템은 Maxplus-II라는 소프트웨어가 있다. 회로 입력은 AHDL (Altera Hardware Description Language)을 통하여 할 수 있기 때문에 입력 시 소요 시간이 적게 들고, 논리 합성 등 기능들이 사용하기 쉽도록 사용자 인터페이스가 잘 설계되어 있다. Maxplus-II에서 완성된 회로는 EDIF(Electronic Data Interchange Format) 형태로 출력됨으로 이 데이터로부터 모델을 생성하여 시뮬레이션 할 수 있다. Altera사의 EPLD를 설계하기 위해서 사용한 도구는 Maxplus-II와 EDIF 데이터 변환 소프트웨어이다.

3. 기타 개발 환경

AMD사의 MACH210은 회로 입력은 Boolean equation을 사용하며, 논리 합성과 P&R 등은 AMD사에서 제공하는 PALASM을 사용하였다. 시뮬레이션은 Logic Modeling사의 Smart Model이라는 라이브러리를 이용하였다.

AMD사의 PAL series의 회로 입력은 Data I/O사의 ABEL이라는 논리 합성 소프트웨어가 인식하는 언어(boolean equation과 비슷한 언어)를 이용하였고, 논리합성과 P&R은 ABEL을 통하여 구현하였다. 시뮬레이션 모델은 RapidSIM에서 기본으로 제공되는 PAL 라이브러리를 이용하여 생성하였다.

IV. 타이컴 프로세서 보드

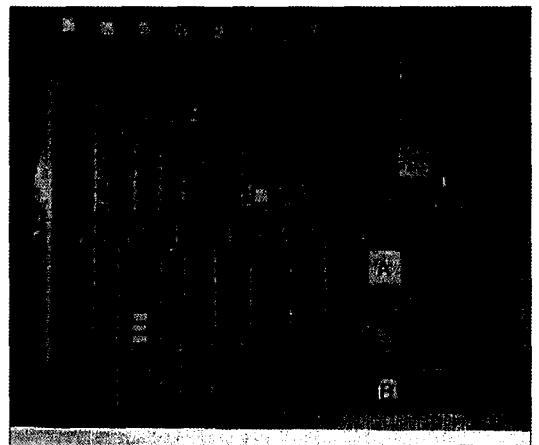
타이컴 프로세서 보드는 <그림 1>과 같이 다중 프로세서 시스템의 주 처리장치가 탑재되는 보드로서 프로세서와 주변 회로, 캐쉬 메모리 그리고 버스 인터페이스 등으로 구성된다. 캐쉬 메모리는

프로세서의 메인 메모리 접근 시간을 줄이기 위한 목적과 다중처리 시스템 버스의 데이터 전송 부하를 줄이기 위한 목적으로 사용된다. 다중 처리 시스템에서의 캐쉬 메모리는 캐쉬 동질성 유지 프로토콜 (프로세서와 연결된 모든 캐쉬 메모리가 동일한 메모리의 내용을 갖고 있는 것과 같이 보이게 하는 기능)을 구현해야 함으로 많은 논리회로가 필요하게 된다. 따라서 타이컴 프로세서 보드의 절반 정도가 캐쉬 메모리에 관련된 것이고, FPGA와 CPLD를 사용하는 부분도 주로 캐쉬 메모리 제어에 관련된 부분이다.

본 장에서는 그 동안 개발되었던 타이컴 프로세서 보드들에 대해서 사용된 FPGA와 CPLD를 중심으로 기술한다.

1. Dual MC68030 프로세서 보드

이 보드는 1990년 한국전자통신연구소에서 두 번째 연구 시제품으로 개발된 프로세서 보드이다. <그림 2>에서 보는 것과 같이 보드 상에 매우 많은 부품들이 탑재되어 있는 것을 알 수 있다. 그러나 이렇게 많은 부품 수도 처음 개발된 시제품에 비하면 절반밖에 되지 않는다. 첫 시제품은 사진을 구할 수가 없어서 본고에서는 수록하지 못하였으나 약 600 여 개의 부품이 사용되었으면서 보드당 프로세서는 한 개밖에 탑재하지 못하였다. 본 절에



(그림 2) DCPU 325

서 설명하고자 하는 두 번째 시제품은 타이컴 본래의 설계 규격을 만족시키기 위해 첫 번째 시제품을 FPGA와 CPLD들을 써서 보드당 2개의 프로세서를 탑재할 수 있게 구현한 것이다.

다음은 보드의 규격이다.

- 보드 당 2 개의 MC68030/MC68881 25 MHz 탑재
- 프로세서 당 64 Kbyte write-back 캐쉬 메모리
- 파이프라인된 타이컴 시스템 버스 인터페이스

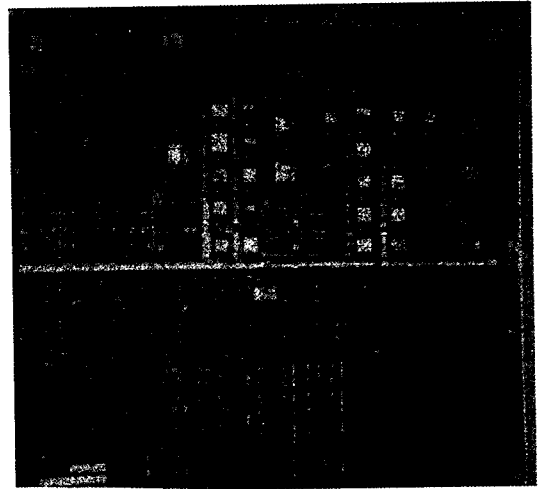
MC68030/25MHz 마이크로 프로세서, 64 Kbyte의 캐쉬 메모리 등이 보드 당 2 세트가 장착되어 있으며 버스 인터페이스는 이들 두 세트에 의해 공유되는 형태를 갖고 있다.

사용된 FPGA는 Xilinx사의 XC3090(<그림 2>에서 A로 표시된 부품), XC3064(<그림 2>에서 B로 표시된 부품)이고, PLD는 Altera사의 EPLD(Erasable PLD) series인 EPM5128, EPM5032(<그림 2> 상단의 좌로부터 중간까지 8 개 부품) 등이다. 속도가 요구되는 부분은 AMD사의 PAL series를 사용하였고, 나머지 제어 부분은 TTL을 사용하였다. 제어 부분을 모두 FPGA/CPLD로 구현하지 못한 이유는 그 당시의 소자들은 집적도와 속도 면에서 충분한 만족을 주지 못했기 때문이다. 따라서 이 보드에서 사용한 EPLD 들은 속도가 늦은 부분(버스 인터페이스 제어기-12.5MHz, 인터럽트 제어기-3.125MHz)에만 사용하였다. XC3064는 프로세서 주변 회로를 구현하기 위해 사용한 것으로 25 MHz로 동작해야 하기 때문에 그 당시의 FPGA의 속도를 감안하면 매우 빠른 편이어서 P&R 작업을 Xilinx사에서 제공되는 소프트웨어(Auto Place & Router, apr) 보다는 편집기(XACT)를 통하여 수작업으로 했던 것이 더 많았다. 즉 지연 시간을 맞추기 위하여 apr로 우선 배치된 logic cell과 interconnection 들 중 지연 시간 규격에 맞지 않는 부분이 있으면 이들의 배치와 연결을 편집기로 수정하였다. 이와 같은 개발 과정에서는 많은 시간과 노력이 들었지만 그 결과는 좋지 않았다. 왜냐하면 그

당시의 FPGA와 CPLD 들은 제조 공정이 안정화가 많이 되어 있지 않았기 때문에(생산 시점에 따라 소자들 사이의 지연 시간의 변화 폭이 큼) 여유가 없게 맞추어진 지연 시간이 문제를 일으켰기 때문이다. 결론적으로 볼 때 그 당시의 FPGA의 선택은 소자의 지연 시간 및 개발 환경 등을 감안할 때 별로 바람직하지 않았다고 판단된다.

2. Dual MC68040/25MHz 프로세서 보드 (DCPU 425)⁶¹

DCPU 425는 (주)유니크테크놀로지에서 93년 초에 개발되어 93년 중반기부터 LG전자와 현대전자가 다음절에 설명할 DCPU 440이 발표되기 전까지 생산했던 보드이다. 타이컴이 본격적으로 보급되기 시작하는 시점에 발표되었고, 대용량의 캐쉬 메모리와 2개의 프로세서로 성능상 장점이 있었기 때문에 각광을 받았지만, 안정성 및 생산성 면에서 약점이 있었던 보드였다.



(그림 3) DCPU 425

다음은 DCPU 425의 규격이다.

- 보드 당 2 개의 MC68040/25MHz 탑재
- 보드 당 2 Mbyte의 write-back 캐쉬 메모리
- 다중 채널 타이컴 시스템 버스 인터페이스
- 사용한 FPGA : XC4010, XC4005, XC4003
- 사용한 CPLD : EPM7032, EPM5130,

MACH210

DCPU/320과 비교할 때 부품 수가 눈에 띄게 줄었다는 것을 알 수 있다. 캐쉬 메모리의 용량이 많이 증가했지만 메모리 집적도의 향상과 보다 빠른 FPGA와 CPLD의 출현으로 부품 수를 많이 줄일 수 있었다. 프로세서 주변 회로와 캐쉬 메모리 제어기 부분은 비교적 빠르기(25MHz) 때문에 집적도는 낮지만 빠른 EPM7032들을 사용하였고 (<그림 3> 보드 우측 중앙의 작은 소자들), 레지스터와 MUX가 많이 필요한 데이터 경로 (Data Path) 부분은 XC4003(<그림 3>의 중앙의 아래쪽 4개)을 이용하였다. PLD는 구조가 단순하여 설계가 용이하고 지연 시간이 예상 가능함으로 캐쉬 제어기와 같이 복잡한 제어회로에 사용하기가 적합하였고, FPGA는 skew time이 크다는 단점이 있는 대신 데이터 경로와 같이 레지스터가 내부에 많이 필요한 경우에 유리하다는 것을 DCPU/425에서 알 수 있다. XC4010은 On-chip cache snooper (OCS) (<그림 3>의 우측 상단 끝의 큰 소자) 라는 소자로 설계되었는데, MC68040 내부에 있는 데이터 캐쉬의 데이터 동질성 유지를 위한 기능을 수행한다. OCS를 구현하기 위해서는 내부에 메모리가 필요한데 XC4000 series는 논리회로의 구현뿐만 아니라 내부에 수 Kbit의 RAM도 사용할 수 있는 소자이기 때문에 XC4010을 선택되었다. 버스 인터페이스 포함한 나머지 부분은 DCPU 325와 비슷한 구현이다.

DCPU 425는 빠른 그리고 집적도가 높은 FPGA와 CPLD를 사용함으로써 부품 수를 줄여서 신뢰도의 향상에 기여했으나, FPGA나 CPLD의 속도의 한계를 극복하기 위하여 클럭에 동기되어 동작하지 않는 부분이 있어서 FPGA나 CPLD의 특성 차이에 의한 의존도가 커서 안정성과 생산성에 문제가 있었다.

3. Dual MC68040/40MHz 프로세서 보드 (DCPU 440)^[6]

DCPU 440은 DCPU 425와 대부분의 기능은 동일하지만 마이크로 프로세서의 클럭 주파수를 40 MHz로 향상시켰기 때문에 구현은 많이 달라진 것

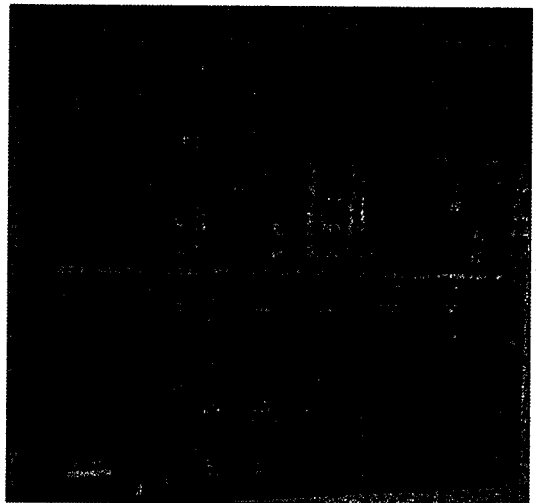
이 특징이다. 1994년 초에 개발이 완료되어 현대 전자와 대우통신에서 지금까지 생산 판매되고 있는 보드이다.

다음은 DCPU 440의 규격이다.

- 보드 당 2개의 MC68040/40MHz 탑재
- 보드 당 2 Mbyte의 Write-back 캐쉬 메모리
- 사용한 CPLD : EPM7256, EPM7192, EPM5130, EPM7128
- 사용한 FPGA : XC4003
- 사용한 gate array : On-chip Cache Snooper, 0.8 um CMOS

DCPU 440은 프로세서 주변의 동작 주파수가 40 MHz로 빨라진 것을 제외하고 DCPU 425와 캐쉬 크기 및 기타 규격이 모두 동일하고 프로그래머의 시각은 완전히 호환되는 보드이다. 그러나 하드웨어적인 입장에서 보면 보드의 부품 수가 160개로 약 60% 수준이 되었고 사용된 소자들의 특성이 많이 바뀐 것을 <그림 4>를 통해서 알 수가 있다.

XC4010으로 구현되었던 OCS는 프로세서 클럭에 동기되어서 동작해야 하는 부분이기 때문에



<그림 4> DCPU 440

FPGA로는 40 MHz로 구현하기에는 무리가 따르기 때문에 gate array로 변환하였다. 기본적인 설계는 DCPU/425에서 완전히 검증되었기 때문에 설계 오류로 인한 문제는 발생하지 않았으며, 0.8

um CMOS gate array(A 부분)로 재 설계하여 성능과 안정성을 높였다. OCS Gate Array는 전자부품종합기술연구소와 공동으로 개발하였다.

XC4003으로 구현한 데이터 경로 부분과 EPM5130으로 구현한 인터럽트 제어기 부분은 이전의 설계를 그대로 사용하였다. AMD사의 MACH는 부품의 종류를 줄이기 위한 목적으로 Altera사의 EPLD로 모두 대체하였다. 가장 많이 변화된 부분은 캐쉬 제어 회로로서 CPLD의 속도 향상에 힘입어 약 100여개의 TTL과 작은 용량의 EPLD들을 10여개의 대용량 EPLD(EPM7256, EPM7192)에 넣어서 구현하였다.

DCPU 440은 타이컴 사상 가장 많이 판매된 프로세서 보드로서 안정성 성능 면에서 한 수준 높아진 품질을 나타내 타이컴의 보급에 많은 기여를 했다.

4. Quad MC68060/50MHz 프로세서 보드 (QCPU 650)^[7]

QCPU 650은 기존의 응용 프로그램의 수정 없이 성능의 향상을 원하는 타이컴 사용자를 위해 1994년부터 1995년 중반에 걸쳐(주)유니크테크놀로지가 개발한 보드이다. 기존 DCPU 440과 실행 코드 호환성을 유지하면서 성능은 4배 이상 향상되어 프로세서 보드만을 교체하여 타이컴의 성능을 주전산기-III 수준까지 올릴 수 있다. 또한 기존 보드와 하드웨어 및 소프트웨어 호환성을 유지하기 때문에 기존 응용 프로그램을 그대로 사용함으로써 응용 프로그램 부재의 타이컴의 경쟁력 확보에 많은 도움을 주고 있다.

다음은 QCPU 650의 규격이다.

- 보드 당 4 개의 MC68060/50MHz 프로세서 탑재
 - 보드 당 8 Mbyte의 write-back 캐쉬 메모리
 - 130 여가의 부품
 - 표면 실장형 부품 사용
 - 사용한 CPLD : EPM7256, EPM7064
 - 사용한 FPGA : XC4010
 - 사용한 Gate Array : 0.8 um CMOS
- 위의 규격에서 보는 것과 같이 QCPU 650은 기



(그림 5) QCPU 650

존 타이컴 프로세서 보드의 개념을 완전히 바꾸어 놓은 보드이다. 업계 최초로 MC68060 채용으로 획기적인 성능 향상, 12개의 ASIC 사용으로 안정성 확보, 표면 실장형 부품 사용으로 공정 불량 최소화, 타이컴 사상 최소 부품 탑재 보드 등 그동안 타이컴의 문제점을 말끔히 개선한 보드이다.

기본적인 구성은 DCPU 440이 한 보드에 2 개가 탑재되어 있는 것과 같은데, 프로세서의 교체, 클럭의 향상, 캐쉬 메모리 용량의 증가, FPGA와 CPLD로 되어 있는 부분을 Gate Array로 대체한 것 등이 다른 점이다.

DCPU 440에서 4개의 XC4003으로 구현되었던 데이터 경로 부분(<그림 3>의 Data Path라고 부분은 <그림 5>의 'A'와 같이 2개의 Gate Array로 구현되었다. 또한 EPM7192 4 개로 구현된 캐쉬 제어기의 어드레스 부분도 역시 2 개의 Gate Array(<그림 5>의 'B')로 구현되었다. OCS는 기능은 기존의 것과 비슷하나 프로세서가 달라졌기 때문에 MC68060 용으로 인터페이스를 바꾸고 동작 주파수를 66 MHz로 올린 새로운 Gate Array를 구현하였다(<그림 5>의 'C'). FPGA는 XC4010을 사용하였는데 DCPU 440에서 EPM5130으로 구현했던 인터럽트 부분과 같이 동작 속도가 낮은 부분들의 회로를 모아서 하나의 소자로 구현했다. <그림 5>에서와 같이 QCPU 650에서도 여러 개의 EPLD를 사용하고 있는데 소자의 지연 시간의 변화에 따른 영향을 최소화하

기 위하여 대부분의 회로를 클럭에 동기되어 동작하도록 구현하였다.

QCPU 650은 ASIC과 FPGA, CPLD를 적절히 혼합한 QCPU 650은 성능과 안정성 면에서 기존의 타이컴 프로세서들 보다 탁월하다. 1996년부터 설치가 시작된 QCPU 650은 타이컴의 국가 기간 전산망의 주전산기로서의 역할을 연장하는데 많은 기여를 할 것으로 예상된다.

V. 맺음말

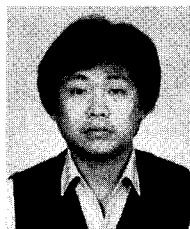
지금까지 타이컴 개발 과정을 통해서 FPGA, CPLD와 GA의 이용 사례에 대해서 기술했다. 개발 초기에는 이들 소자의 집적도와 속도가 만족스럽지 못하여 여러 가지 문제점도 야기되었지만 시간이 흘러 성능이 개선되면서 시스템의 전 부분에서 사용되었다. 무엇보다도 타이컴과 같은 중형 컴퓨터는 복잡도가 높고 대량 생산되지 않으며, 또한 설계가 완벽하게 검증되기 위해서는 실제 사용 환경에서 수개월의 검증 기간이 필요한 응용에는 처음부터 ASIC을 개발하는 것보다도 FPGA나 CPLD로 구현하는 것이 용이하다는 사실을 알 수 있었다. 그러나 너무 많은 FPGA와 CPLD의 사용은 보드의 비용이 증가할 뿐 아니라 소자의 지연

시간 특성의 변화에 시스템이 민감하게 반응할 소지가 많기 때문에 동작 주파수가 높은 부분에는 사용을 피하는 것이 유리하다. 따라서 개발 과정과 초기 생산은 FPGA나 CPLD로 하지만 시스템의 안정화가 이루어지면 주요 부분을 ASIC으로 전환하여 양산 시 발생할 수 있는 생산성 문제를 미연에 방지하는 것이 바람직하다.

참고 문헌

- [1] 한국컴퓨터연구조합 주전산기산학연합회, 국산 주전산기 활용 실태 조사, 타이컴월드, 제6호, 1996. 3
- [2] Altera, Data Book, 1995
- [3] Xilinx, The Programmable Gate Array Data Book, 1995
- [4] AMD, MACH 1, 2, 3 and Family Data Book, 1995
- [5] (주)유니크테크놀로지, DCPU 425 설계서, 1993
- [6] (주)유니크테크놀로지, DCPU 440 제품 소개서, 1994
- [7] (주)유니크테크놀로지, QCPU 650 제품 소개서, 1995

저자 소개



朴炳寬

1959年 8月 14日生

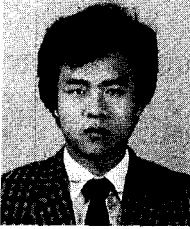
1982年 2月 한양대 전자공학과 학사

1990年 6月 한국과학기술원 전산학 석사

1982年 3月~1992年 5月 한국전자통신연구소 컴퓨터구조연구실 선임연구원

1992年 4月~현재 (주)유니크테크놀로지 대표이사

주관심 분야 : Computer Architecture, Parallel Storage System



咸 鍾 植

1962年 10月 9日生

1985年 2月 고려대 전기공학 학사

1993年 6月 고려대 전자통신 석사

1985年 1月~1992年 4月 대우통신(주) 컴퓨터 연구실

1992年 4月~현재 (주)유니크테크놀로지 기술이사

주관심 분야 : Cache Memory system, VLSI design