

CMOS 회로의 신뢰도 향상을 위한 IDDQ 테스트 기법 (IDDA Testing Techniques for the Improvement of Reliability in CMOS VLSI)

金 強 哲, 韓 哲 鵬*

晋州産業大學校 電子計算學科,

*慶尙大學校 電子工學科

I. 서 론

현대를 살아가는 사람들은 전자제품을 사용하지 않고는 하루도 살 수 없을 정도로 전자제품에 대한 의존도가 점점 증대되고 있으며, 이러한 전자제품 발전의 가장 중요한 요인은 IC의 성능 향상에 기인한다. IC의 정확성과 신뢰도는 기계제품에 비하면 높지만, 아직도 100%의 신뢰성을 보장하지는 못하는 실정이다. 특히 의학이나 우주항공 등의 응용에 있어서 IC의 결함은 치명적인 손상을 가져올 수도 있으므로 고장이 없는 IC의 제작은 제품의 신뢰도를 향상시키고 생산비를 절감하는 필수요인이 될 것이다.

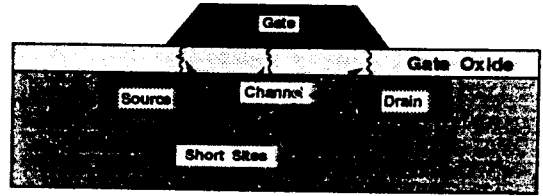
대부분의 VLSI 칩에는 작동시에 전력소모가 거의 없는 CMOS 회로가 사용되며, 다층 금속도선과 서브마이크론 설계규칙이 적용되어 집적도는 크게 증가하고 있으나, 설계와 제조과정에서 많은 물리적인 결함들이 발생하고 있다. 이러한 결함들은 stuck-at 고장과 같은 고전적인 고장 외에도 설계 규칙의 감소 등으로 주변에 있는 노드 사이의 단락에 의한 브리징 고장(bridging fault), 그리고 게이트 옥사이드(gate oxide) 두께의 감소로 인한 게이트와 소오스(source), 게이트와 드레인(drain), 게이트와 채널(channel) 사이의 단락에 의한 GOS(gate oxide short) 고장, 개방 고장 등이다.

지난 30여년동안, 고장을 회로의 한 라인에 0 또는 1의 논리 값이 고정된 것으로 가정하여 전압 측정에 기반을 둔 논리 테스트 방식이 주류를 이루어 왔고, 신뢰도를 예측하기 위해서는 전류, 전압, 습도, 온도에 기초한 충격 테스트 방법 등이 사용되었다. 그러나 브리징 고장 같은 물리적인 결함과 신뢰도에 영향을 미치는 GOS 고장에는 논리 테스트에 의해서 만족할 만한 고장 검출율을 얻지 못하였다.^[1] 최근에 회로 내의 고장 유무에 따라 크게 변화하는 평형상태(steady state)의 전류 값(IDDQ : quiescent current)을 비교하여 다양한 형태의 고장을 용이하게 검출할 수 있는 IDDQ 테스트 방법이 연구되기 시작하였다. IDDQ 테스트는 논리 테스트에서 검출되지 않는 고장의 검출이

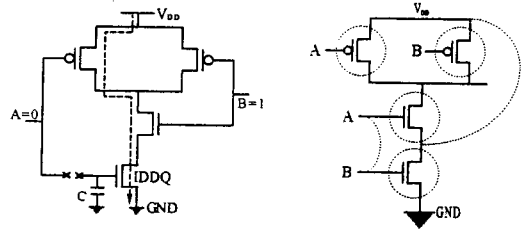
가능하고 테스트세트의 수가 적으며, 주출력으로 고장을 전파하는 과정이 필요없는 장점을 가지고 있다.

본 논문에서는 먼저 IDDQ 테스트가 연구되기 시작한 이론적 배경으로서 최근에 연구되기 시작한 새로운 고장모델을 소개하고, IDDQ 테스트의 개념과 기준전류의 설정에 관하여 검토한다. 그리고 칩의 외부와 내부에서에서 IDDQ를 측정하는 방법과 QTAG(quality test action group)의 표준안을 기술하고, IDDQ 테스트를 위한 테스트패턴 생성 알고리즘에 관하여 설명한다. 마지막으로 결론을 기술한다.

II. 새로운 고장모델



(a) GOS 고장



(b) 개방 고장 (c) 브리징 고장

(그림 1) 고장모델

가장 먼저 개발되고 간단한 stuck-at 고장은 회로 내에 있는 어느 노드가 결합에 의해 논리 1(s-a-1)이나 0(s-a-0)으로 고착된 것을 모델화한 것이다. 한 노드에서 발생한 stuck-at 고장을 테스트하기 위해서는 그 노드의 stuck-at 값에 반대되는 논리 값을 인가하여야 한다.

80년 대 후반부터 연구되기 시작한 GOS 고장은 (그림 1) (a)와 같이 게이트와 실리콘 표면에 전기적 연결이 발생한 것으로 게이트와 채널, 소오스, 드레인 또는 guard band 사이에 전류가 흐를 수 있는 경로가 형성된 것이다. 이 고장은 공정과정 동안이나 칩의 사용 중에 발생할 수 있으며, MOS 소자에 비하여 적은 크기로 불규칙적으로 분포되어 있으며 다양한 전기적 성질을 가지고 있어 검사와 측정에 어려움이 있다.^[2]

어느 노드가 개방되거나 (그림 1) (b)와 같이 게이트가 부동(floating)되어 있는 결합을 개방 고장이라 한다. 이러한 결합은 제조과정 중에 오염에 의해 라인이 끊어지거나, 레이아웃 상에서 한 레이어(layer)가 빠져 있거나, 스텝 옥사이드(step oxide)의 조그만 크랙에 의해서 발생할 수 있다. 개방 고장은 전류경로가 형성되지 않으므로 최근까지 IDDQ 테스트으로는 검출이 불가능한 것으로

알려졌다. 그러나 부동 게이트를 가지고 있는 트랜지스터의 동작은 결합 캐패시터(coupling capacitance)와 게이트 전하(gate charge)에 의해 모델링될 수 있고, 부동 게이트에 유도된 전압이 임계전압 이상이 되면 트랜지스터에 전류가 흐르게 되므로 개방고장 조차도 IDDQ 테스트에 의한 방법으로 검출하려는 연구가 진행 중이다.^[3]

브리징 고장은 (그림 1) (c)와 같이 근접한 두 노드가 단락되므로서 발생하며, 단락된 한 쌍의 신호선들은 AND 또는 OR 연산을 하게 된다. 이론적으로는 회로 내의 어느 두 노드 사이에서도 브리징 고장이 발생할 수 있으나, 이 경우에 대한 테스트패턴 생성은 사실상 불가능하다. 두 게이트의 내부 노드 사이에서 발생하는 브리징 고장은 궤환(feedback)이 발생할 수 있으므로 테스트 과정이 매우 복잡하게 된다. 대부분의 브리징 고장은 같은 게이트 내에서 일어날 확률이 높으며, 게이트와 드레인, 게이트와 소오스, 소오스와 드레인 사이의 브리징이 가장 많이 발생한다.^[4] 이러한 브리징을 트랜지스터 내부 브리징 고장(intratransistor bridging fault)이라 한다. 그리고 소오스와 드레

인 사이의 브리징 고장은 트랜지스터 stuck-on 고장이라고도 한다. 같은 논리 값을 갖는 두 노드 사이의 브리징 고장은 회로의 정상동작에 영향을 미치지 않지만, 서로 다른 논리 값을 갖는 브리징 고장은 회로의 동작에 영향을 미치게 되며 고장효과를 관측할 수 있다. 브리징 고장의 일부는 어떤 노드가 Vdd 또는 GND에 단락된 경우에 stuck-at 고장으로도 모델링될 수 있지만, 대부분은 논리 고장을 일으키지 않으므로 stuck-at 고장으로는 모델링되지 않는다.

위에서 설명한 고장 외에도 VLSI 회로에는 논리 회로에 영향을 미치지 않지만 회로의 성능이나 신뢰도를 경감시키는 결함이 존재하는데, 이들을 파라메트릭 고장(parametric fault)이라 한다. 물리적인 결함이나 공정변수의 변화 등이 이들 고장의 주요원인이며, 기판 누설전류, 임계전압의 변화, 과도지연 등의 현상이 나타난다.^[5]

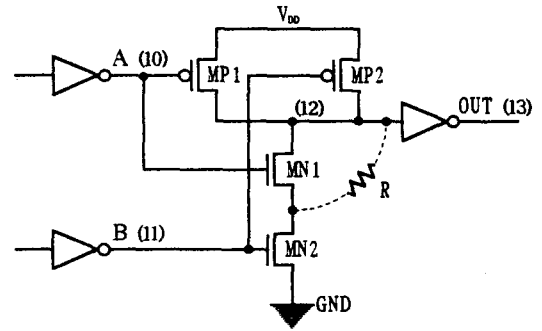
III. IDDQ 테스트의 기본 개념

CMOS 게이트는 NMOS의 풀-다운 네트워크(pull-down network)와 이에 상보적인 PMOS의 풀-업 네트워크(pull-up network)로 구성되어 정상 동작 시에는 어떠한 입력에 대해서도 이들 중 한 부분만 동작하고, 출력단은 Vdd 또는 GND에 연결되어 논리값 1 또는 0을 갖게 된다. 따라서 Vdd와 GND 사이의 전류경로는 형성되지 않고, 평형상태의 전류는 ~nA 정도의 적은 접합 누설전류(leakage current)만이 회로 내에 흐르기 때문에 거의 무시할 수 있다. 그러나, CMOS 회로 내에 브리징 또는 GOS 고장 등이 발생하면 평형상태에서 Vdd와 GND 사이에 전류경로가 형성되어 P-N 접합 누설전류보다 큰 고장전류가 흐르게 된다.

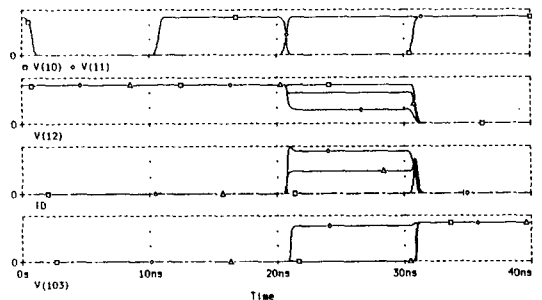
GOS 고장과 같이 신뢰도에 영향을 미치는 고장은 Vdd와 GND 사이에 전류경로를 형성하여 그 노드 신호의 전압이 약화되나, CMOS 게이트는 높은 전압 이득을 가지고 있어 몇 단을 지남에 따라

약화된 신호가 다시 Vdd나 GND로 회복될 수 있다. 소저항 단락(hard short)이 발생하면 단락이 발생한 노드의 신호는 주어진 테스트패턴에 대하여 정상 값과 반대되는 값을 가지게 되므로 논리 고장을 일으키므로 stuck-at 고장모델에 의해서도 고장이 있는 것으로 판별된다. 그러나 대저항 단락(soft short)이 발생하면 그 노드의 전압이 정상 전압보다 약하게 되지만 정상적인 신호로 간주되어 stuck-at 고장모델로는 이러한 고장을 검출할 수 없다.

〈그림 2〉는 NMOS MN1의 소오스와 드레인 간의 브리징 고장을 보여 주고 있다. NAND 게이트의 입력이 AB=01 일 때, PMOS MP1은 포화 영



〈그림 2〉 브리징 고장이 있는 CMOS NAND 게이트



- : 고장이 없는 회로 ◇: 브리징 저항이 500Ω인 경우
- △: 브리징 저항이 5KΩ인 경우

〈그림 3〉 〈그림 2〉의 회로에 대한 정상전류와 고장전류

역에 있게 된다. 이때, Vdd와 GND 사이에 대저항 경로가 형성되면 출력 전압이 결정되지 않아 논리 테스트으로는 트랜지스터 stuck-on 고장을 검출할 수 없다. 그러나, Vdd와 GND 사이에는 전류경로가 존재하기 때문에 회로 내에서는 $\sim \mu\text{A}$ 정도의 큰 평형상태의 전류가 흐르게 된다. 평형상태에서 큰 전류가 측정되면 그 회로에는 고장이 존재한다는 것을 의미한다. <그림 3>은 <그림 2>의 회로에 대하여 정상회로와 고장회로의 전압과 전류의 크기를 보여주고 있다. 여기서 V(10)과 V(11)은 입력 A와 B의 전압을 각각 나타내며, V(103)은 출력 전압을 나타낸다. 브리징 저항이 500Ω 인 경우에는 V(12)가 논리 임계전압 이하가 되어 OUT에 고장이 있는 것으로 나타나지만, $5K\Omega$ 인 경우에는 OUT에 고장이 없는 것으로 나타난다. 그러나 두 경우 모두 누설전류 보다 큰 고장전류(ID)가 흐르고 있으므로 IDDQ 테스트에 의해 트랜지스터 stuck-on 고장을 검출할 수 있다.

그러나 IDDQ 테스트는 많은 장점이 있음에도 불구하고 테스트 속도(KHz)가 기존의 논리 테스트(MHz)에 비하여 느리고, 기존의 테스트 장비를 사용할 수 없으며, 고장을 판별하는 기준 전류의 설정이 어려운 문제점들을 가지고 있다.^[1] 따라서 기준전류를 선택하는 방법, IDDQ 테스트의 속도를 향상시킬 수 있는 전류 측정 기법 및 테스트패턴의 수가 적고 높은 고장 검출율을 얻을 수 있는 테스트패턴 생성 알고리즘의 개발이 요구되고 있다.

IV. 기준전류의 설정

1. CMOS 회로에 흐르는 전류

CMOS 회로에서는 스위칭 동안에 NMOS와 PMOS가 동시에 동작하여 Vdd와 GND 사이에 전류경로가 존재하기 때문에 큰 전류가 흐르게 된다. 스위칭 속도가 느리면 전이전류는 상당한 시간 동안 흐르게 되며, VLSI 회로에서는 수 많은 게이트들이 연쇄적으로 스위칭이 일어나기 때문에 스위

칭이 완전히 끝나기 전에 전류를 측정하면, 정상회로가 고장회로로 판정될 수도 있다.

최근 몇 년 동안에 여러가지 이유로 인하여 칩에 흐르는 전류를 측정하려는 연구가 수행되고 있으나, 대부분은 소비전력을 예측하기 위하여 전이전류를 결정하기 위한 것이다. 큰 회로에서는 누설전류가 고려되어야 하지만 여기서는 무시하면, CMOS 회로에서 다음의 2가지 요소로부터 전이전류를 계산할 수 있다.

1. 스위칭 동안 각각의 게이트에서 소비되는 전류 : 스위칭 기간 동안에 전이전류의 크기를 포함한다.
2. 주어진 입력 패턴에 대하여 스위칭하는 게이트 수 : 정확한 숫자를 얻기 어렵고 통계적으로 구해진다.

단일 게이트에서 스위칭 동안에 흐르는 전류는 게이트의 DC 특성에 의해서 구해질 수 있다. 설계 과정에서 모든 게이트의 상승시간과 하강시간이 정확하게 구해지므로 전이전류가 흐르는 시간을 정확하게 예측할 수 있다. 회로가 논리 1에서 0, 0에서 1로 스위칭할 때 전류가 흐르는 시간을 구할 수 있으며, 이 시간 동안에는 NMOS와 PMOS가 모두 선형영역에 있으므로 NMOS에 흐르는 전류의 크기는 식(1)과 (2)로 주어진다.^[5] 여기서 β 는 트랜지스터 이득, V_{in} 은 입력 전압, V_o 는 출력 전압, V_{in} 은 임계 전압을 나타낸다.

$$I_{peak} = (\beta/2)(V_{in} - V_{in})^2 \quad (1)$$

$$I_{avg} = \beta((V_{in} - V_{in})V_o - (V_o)^2/2) \quad (2)$$

앞에서 구한 전류는 개별 게이트에 제한된 것으로 IDDQ 테스트 시에는 전체 회로의 주입력이 변화할 때 상태를 변화하는 게이트의 수를 반드시 계산하여야 한다. 그러나 주입력이 변화함에 따라 상태가 변화되는 게이트의 수가 다르기 때문에 정확한 값을 얻는다는 것은 불가능하다. 따라서 stochastic process에 의해 PDF(probability density function)을 구하여야 한다. CREST^[6]에서는 전이과정에서 예상되는 전류펄스를 전이 시작 점에서 최대 값을 갖고, 선형적으로 0까지 감소하는 삼

각형으로 가정하였다. C_p 와 C_n 을 출력과 V_{dd} , 출력과 GND 사이의 lumped capacitance로 가정하면 기대 전류(expected current)는 식 (3)이 된다.

$$E[j(t)] = E[j_o(t)] \frac{C_n}{C_n + C_p} + E[j_i(t)] \frac{C_n}{C_n + C_p} \quad (3)$$

식 (3)은 CREST에서 electromigration failure rate를 예측하기 위하여 사용되었으나 IDDQ 테스트에서도 정상회로의 전이전류 값을 예측하는 데도 유용하게 사용될 수 있다.

2. IDDQ의 임계 사양

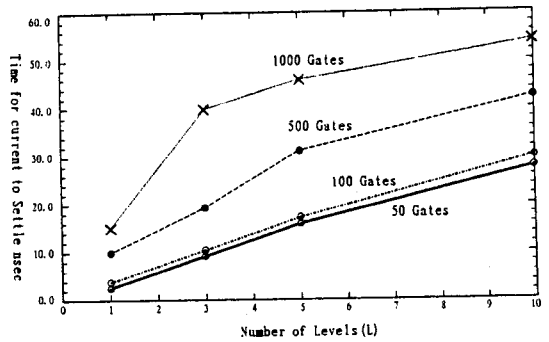
아직까지 CMOS 회로에 흐르는 전류의 크기를 정확하게 측정하는 방법이 알려져 있지 않지만, IDDQ 테스트를 하기 위해서는 어느 정도의 크기를 예측할 수 있어야 한다. CMOS 회로에 흐르는 전류는 전이전류와 누설전류로 구성된다. 전이전류의 크기는 중요하지 않고 전이전류가 흐르는 시간에 따라 IDDQ의 측정시간이 결정되므로 전이전류가 흐르는 시간의 길이를 아는 것이 중요하다.

입력 패턴에 의해 연속적으로 스위칭하는 게이트의 수가 p 이고, 각각의 게이트가 T_{avg} 시간 동안 스위칭한다면, IDDQ 테스트가 가능하기 위해서는 입력 신호의 펄스폭은 아래 식 (4)를 만족해야 한다.

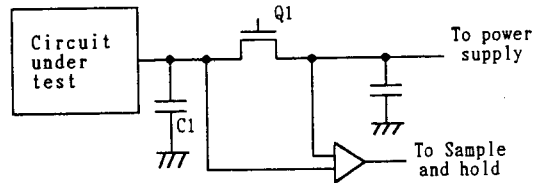
$$\text{입력신호의 펄스폭} \gg p \cdot T_{avg} \quad (4)$$

식 (4)가 만족되지 않으면 정상전류와 고장전류를 구별할 수 없게 된다. 큰 회로에서는 p 값이 커지게 되고, 따라서 펄스폭이 증가되어 IDDQ 테스트 속도를 현저하게 감소시켜 정상동작 속도에서 측정이 불가능하게 된다. <그림 4>는 직렬로 연결된 게이트의 수(회로의 깊이: depth or level)에 따라 전이전류가 안정화되어 가는 시간을 나타낸 것으로 게이트 수가 증가하면 안정화 시간이 길어짐을 알 수 있다.

앞에서 누설전류는 무시되었지만, IDDQ 테스트



<그림 4> 레벨의 수와 IDDQ의 안정화 시간



<그림 5> IDDQ 밀도함수

에 영향을 미치므로 누설전류의 크기를 예측할 수 있어야 한다. 일반적으로 1개의 CMOS 게이트는 ~nA 정도의 누설전류가 흐르며, 게이트 수가 많아지면 무시할 수 없을 정도의 크기가 되어 IDDQ 테스트에 영향을 미치게 된다. 그러나 누설전류는 공정이나 설계변수에 따라 달라질 수 있으므로 정확하게 계산하는 것은 불가능하다. 이 문제를 해결하는 가능한 방법은 Gaussian 분포를 이용하는 것이다. 정상전류($IDDQ_{fault-free}$)와 고장전류($IDDQ_{fault}$)의 밀도함수(density function)는 <그림 5>와 같이 구해진다. 게이트 수가 증가함에 따라 $IDDQ_{fault-free}$ 는 증가하여 $IDDQ_{fault}$ 에 근접하게 되고, $IDDQ_{fault-free}$ 와 $IDDQ_{fault}$ 사이의 구별이 어려워진다. 따라서 회로를 적당한 크기로 분할하여야 하며, 분할된 회로의 가능한 최대 게이트 수는 식 (5)로 주어진다. 여기서 σ 는 표준편차이고, 최대 IDDQ($IDDQ_{max}$)는 6σ 로 가정한다.

$$\text{게이트의 수} = \frac{\text{Average} IDDQ_{fault}}{6\sigma \text{Average} IDDQ_{fault-free}}^2 \quad (5)$$

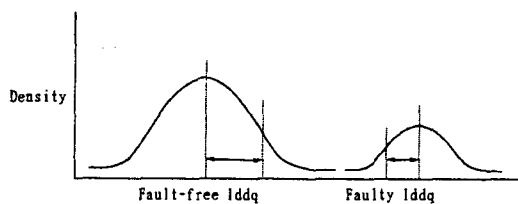
그러나 정상회로의 IDDQ 값도 공정이나 설계 변수에 의해서 좌우되기 때문에 아직도 SPICE 시뮬레이션과 엔지니어의 직감에 의존하고 있다. 현재 기준전류의 크기는 $IDDQ_{max}$ 보다 약 1~2 막수 정도 큰 고장전류를 많이 사용하고 있으며, 큰 $IDDQ_{fault-free}$ 가 흐르지 않도록 IDDQ 테스트를 위한 설계 규칙이 제안되어 있다.^[7]

V. IDDQ 측정 기법

IDDQ 테스트는 이론적으로는 단순하지만, 전원에서 공급되는 전류의 크기를 측정하는 것은 쉬운 일이 아니다. 일반적으로 VLSI의 I/O 핀은 약 100Ω 정도의 저항을 가지고 있으며, $50pF$, 100Ω 정도의 라인을 구동해야 한다.^[8] 따라서 $10A/nS$ 의 모서리 속도(edge speed)를 가지고 약 $10nS$ 펄스폭(pulse width)인 $5A$ 의 순간전류를 여러 핀에서 순간적으로 공급해야 한다. 또 간단한 탐침(probe)이라 할지라도 전원에 큰 부하가 되어 큰 전압강하를 일으켜서 정밀도를 떨어뜨린다. 이러한 문제를 해결하면서 전류를 측정할 수 있는 방법으로는 전압 강하를 보상하기 위하여 칩의 외부에서 연산증폭기를 사용하는 방법과 칩 내부에 스스로 테스트가 가능한 전류감지기(current sensor)를 설계하는 방법이 있다.

1. 칩의 외부에서 IDDQ를 측정하는 기법

전류 탐침은 CUT(circuit under test)와 전원 장치 사이에 직렬로 연결된다. 이 경우에 탐침의 사용으로 삽입되는 인덕턴스의 크기는 $10nH$ 에서 $50nH$ 정도가 된다. 그러나 약 $10A/nS$ 의 모서리 속도를 가지고 있는 전류 펄스가 $10nH$ 의 인덕턴스를 가지고 있는 탐침에 인가되면 약 $100V$ 의 전압 강하가 발생하므로 IDDQ 테스트에 사용하기 어렵다. 이의 해결책으로 큰 이득을 가지고 있는 연산 증폭기를 사용하여 전류감지기의 저항을 레환 루프 안에 두어서 해결할 수 있다.^[8] (그림 6)은 CUT에서 전이전류가 흐를 때 FET가 ON되어



(그림 6) 외부 전류 감지 회로

전이전류를 통과시키고, 전이전류가 흐른 후 FET가 OFF되어 캐패시터 C1이 CUT에 평형전류를 공급한다. 여기서 C1의 크기는 정상회로에서 테스트 동안 Vdd를 유지할 수 있도록 선택해야 한다. 실제적으로 칩의 외부에서 전류감지기를 이용하여 IDDQ를 측정하는 속도는 $10-100KHZ$ 정도이다.

2. QTAG의 표준 모니터(monitor)

기존의 ATE(automatic test equipment) 장비를 가지고 ATE와 CUT 보드, 탐침카드, contractor를 연결하는 전류 모니터를 개발하는 것은 상당히 어렵다. 더욱이 많은 ATE 공급자는 서로 다른 물리적, 전기적 특성을 가지고 있고, 일부 수요자는 pass/fail 신호만을 요구하고, 다른 수요자는 전류의 크기를 프로그램할 수 있는 것을 원한다. 이러한 여러 가지 요구조건을 충족시키기 위해서 모니터는 조그만 패키지에 잘 정의된 핀 구조를 가지고 기존의 장비와 호환성이 있어야 한다.

현재 전류 모니터를 개발하는 것을 공론화하여 많은 회사가 독립적으로 또는 협력하여 기존의 ATE와 생산라인을 연결할 수 있는 모니터를 개발하고 있으며, IEEE 기술 위원회에서는 QTAG을 결성하여 IDDQ 테스트의 표준안을 마련하고 있다.^[9] QTAG에서는 전류 모니터의 사양, 전류 모니터의 설치(test fixture), 일반적인 테스트 시스템의 3 가지 사항을 고려하여 수요자의 요구를 충족시킬 수 있도록 아래의 2 가지 모니터를 제안하였다.

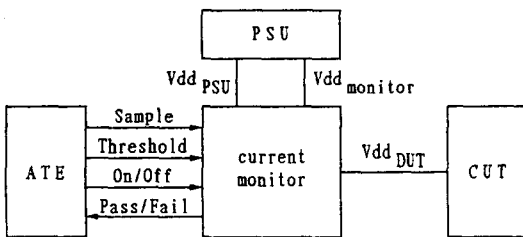
1. 어떤 테스트 시스템에서도 사용할 수 있고, 크기와 핀수가 적으면서 pass/fail 출력신호를 가지고 있는 모니터.
2. 비교적 많은 핀 수와 복잡한 구조를 가지면서

〈표 1〉 Philips Research Lab.에서 제안한 핀 사양

Pin Name	Functionality
VddDUT	From monitor to device under test (DUT)
VddPSU	Power supply needs to be measured
Vddmonitor	To secondary power for monitor
Vss	Ground or reference voltage
Pass/Fail	Output indicator
Sample	Positive clock edge to indicate sampling point
On-off	On is the monitoring mode
Threshold	To set threshold limit for pass/fail

유연성이 있고, 전류의 크기를 프로그램할 수 있는 모니터.

핀 수와 기능에 대하여 Philips Research Lab.과 Texas Instruments에서 2가지 표준안을 제안하였으며, 두 안은 거의 대동소이하다. 〈표 1〉은 Philips Research Lab.에서 제안한 모니터 칩의 핀 기능을 나타낸 것이며, 〈그림 7〉은 단일 모니터를 사용할 때의 ATE, 모니터 및 CUT의 관계를 나타낸 것이다. 그러나 아직까지 전류 모니터의 사양은 확정되지 않았으며, 더 좋은 모니터의 사양을 연구하고 있다.



〈그림 7〉 ATE와 전류 모니터의 연결

3. 내장형 전류감지기(on-chip current sensor)

IC의 내부에 전류감지를 내재한 IDDQ 테스트 기법은 측정이 어려운 전류값의 변화를 대응하는

전압값(논리값)으로 변화시켜 관측할 수 있도록 한 것으로 기존의 테스트 장비를 이용할 수 있는 장점이 있다. 그리고 테스트할 회로 내의 전류 만을 기준전류와 비교함으로써 고장전류의 관별이 쉽고, 외부의 부하가 존재하지 않으므로 지연이 적어져 고속으로 테스트할 수 있다. 그러나 검출회로의 삽입으로 칩의 면적이 증가되고 효율이 떨어질 수 있으며, 큰 회로에서는 전이전류를 통과시키기 어려워 CUT를 분할해야 한다는 단점을 가지고 있다.

VI. 테스트패턴 생성

테스트패턴 생성의 목적은 고장이 없는 회로와 고장이 있는 회로의 출력을 서로 다르게 나타낼 수 있는 입력 패턴을 구하는 것으로, 게이트 레벨에서 stuck-at 고장 검출을 위한 ATPG에는 공간탐색 방식에 따라 D, PODEM 및 FAN 알고리즘으로 구분된다.

IDDQ 테스트 방법은 전원에서 IDDQ를 측정하여 고장을 관별하므로 고장활성화만이 필요하고 고장전과는 고려할 필요가 없다. 두 노드 사이의 브리징 고장을 검출하기 위해서는 두 노드는 서로 다른 논리 값을 가져야 하고, 회로의 모든 노드 쌍을 조사하여 그 고장을 추적할 수 있는 적당한 입력 패턴을 발생하여야 한다. IDDQ 테스트에서는 2가지 방법으로 테스트패턴 생성 문제를 해결할 수 있다.

첫 번째 방법은 부가적인 노력없이 기존에 개발된 stuck-at 테스트세트를 IDDQ 테스트에 그대로 사용하는 것이다. Stuck-at 테스트벡터를 사용하면, N 입력 프리미티브 게이트에 대하여 (N+1) ATV (absolute test vector)가 있으면 직병렬로 연결된 NMOS와 PMOS의 모든 트랜지스터 내부 브리징 고장을 검출할 수 있다. 그리고 inverter와 buffer는 2개의 테스트벡터를 사용하여 6개와 12개의 트랜지스터 내부 브리징 고장을 모두 검출할 수 있다. 그러나 2 입력 XOR 게이트는 4개의 테스트벡

〈표 2〉 IDDQ와 stuck-at 테스트세트를 사용하여 IDDQ 테스트로 실험한 고장 검출율

회로 번호	Stuck-At 테스트세트를 사용한 실험결과 ^[5]			IDDQ 테스트세트를 사용한 실험결과 ^[10]			
	패턴수	게이트레벨 브리징 고장수 *	검출된 고장수	검출율 (%)	패턴수	고장수 †	검출율 (%)
c17	6	55	53	96.36	.	.	.
c432	82	19,110	19,103	99.96	30	2,843	99.26
c499	70	29,403	29,323	99.73	60	5,395	99.44
c880	120	97,903	97,829	99.92	33	5,454	100.00
c1355	115	171,991	171,519	99.73	53	7,105	98.35
c1908	168	416,328	415,381	99.77	98	8,318	99.86
c2670	200	1,016,025	1,015,105	99.91	50	18,958	99.50
c3540	265	1,476,621	1,474,425	99.85	69	23,257	99.59
c5315	213	3,086,370	3,084,909	99.95	60	51,707	99.92
c6288	60	2,995,128	2,994,937	99.99	30	34,057	99.81
c7552	338	6,913,621	6,912,340	99.98	82	69,058	99.73

* 두 노드 사이의 브리징 고장.

† gate- and switch-level bridging faults.

터 중에서 3개만 있으면 모든 라인의 stuck-at 고장을 검출할 수 있지만, 트랜지스터 내부 브리징 고장은 36개 중에서 33개만 검출이 가능하므로 4개 모두를 사용하여야 한다.^[6] 그리고 통과 게이트, 복합 게이트(complex gate), DOMINO CMOS와 같은 동적 CMOS에 대해서는 고장을 검출하기 어렵다는 단점을 가지고 있다.

두번째 방법은 IDDQ 테스트의 전용 테스트패턴을 생성하는 것으로 스위치 레벨에서 고장을 모델링하여 모든 브리징 고장을 검출할 수 있다. 이 경우에는 통과 게이트, 복합 게이트, 동적 CMOS를 포함하는 회로에서도 고장의 검출이 가능하지만, 노드의 논리 값이 고정되지 않을 수도 있으므로 모델링이 어렵고, 컴퓨터 사용시간과 기억장치가 많이 필요하다.

〈표 2〉는 기존의 stuck-at 테스트세트와 IDDQ 테스트를 위한 알고리즘에서 얻어진 테스트세트를 IDDQ 테스트에 실험한 결과를 나타낸 것이다. 기존의 stuck-at 고장모델에서 얻어진 테스트패턴을 이용할 경우에도 높은 고장 검출율을 얻을 수 있지만, 테스트패턴 수가 많아 테스트 시간이 길어지게 되므로 테스트패턴의 수를 줄일 수 있는 그레이딩(grading)과 컴팩션(compaction) 알고리즘에 관

한 연구 개발이 필요하다.

VII. 결 론

IC의 집적도가 증가함에 따라 기존의 논리 테스트에 의해서 검출되지 않는 브리징, GOS, 개방 고장 등이 많이 발생하여 IC의 신뢰도를 떨어뜨리고, 제품의 생산비를 증가시키고 있다. 전원에서 공급되는 전류의 양을 측정하여 고장의 유무를 판별하는 IDDQ 테스트는 기존의 stuck-at 고장 뿐만 아니라 브리징 고장, GOS 고장 등을 검출할 수 있는 아주 유망한 테스트 기법이다. 그러나 전류를 측정하기 위하여 전원과 CUT 사이에 직렬로 측정장비를 삽입하여야 하므로 전류 측정이 어렵고, 속도가 느리며, 기존의 테스트 장비를 사용할 수 없다는 단점을 가지고 있다. 그러므로 고속으로 테스트가 가능한 전류감지기, 고장을 판별하기 위한 기준전류 및 IDDQ 테스트의 느린 속도를 보상하기 위하여 테스트패턴의 수를 줄일 수 있는 알고리즘에 관한 연구가 수행되어야 할 것이다.

IDDQ 테스트는 아직까지 산업체에서 상용화되

어 있지 않지만, 1993년 IEEE에서 QTAG를 결성하여 전류 모니터에 관한 사양을 결정하였다. 이에 따라 여러 종류의 전류 모니터 IC와 자동 테스트패턴 생성기가 개발되고 있으며, 신뢰성 있는 IC를 제작하기 위한 테스트 기술로서 IDDQ 테스트에 관한 많은 연구가 활성화되고 있다.

참 고 문 헌

- [1] Wojciech Maly and Phil Nigh, "Built-In Current Testing-Feasibility Study," Proc. IEEE Int. Conf. on Computer-Aided Design, pp. 340-343, 1988.
- [2] Jerry M. Soden and Charles F. Hawkins, "Test Considerations for Gate Oxide Shorts in CMOS ICs," IEEE Design & Test, Vol. 3, pp.56-64, Aug. 1986.
- [3] V. H. Champac, A. Rubio and J. Figueras, "Electrical Model of the Floating Gate Defect in CMOS IC's : Implications on IDDQ Testing," IEEE Trans. on Computer-Aided Design, Vol.13, No.3, pp. 359-369, Mar. 1994.
- [4] Y. K. Malaiya, A. P. Jayasumana, and R. Rajsuman, "Detailed examination of bridging faults," Proc. Int. Conf. on CAD, pp 78-81, 1986.
- [5] Rochit Rajsuman, "Iddq testing for CMOS VLSI," Artech House, 1995.
- [6] R. Burch, F. Najm, P. Yang, and D. Hocevar, "Pattern independent current estimation for reliability analysis of CMOS circuits," Proc. Design Auto. Conf., pp. 294-299, 1988.
- [7] K. J. Lee and M. A. Breuer, "Design and test rules for CMOS VLSI circuits to facilitate Iddq testing of bridging faults," IEEE Trans. CAD, vol. 11(5), pp. 73-82, May 1992.
- [8] M. Keating and D. Meyer, "A New Approach to Dynamic Idd Testing," Proc. IEEE Int. Test Conf., pp. 316-321, 1987.
- [9] Keith Baker, "QTAG : A Standard for Test Fixture based Iddq/Issq Monitor," Int. Test Conf., pp. 194-202, 1994.
- [10] S. W. Bollinger and S. F. Midkiff, "Test generation for IDDQ Testing of Bridging Faults in CMOS Circuits," IEEE Trans. on CAD, Vol. 13, NO. 11, pp. 1413-1418, November 1994.

저 자 소 개



金 强 哲

1958年 12月 13日生

1981年 2月 서강대학교 전자공학과 졸업(공학사)

1983年 2月 서강대학교 대학원 전자공학과 졸업(공학석사)

1992年 3月~현재 경상대학교 대학원 전자공학과 박사과정

1983年 3月

한국전자통신 연구소 반도체 연구단

1989年 7月

삼성종합기술원 정보시스템 연구소

1990年 3月

진주농림전문대학 전자계산학과

1993年 7月~현재

진주산업대학교 전자계산학과 조교수



韓 哲 鵬

1958年 12月 8日生

1982年 2月 한양대학교 전자공학과 졸업(공학사)

1984年 2月 한양대학교 대학원 전자공학과 졸업(공학석사)

1988年 2月 한양대학교 대학원 전자공학과 졸업(공학박사)

1988年 3月

경상대학교 전자공학과 전임강사

1992年 1月~1993年 1月

Standford University department of electrical engineering and computer science POST DOC.

1993年 4月~현재

경상대학교 전자공학과 부교수