

완전 결합형 ATM 스위치 구조 및 구현 (Ⅱ부 스위치 엘리먼트 ASIC화 및 스위치 네트워크 구현에 대하여)

정會員 金敬洙*, 金根培*, 朴英鎬*, 金浹鍾*

Structure and Implementation of Fully Interconnected ATM Switch (Part Ⅱ : About the implementation of ASIC for Switching Element and Interconnected Network of Switch)

Kyeong-Soo Kim*, Keun-Bae Kim*, Yeong-Ho Park*, Hyup-Jong Kim* Regular Members

要 約

본 논문은 소규모 ATM 스위치 구현에 적합하다고 판단되는 완전 결합형 스위치 구조 제안과 주문형 반도체 칩 및 스위치 네트워크의 실제 구현에 대한 전체 내용의 Ⅱ부로서 155Mbps/sec의 인터페이스를 갖는 8개의 입출력 포트를 갖는 ATM 스위칭 요소의 구현에 대해 기술하고 있다. 하나의 보드 위에 구현된 이 스위칭 요소는 ATM LAN Hub 과 Customer Access Network을 위한 소규모 스위치에 기본 스위치로 사용되어 진다. 이 스위치는 각 입출력 포트에서 8비트의 데이터와 4비트의 제어신호로 구성된 12비트의 전용버스를 가지며 비트주소 할당 방식과 셀 필터링 방법을 사용하고 있다. 또한 본 논문에서 소규모 스위치를 쉽게 구현 할수 있고 특정 부가기능 없이 멀티 캐스팅 기능을 지원하는 실제적인 스위치의 세부구조와 구성 유닛의 구현에 대해 기술한다. 그리고 Advanced CMOS 기술과 Embedded Gate Array기술을 사용하여 주문형 반도체로 제작한 스위치 출력 다중화기능부와 12층 기판으로 설계된 스위치 네트워크의 구현에 대해서 기술하였다.

ABSTRACT

In this paper, we propose the improved structure of fully interconnected ATM Switch to develop the small sized switch element and represent practical implementation of switch network. As the part Ⅱ of the full study about structure and implementation of fully interconnected ATM Switch, this paper especially describes the implementation of an ATM switching element with 8 input ports and 8 output ports at 155 Mbps/sec each. The single board switching element is used as a basic switching block in a small sized ATM switch for ATM LAN Hub and customer access node. This switch has dedicated bus in 12 bit width(8 bit data + 4 bit control signal) at each input and output port, bit addressing and cell filtering scheme. In this paper, we propose a practical switch architecture with fully interconnected buses to implement a small-sized switch and to provide multicast function without

* 한국전자통신연구소 광대역통신망연구부
論文番號 : 95300-0831
接受日字 : 1995年 8月 31日

any difficulty. The design of switching element has become feasible using advanced CMOS technology and Embedded Gate Array technology. And, we also represent Application Specific Integrated Circuit(ASIC) of Switch Output Multiplexing Unit(SOMU) and 12 layered Printed Circuit Board for interconnection network of switch.

I. 서 론

지난 수년간 ATM(Asynchronous Transfer Mode) 셀 스위칭 기술은 차세대 통신망 기술의 기초로 인식되어 왔으며 ATM 시스템 구성을 위한 스위치의 구조에 대한 많은 연구가 되어 왔다. 최근에는 새로운 구조의 제안 보다는 이미 제안된 구조의 실현을 위한 노력에 힘을 기울이고 있다. 그래서 몇몇 시제품이 상용화가 이루어져 멀티미디어 통신 서비스의 실현 가능성을 보이고 있다. 이러한 제안된 스위치 구조에는 셀지연 및 셀손실(Cell Loss)등의 성능관점, 상호연결망의 복잡도, 스위치의 확장성, 구현의 복잡도 등 그들이 가지고 있는 장단점이 있으므로 스위치의 용도 및 위치에 따라 최적화된 스위치의 구조를 갖는 것이 중요하다. Batcher Banyan 스위치 구조와 같은 공간분할(Space Division)스위치는 규모의 확장성을 쉽게 제공하며 상호 연결수를 줄일수 있는 장점이 있는 반면, 하나의 입력포트에서 모든 출력포트로의 독립된 상호연결(interconnection)을 제공할수 없으므로 근본적으로 스위칭 네트워크 내부에서의 셀 충돌을 피할 수가 없다. 이와같은 내부 블록킹 현상에 의해 성능이 저하된다. 그래서 이러한 단점을 개선하기 위하여 내부 상호 연결수를 증가하거나 내부 처리 속도를 높이는 등의 많은 노력을 하여 왔으며 이로 인해 구현의 복잡성은 한층 증가되고 있다.⁽¹⁾ 그러나 ATM LAN Hub 스위치와 Private Campus Network 등에 필요한 소규모 ATM 스위치의 구현에서는 대규모 스위치 구현과 같은 상호연결 수가 장애 요인은 되지 않는다. 그러므로 본 논문에서는 성능을 높이기 위해서 내부 블록킹이 전혀 없는 완전결합형 ATM 스위치 구조를 채택하였으며 출력의 셀 충돌(contention)로 인한 셀손실을 줄이기 위하여 출력버퍼를 갖는 구조를 고려하였다.

제안된 스위치는 각 입출력 포트에 8비트의 데이터와 4비트의 제어신호로 구성된 전용버스를 두고 있으며 비트주소 할당 방식(Bit Addressing Method)과 셀 필

터링(Cell Filtering) 방법 등을 사용하고 있다. 그래서 셀 복제기능과 같은 어떠한 부가기능 없이도 점대점 연결(point-to-point connection)과 점대 다중점 연결(point-to-multipoint connection) 서비스를 쉽게 제공한다. 우수한 성능을 제공하는 완전 결합형 스위치는 복잡한 상호 연결망과 버퍼 크기의 증가로 인해 구현 비용이 증가하는 단점이 있으나 VLSI 기술 발전으로 인해 쉽게 집적시킬수 있으므로 생산비용의 측면에서는 문제가 되지 않는다.

다음 장에서는 완전결합형 스위치의 구조 및 구성 유니트의 구현에 대해서 자세히 기술한다. 여기에서는 제안되거나 실제 제품화된 완전결합형 스위치의 장단점과 제안된 스위치의 세부 구조 그리고 실제 구현 유니트 구성에 대해 자세히 기술한다. 그리고 3장에서는 제안된 구조를 모듈화하여 ASIC화를 시킨 스위치 출력 다중화 유니트와 규격에 대해 설명하며 4장에서는 12층 기판으로 설계된 스위치 네트워크의 구현에 대해서 기술한다.

II. 스위치 구조 및 구성 유니트 구현

1. 완전 결합형 스위치 구조

소규모 스위치의 실현을 위해서 본 논문에서 채택한 출력버퍼를 갖는 완전결합형 스위치의 일반적인 구조는(그림 1)의 (a)와 같으며 이 구조는 라인 인터페이스블럭(LI)의 입력접속부와 하나의 입력접속부에서 전용방송 버스를 통해 모든 스위치 출력 기능부(SOFU)와 완전 연결 되어 있고 각 출력 기능부는 각 LI의 출력 접속부와 일대일로 연결이 된다. 여기서 시스템의 입력접속부가 N개인 경우 각 출력 기능부는 기본적으로 N입력 1출력의 다중화기로 구성되며, 각 스위치 출력 기능부는 최대 N개의 ATM 정보 셀을 동시에 받아들이며 내부의 서비스 방식에 따라 셀을 하나씩 출력 시키는 형태를 갖는다. 그리고 출력기능부에서는 입력버스를 통해 입력되는 정보 셀의 목적지 주소와 해당 출력기능부의 고유 주소와 비교하여 일치하면 정보 셀을 받아 들이고

틀릴 경우는 바로 해당 정보 셀을 폐기하는 셀 필터링 기능을 수행한다. 이들 구조의 대표적인 스위치는 미국 AT&T의 Knockout 스위치와 일본 Fujitsu의 FETEX150의 SRM(Self-Routing Module) 등이 있다.⁽¹⁾⁽²⁾

Knockout 스위치는 (그림 1)의 (b)와 같이 Knockout 집선기(Concentrator)를 사용하므로써 동시에 N개의 셀이 입력시 L(L/N)로 집선하므로 출력공유버퍼의 여유가 있음에도 불구하고 출력 충돌시에 셀 손실(cell loss)이 불가피하여 버스트성(burstness)의 트래픽이 인가시에 성능이 크게 저하될수 있다.⁽⁴⁾⁽⁵⁾⁽⁶⁾ 그리

고 라우팅을 원하는 입력셀의 출력 주소를 $\log_2 N$ bits로 구분하며 LI 입력단에서 이미 출력 채널식별자를 번역하므로써 멀티캐스팅 스위칭시에 별도의 기능회로를 부가하여야 하는 단점이 있다. 그리고 (그림 1)의(c)에 나타낸 Fujitsu의 MSSR(Multi-Stage Self Routing switch)의 SRM(Self Routing Module)의 경우, LI의 입력단에 있는 VCC(VCI Controller)에서 입력 셀을 해석하여 원하는 출력의 라우팅 정보와 번역된 채널 식별자를 가지는 셀 데이터를 출력하므로써 멀티캐스팅시에 복제된 셀이 서로 다른 VPI/VCI인식자를 가질수 없어서 문제가 된다. 그리고 스위치 출력버

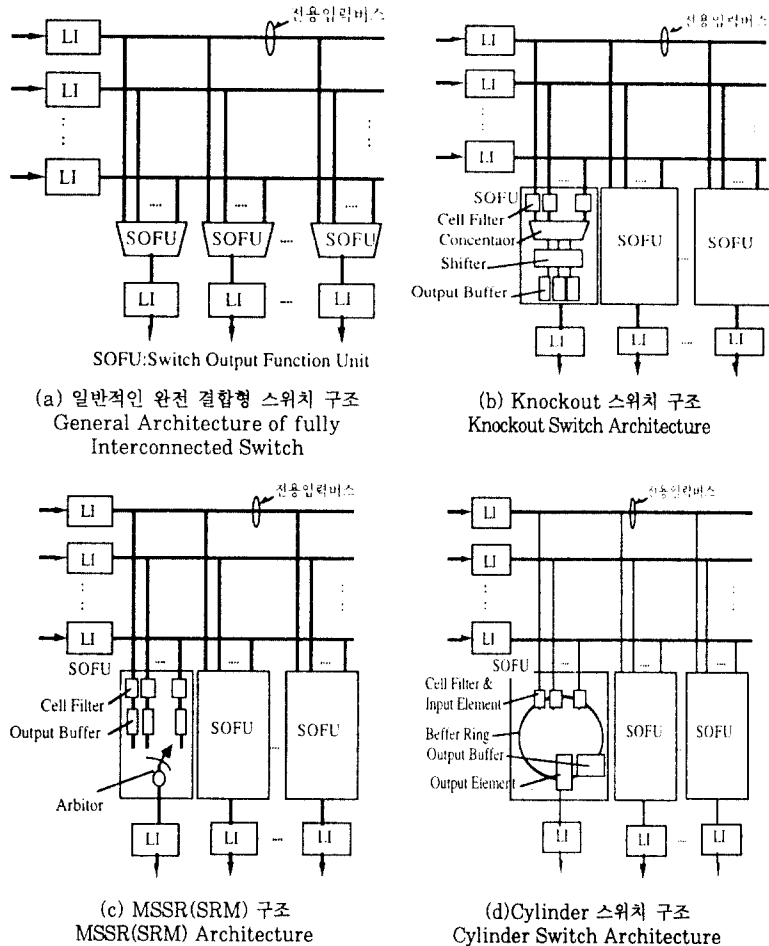


그림 1. 완전 결합형 스위치 구조
Figure 1. Fully Interconnected Switch Architecture

퍼들을 단순한 Hub-polling의 메카니즘으로 LI의 출력인터페이스의 속도와 동일하게 다중화하므로 각 입력 포트에 대한 공평성은 유지하나 버스트 성의 트래픽에 성능이 저하된다. 또한 (그림 1)(d)의 Cylinder스위치 구조는 미국의 콜롬비아 대학에서 제안한 구조로서, 링 버퍼 다중화 수단을 사용하므로 복잡한 slotted ring mechanism과 출력제어를 위한 우선순위제어 및 셀순서유지기능 등이 있어야 하므로 구현에 복잡성이 있다. 그리고 이로 인해 이러한 제어기능을 구현하기 위하여 셀 데이터에 부가적인 바이트를 추가해야 하므로 전송 효율이 떨어 질수있다. 그러나 셀의 서비스별 우선순위 제어의 용이성 관점에서는 장점이 있다. 이러한 구조의 장단점을 고려하여 본 논문에서는 입력수 N이 작은 경우에 대해서, 버퍼의 축소효과를 유지하면서 상대적으로 스위치 구성과 제어방식을 단순하게 하여 장치의 안정성, 구현의 용이성을 가지며 버스트 트래픽에 대해 성능을 유지 할수 있도록 구조를 설정하였다.

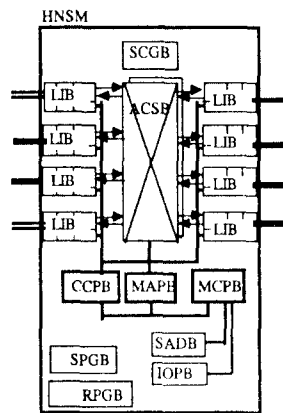
2. 구현 스위치 세부구조

본 논문에서 고려하는 구현 스위치 구조는 "제 1 부 구조설정 및 성능분석"에서 기술한 것과 같이, 출력버퍼형의 기본구조를 가지며, 전용입력 버스 구조를 갖는 소규모 출력 버퍼형 ATM 스위칭 장치에 대한 것으로서, 주요 기능 처리부인 스위치출력기능부(SOFU)의 구성

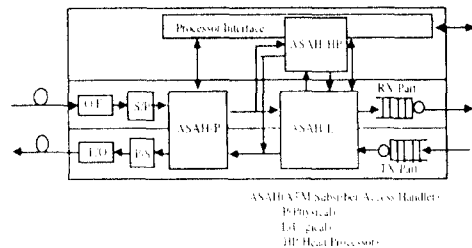
을 두단계 버퍼링 방법과 속도 이득 방법 및 입력 셀들의 동기/비동기 상태에 무관하게 동작하는 특징을 가지고 있다.^[11] 이 구조는 일반적인 출력 버퍼형 스위치 보다 소요 버퍼의 축소효과를 제공하면서, 기존의 Knockout 스위칭 장치와는 달리 제어 방식을 단순화 시킨 구조로서 장치의 구성을 단순화 시키면서도 한 출력접속부로 셀이 동시에 물리는 버스트성의 트래픽에 대한 처리 특성을 강화시킨 것이다.

1) 스위치 전체 구조

구현 스위칭 시스템 전체는 (그림 2)와 같이, 라인 인터페이스 블록(LIB)과 스위칭 기능블럭(ACSB), 그리고 신호처리기능블럭(CCPB), 유지보수기능블럭(MAPB)등으로 구성이 된다. LIB는 광으로부터 기본적인 SDH(STM-1) 전송 프레임에 정합하고 수신 클럭 복원 및 셀추출, 셀처리를 한후, VPI/VCI와 관련 정보가 수록된 연결 테이블을 통해 그 셀에 대한 목적지 정보(라우팅 태그)와 그 셀의 제공 서비스에 대한 변수 정보를 스위칭 기능블럭에 입력시킨다. 그러면 ACSB에서는 라우팅 태그에 의해서 셀 스위칭을 한후 목적지 해당 LIB로 송신을 하고 다시 LIB는 이를 받아서 라우팅 태그를 버리고 헤더 변환을 한후 53바이트의 셀을 SDH 전송 프레임에 실어서 광신호로 송신을 한다. 또한 LIB에서는 입력되는 셀흐름으로부터 신호용 셀을 분



a) 스위치 전체 구조
Switch Architecture



(b) LIB 구조
LIB Architecture

그림 2. 구현 스위치 세부구조
Figure 2. Detailed Architecture of Implemented Switch

표 1. ASAH 칩의 규격
Table 1. Specification of ASAH chips

	ASAH-P	ASAH0L	ASAH-HP
동작속도	19.44 MHz	33 MHz	33 MHz
게이트 수	10만	24만	20만
사용기술	1.0 um	0.6 um	0.6 um
패케이지	180 PGA	240 MQUAD	160 MQFP
주요기능	STM-1 UNI/NNI처리 ATM셀 매핑기능 표준 ATM접속(UTOPIA) F1, F2, F3, OAM지원	UNI/NNI ATM 계층기능 UTOPIA I/F 제공 F4, F5 OAM제공	ATM호 설정/해제 128 연결제공(송수신) 셀 비교 및 분류 기능

리하여 신호처리블럭으로 보내고 유지보수용셀을 분리하여 유지보수기능블럭으로 보내는 기능을 가진다. LIB의 구현은 (그림 2)의 (b)와 같이 3종의 ASIC과 FIFO로 구성이 되어 있으며 이들의 규격에 대해서 요약하면 (표 1)과 같다. 이들 ASIC(ASAH:ATM Subscriber Access Handler)은 ATM프로토콜 기능처리가 필요한 곳에 공통으로 사용할 수 있도록 설계한 것으로서, 3종으로 구성이 되며 P(Physical)는 물리계층기능을 담당하고 L(Logical)은 ATM계층 기능을 처리한다.⁽¹¹⁾ 그리고 HP(Header Processor)는 VPI/VCI연결 테이블 및 헤더비교 등의 처리를 수행한다. 이들은 송수신 모두 하나의 칩에서 수행하므로 아주 유용하다. 이들의 자세한 동작 및 세부 구성은 생략한다.

신호처리 기능블럭(CCPB: Call Control Processing Block)은 서비스를 위한 호 및 가상경로/가상채널연결에 대한 관리를 위한 전반적인 호처리제어를 수행하는 블럭으로서, 각 LIB에서 분리된 신호셀을 전용버스를 통하여 전달 받아서 신호 메시지를 분석 처리하며 신호 셀의 송신을 위해서 해당 LIB로 보내는 역할을 수행한다. 그리고 유지보수 기능블럭(MAPB:Maintenance & Administration Processing Block)에서는 네트워크의 전체 유지, 보수 및 관리를 위해 LIB로부터 입력되는 유지보수용 메시지를 받고 송신할 관리 메시지를 보내는 기능을 가지며 송수신되는 유지보수용메시지를 처리 분석하는 기능을 수행한다. 이외에도 CCPB와 MAPB로부터 시스템 및 망의 상태정보 및 경보신호를 받아 시스템 상태표시

를 하는 블럭과 유지보수 및 관리 정보를 저장, 관리하는 입출력기 제어블럭이 있으며, 이를 제어하고 망 관리 센터와 이들의 정보를 주고 받는 주제어처리블럭(MCPB:Main Control Processing Block)등으로 구성되어 있다.

2) ATM 셀 스위칭 블럭의 구성

셀 스위칭 기능블럭(ACSB:ATM Cell Switching Block)은 각 LIB로부터 입력되는 셀흐름으로부터 내부 호 및 공중망으로의 상방향 트래픽을 분리하여 해당 LIB로 라우팅하는 기능을 수행한다. (그림 3)에 나타난 ACSB의 구성 유니트에서 IPDU(Input Port Driving Unit)와 OPDU(Output Port Driving Unit)는 입출력의 신호의 버퍼링 및 노이즈제거 기능을 수행하여 인접 보드간의 접속을 제공한다. 그리고 IPDU로부터 12비트(8비트 데이터, 4비트 제어신호)의 내부 입력버스는 출력다중화기능을 처리하는 모든 SOMU(Switch Output MUX Unit)로 완전 연결된다. SOMU에서는 라우팅 태그의 비트 주소를 이용해 수신 셀의 선택여부를 판단하여 입력 셀을 일시 저장하는 기능을 수행하며 ATM셀 트래픽 다중화기능을 하고, 출력포트의 속도 정합을 위하여 일시 버퍼링후 셀을 송신한다. 그리고 SMCU(Switch Module Control Unit)에서는 각각의 SOMU를 제어하며 상태를 검사하여 MAPB로 상태보고를 하는 일련의 기능을 수행하며 이의 상태정보와 스위치기능의 오류시 제어를 위해 MAPB와의 인터페이스를 제공하는 PICU(Processor

Interface Control Unit), 시스템 클럭을 수신하여 ACSB 전체에 공급하는 SCDU(System Clock Distribution Unit)등이 있다.

여기에서 하나의 IPDU에서 부터 모든 SOMU로 분배되는 12비트의 내부 입력버스는 8비트의 데이터와 셀의 시작을 알리는 신호(Start-of-Cell), 셀의 유효함(Cell Enable)을 알리는 신호, 이 모든 신호의 동기를 위한 바이트클럭 신호로 구성되어 있다. 그러므로 각각의 IPDU에서 하나의 셀흐름이 모든 SOMU로 분배되므로 항상 모든 연결망에는 155Mbits/sec로 셀 데이터가 흐른다. 그래서 동시에 전기적인 변화가 발생하므로 IPDU는 적절한 신호의 분배가 요구되며 각 연결망에서는 상호 간섭을 배제되도록 설계 및 구현이 되어야 한다. 그리고 역방향 흐름제어를 위한 back-pressure 신호가 각 SOMU에서 IPDU로 입력되므로 IPDU는 이들의 조합을 LIB로 송부하여 스위치 전체의 흐름제어를 수행한다.

3) 스위치 출력 다중화 유니트(SOMU)

SOMU(Switch Output Multiplexing Unit)에서는 각 IPDU로 부터 입력버스를 통해 바이트 단위로 53옥텟 셀과 3옥텟 라우팅 태그를 받아서, 해당 출력으로 송신을 원하는 셀들을 추출해 내어 임시 저장을 하고 이들 셀을 출력포트의 송신속도에 맞추어 LIB로 보내는 스위치 출력 다중화기능을 처리한다. 그러므로 SOMU는 각각의 IPDU로부터 보내온 셀을 받아서, 수신 선택

여부를 판단하여 입력 셀을 저장하는 기능, 통계적 다중화기능, 출력포트의 속도 정합을 위하여 일시 버퍼링후 셀을 송신하는 기능, 점대점 및 점대 다중점 스위칭기능, Gabage 셀 제거기능 등을 포함하며, 스위치를 구성하는 핵심 구성 유니트이다. 그리고 각 입력에 할당된 전용의 내부버퍼 8개와 다중화시 일시 저장하는 출력버퍼를 포함하여야 하므로 분리된 상용 부품을 사용하면 부품수가 너무 증가하여 하나의 보드에 실장이 힘들게 된다. 그러므로 이러한 기능을 구현하기 위해서는 위의 버퍼들을 내장하고 다중화를 위한 로직을 하나의 칩내에 내장하는 주문형 반도체로 구현해야 한다.

SOMU의 세부구성과 기능을 아래의 (그림 4)에 나타 내었다. SOMU의 구성에서 CFSU(Cell Filtering SubUnit)는 수신되는 셀 흐름으로부터 자신의 주소와 셀의 목적지 주소가 일치하는 셀 만을 필터링하여 BCSU(Buffering Control SubUnit)의 제어를 받아서 입력버퍼인 IBSU(Internal Buffer SubUnit)에 저장하는 기능을 수행한다. 그리고 각 입력버퍼에

저장된 셀의 점유도 정보를 BCSU로부터 받아서 ACSU(Arbitration Control SubUnit)에서는 LIFO(Loaded Input First Output)의 큐서비스 방식을 이용하여 각 입력버퍼의 셀을 서로 다중화하는 기능을 수행한다. 이때 ACSU에서는 Batchter Sorting 회로를 이용하여 버퍼점유도에 따라 분류를 하여 셀 입력 빈도가 높은 입력버퍼로부터 입력속도의 2배로 읽어 내어 출력내부버퍼인 OBSU(Output Buffer

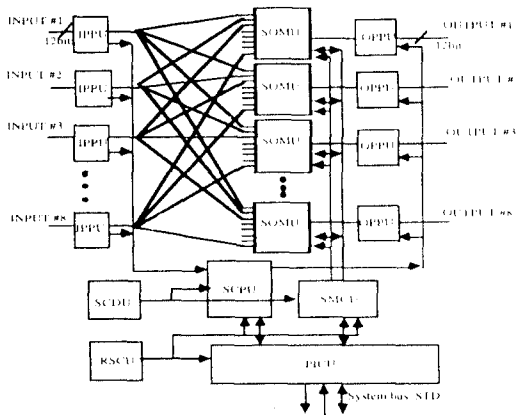


그림 3. ACSB의 구성
Figure 3. Configuration of ACSB

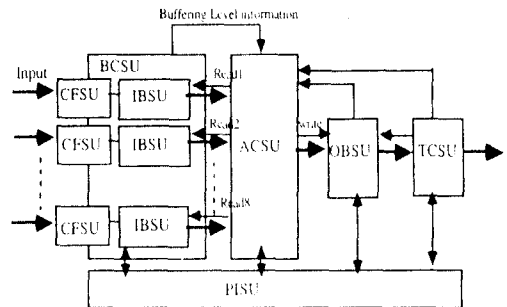


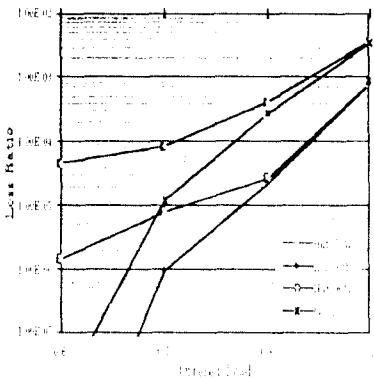
그림 4. SOMU의 세부구성
Figure 4. Detailed Configuration of SOMU

SubUnit)에 저장한다. 그러나 하나의 입력포트에 트래픽이 과하게 인가시에 다른 포트들의 셀은 송신기회가 적어지므로 공평성에 문제가 된다. 그러므로 ACSU에서는 버퍼점유도가 높은 2개의 IBSU를 선택하여 송신 기회를 준다. 만일 하나의 버퍼에만 셀이 있다면 그 버퍼에 두번의 기회를 주도록 설계를 하였다. 이렇게 다중화된 셀은 OASU의 셀 송신부에서 외부속도에 정합하여 송신하게 된다.

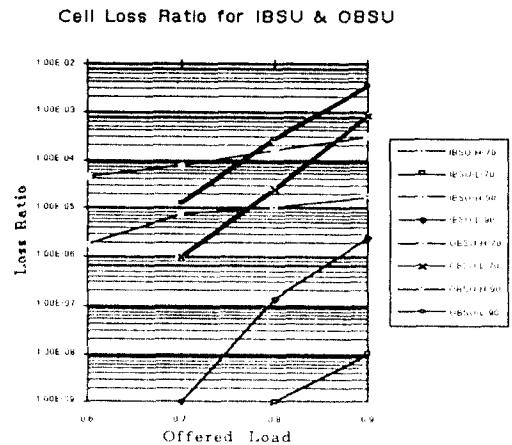
4) 다중화 서비스 원칙

제안된 스위치 요소의 성능을 좌우하는 SOMU을 설계 구현하기 위해서 본 연구의 제 1 부에서 기술한 성능 분석에 의해 IBSU와 OBSU의 크기 등을 결정하였다. 특히, 많은 입력 트래픽에 따라 SOMU내의 ACSU 구성 및 다중화시의 큐 서비스 원칙에 따라 스위치 전체의 성능이 좌우될수 있다. 그러므로 본 절에서는 모든 버퍼에 송신의 기회를 균등하게 주는 허브풀링방식과 우리의 스위치에 채택한 버퍼 점유도에 따른 우선순위 방식을 비교하기 위하여 두가지의 버어스트성의 트래픽 조건에서 셀 지연과 셀손실을 시뮬레이션을 통해 분석하였다. 평균 버어스트 길이가 30 타임 슬롯일때 최고 셀 도착률(PCR:Peak Cell Rate)이 70Mbps/sec와 90Mbps/sec에 대해서 인가되는 전체 트래픽 부하를

0.6에서 0.9까지 변화하면서 비교하였다. 예를 들어, 최고 셀 도착률이 70Mbps/sec이고 전체 트래픽 부하를 0.6일때 각 입력 포트에 인가되는 트래픽은 평균셀 도착률(ACR:Average Cell Rate)이 11 Mbps/sec 인 트래픽이 30 타임슬롯 중에 14셀 정도가 포함되는 빈도로 도착하는 것이다. 이러한 트래픽 조건에서 시뮬레이션 한 결과를 (그림 5)에 나타 내었다. 이의 결과를 보면 최고셀 도착률이 70Mbps/sec일때, 전체 트래픽 부하를 0.7 정도에서는 허브풀링 방식은 셀 손실률이 10^{-5} 정도이나 우리의 스위치에 채택한 버퍼 점유도에 따른 우선순위 방식은 10^{-6} 정도이다. 이와같이 전체 트래픽 부하가 비교적 낮은 경우, 허브풀링방식에 비해서 버퍼 점유도에 따른 우선순위 방식의 성능이 10배에서 10^3 배 정도 우수하며 전체 트래픽 부하가 1에 가까이 증가 할수록 두 방식의 성능의 차이는 점점 없어진다. 이는 (그림 5)(c)에 나타낸 바와 같이 트래픽 부하가 낮을 경우 대부분의 셀손실은 IBSU에서 발생하며 전체 트래픽 부하가 증가 할수록 OBSU에서 지배적으로 셀 손실이 발생하므로 두방식의 성능은 비슷해지기 때문이다. 이를 통해서, 버어스트성의 높은 트래픽을 수용하기 위해서는 IBSU가 커져야 하며, 과부하의 조건에서 시스템 성능을 발휘하기 위해서는 OBSU의 크기를 증가해야 한다. 그래서 우리의 설계에서는 IBSU와 직접 연



(a) 셀 손실률
Cell Loss Ratio



(b) IBSU와 OBSU에서의 셀 손실률 비교

그림 5. 큐 서비스 방식에 대한 성능 비교
Figure 5. Comparison of performance for Queue service discipline

결되는 LIB에 수신버퍼를 크게 두고 있으며 아울러 OBSU와 연결되는 LIB의 출력단에 출력버퍼를 직렬로 연결되게 되어있다. 그리고 이들사이에 흐름제어가 있어서 각 버퍼들 사이에 동작을 유기적으로 결합되어 있으므로 실제 시스템 전체의 성능은 (그림 5)에 나타난 것 보다는 더 우수한 결과를 가진다.

Ⅲ. 스위치 출력 다중화 유닛의 ASIC설계

스위치 출력 다중화 유닛(SOMU)의 구현은 IBSU와 OBSU 등의 많은 버퍼와 로직들이 소요되고 이 모두가 8개가 중복 사용되므로 상용 부품으로 구현 할수가 없다. 또한 10만 게이트 이상의 로직이 소용시는 FPGA의 구현보다 ASIC으로의 구현이 적합하므로 ASIC으로 설계 구현하였다. "제 1 부의 성능분석"을 통하여 원하는 성능을 만족하기 위해서는 IBSU는 8개 셀(448 바이트) 용량의 FIFO이어야 하며, OBSU는 내부의 고속의 다중화로 인하여 120개 셀(6720 바이트) 정도의 용량을 가져야 한다. 이러한 FIFO를 게이트 어레이를 이용하여 설계를 하면 너무나 많은 수의 게이트가 소요되고 베이스 어레이의 규모로 인한 신호 전달 지연으로 말미암아 성능면에서도 문제가 발생할수 있으므로 메모리를 이용한 FIFO설계구현을 미리 베이스 어레이에 제작을 하고 나머지 영역에 게이트 어레이를 생성한 후, 그 위에 제어로직을 장착하는 EGA(Embedded Gate Array)로 ASIC개발을 하였다. 우선 SOMU의 세부 구현에 대해서 설명을 하고 SOMU의 ASIC에 대한 규격 및 특징을 기술한다.

1. SOMU의 세부 설계

1) CFSU와 IBSU의 구성

CFSU(Cell Filtering SubUnit)는 각 입력포트별로 각 각 구성되어 있으며, 입력되는 셀흐름으로부터 해당 출력 포트를 목적지로 하는 셀만을 추출하여 입력시키는 기능을 수행한다. 이때 각 출력 포트 주소는 라우팅 태그내의 비트 위치별로 정해져 있으며 해당 비트가 0인 셀만을 입력 시킨다. 이러한 동작은 먼저 입력포트로부터의 셀 동기 신호에 동기되어 이루어지도록 TACE(Timing Adaptation Control Element)에서 셀 필터링의 타이밍 정보를 생성한다. (그림 6)의 CFSU와 주변 연결상황을 나타내는 그림과 같이,

TACE는 셀의 시작지점을 나타내는 셀 동기신호(R1-SOC)가 있을때, 셀이 유효(R1-CEN=0)하면, 바이트 클럭(R1-CLK)에 동기를 맞추어 타이밍 정보 T1-T4를 생성하여 CFWE(Cell Filtering & Writing control Element)에서 셀 추출 및 저장기능을 수행하도록 제어한다. 그러면 CFWE에서는 BE*와 BS(2:0)를 받아서 비트 어드레스의 위치를 지정하며 TPS(1:0)에 의해 세 바이트의 라우팅 태그중 실질적 라우팅 태그 정보로 인식하여 사용할 바이트의 위치를 선별한다. 그다음 입력되는 셀 중에서 해당 출력포트로 송신을 원하는 셀을 추출하여 입력버퍼(IBSU)에 저장한다. CFWE에서는 LIB로부터 송신 중 장애를 받아 56바이트를 완전히 구성되지 않은 셀에 대한 영향을 제거하기 위하여 56바이트 이상인되는 셀은 56바이트만을 수신하며 56바이트 이하의셀은 뒤에 0 을 부가하여 완전한 크기의 셀을 만들어 IBSU에 입력시킨다.

IBSU는 버퍼 사이즈의 절감, 버스트 트래픽에 대한 강인성 등을 위해서는 공통 버퍼 형의 구조가 바람직하나 스위치 사이즈가 적고, 개발의 편이성을 고려하여 본 구현에서는 입력 링크 별로 전용의 내부버퍼를 두기로 한다. 개발시의 각 버퍼 사이즈는 8 셀로 구현하였다. IBSU의 쓰기속도 V_w 는 155Mbps의 8비트 병렬구조를 이용하므로 $19.44 \text{ MBytes/s} \times (56/53) = 20.54 \text{ MBytes/s}$, 즉 약 21MBytes/s의 속도를 갖으며, IBSU의 읽기속도 V_r 은 고속 다중화를 위해 $40 \text{ MBytes/s} \times (56/53) = 42.26 \text{ MBytes/s}$ 이상의 속도를 유지한다. 실제 구현에서는 $V_w = 25 \text{ MBytes/s}$, $V_r = 50 \text{ MBytes/s}$ 로 적용하였다. (그림 6)에 나타난 바와 같이 CFSU로부터의 쓰기제어신호 WEN*(쓰기 인에이블)과 WCLK(쓰기클럭)를 받아서 Rx(7:0)를 바이트 단위로 차례대로 저장한다. 이때 데이터 폭은 비트8에 1비트의 여분을 두어서 셀의 시작에 해당하는 정보를 같이 저장하여 미구성된 불완전 셀을 제거하는 기능을 보조한다. 그래서 다중화시에 셀의 동기를 유지하며 FIFO구조에서 오삽입된 바이트의 영향을 제거한다. 그리고 IBSU는 입력되는 셀 흐름속도와 출력되는 속도가 상이하고 비동기적으로 동작 할수 있도록 구성되어 있어서 서로다른 속도의 인터페이스를 지원가능하며, 저장 점유도를 나타내는 플래그 역시 읽기/쓰기에 무관하게 동작하는 장점이 있다.

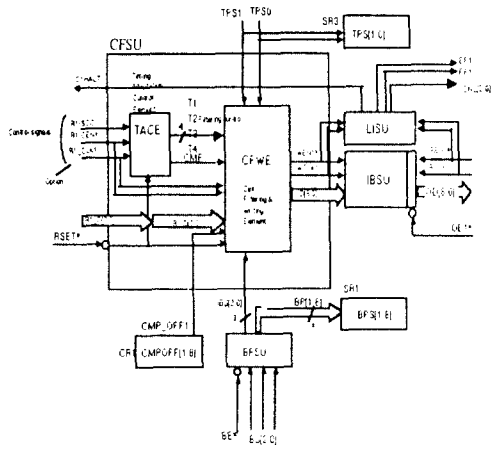


그림 6. CFSU와 주변 구성
Figure 6. CFSU and its environments

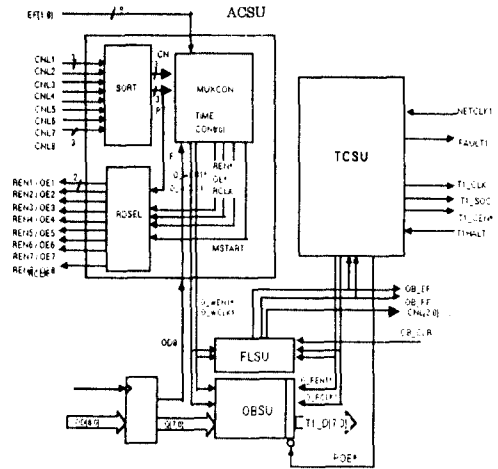


그림 7. ACSU와 주변 구성
Figure 7. ACSU and its Environments

2) ACSU의 구성

ACSU는 SOMU내의 다중화 기능을 수행하는 핵심 부분으로 버퍼 점유도에 따른 다중화 기능을 통해 하나의 출력포트로 라우팅 되기를 원하는 셀을 다중화한다. (그림 7)의 ACSU와 주변 유니트에 나타난 바와 같이, 하나의 출력 포트에 향하는 입력셀들은 해당 입력 포트 별로 할당된 전용 버퍼에 입력되고 순서에 따라 하나씩 출력 포트에 송출하게 되는데 이때 서비스할 버퍼의 선택은 현재 버퍼에 셀의 점유도가 가장 높은 버퍼부터 서비스를 수행한다. 먼저 각각의 IBSU의 점유도를 알기 위해서 저장 셀수를 계수하고 있는 LISU(Level Indication SubUnit)로부터 CNL1-CNL8의 정보를 받아서 SORT(분류회로)에서는 점유도가 높은 순서로 분류를 한다. 그 결과 MUXCON(다중화 제어회로)에서는 점유도가 높은 2개의 입력포트버퍼들을 선택후 REN*, RCLK, OE*를 선택된 IBSU에 보낸다. 그와 동시에 읽은 셀을 리타이밍을 한후 OBSU에 O_WCLK, O_WEN을 보내어 저장 시킨다. 여기에서 SORT는 Batcher의 분류회로(Sorting Network)를 가지고 있으며 항상 각각의 IBSU의 점유도에 따라 분류를 한다. ACSU내의 셀 송신 제어부(TCSU:Transfer Control Subunit)에서 망 동기 신호 NETCLK에 동기화를 한후 셀을 읽어내어 송신한

다. 이때 LIB의 일시적인 오버플로우에 의해 TxHALT가 어서트되어서 외부로 송신이 불가능한 경우, OBSU가 풀 상태가 아니면 임시 송신을 중단하며 OBSU가 풀 상태이면 무조건 셀 송신을 계속하여 스위치 전체의 장애를 방지한다. MUXCON에서는 예기치 않는 글리치(Glitch)와 같은 원인에 의해 내부 버퍼에 입력된 셀들중 시스템 내부 셀 길이인 56바이트를 초과하는 셀에 대해서는 56바이트까지만 유효셀로 간주하고 나머지는 폐기하는 기능을 수행한다. 또한 56바이트 이하로 입력된 셀에 대해서는 바로 뒤에 연속된 셀의 뒷부분의 수 개의 바이트를 포함하여 56바이트 셀로 서비스 하고 뒤에 연속된 나머지 바이트들은 폐기 한다. 이 같은 기능을 통해 셀 길이에 오류가 있는 셀이 입력되어 전체 서비스가 잘못되는 것을 방지한다.

OBSU는 출력단에 위치하는 공통 버퍼로서 쓰기는 50Mbytes/s 속도, 읽기는 SCDB(시스템 클럭분배 블록)으로 부터 공급받은 망동기클럭의 속도로 이루어진다. OBSU는 입력되는 셀 흐름속도와 출력되는 속도가 상이하고 비동기적이므로 이를 지원할수 있도록 구성이 되어 있으며,크기는 120셀로 되어 있다.

2. ASIC구현

SOMU는 기본적으로 8바트의 데이터 버스와 4바트의 제어신호로 구성된 신호그룹 8개를 입력으로 받아들

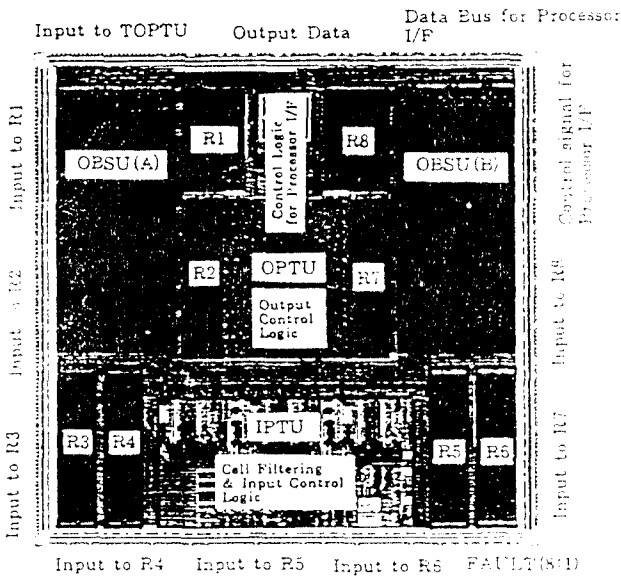
이고 12비트의 출력 버스를 가지며 칩의 제어를 위한 신호와 프로세서와의 인터페이스를 위해 제공되는 버스를 가진다. 그래서 입출력신호는 전체 146개의 핀을 요구하며 로직의 크기는 전체 15만 게이트 이상이 소요되므로 VCC/GND 용 핀이 다수가 소요되며 그의 테스트 용 핀이 있어야 하므로 208핀 MQUAD 패키지로 제작을 하였다. 208 핀 PQFP로 구현시 양산에 대한 가격은 낮출수 있으나 1.2 Gbps급의 스위칭 기능을 수행하므로 PQFP와 물리적인 규격이 동일하면서 열 특성이 우수한 208핀 MQUAD를 이용하여 패키징을 하였다. 이 패키지 기술은 알루미늄 박막에 금속을 도금하여 열방출 특성이 우수하게 한것으로 방열판 없이도 실장이 가능하다.

SOMU의 전체 소요 게이트 수는 EGA(Embedded Gate Array)를 이용 구현시 15만 게이트 이상이 되며, 세부적으로 보면 IBSU 8개 셀(448 바이트) 용량의 FIFO는 42,240 게이트에 상응하는 크기의 메모리를 필요로하고, OBSU 120개 셀(6720 바이트) 정도의 용량 FIFO는 54,924 게이트에 상응하는 크기의 메모리를 필요로 한다. 그리고 나머지 서브 유닛들을 로직으로 설계시 3만 게이트 정도가 소요된다. 그래서 전체 소요되는 게이트는 약 153,000 게이트가 되며 TLM(Triple Layer Metal)을 이용하여 게이트를 라

우팅시 30-40%의 여분이 필요하므로 적어도 18만 게이트 급의 베이스 어레이가 있어야 한다. 그래서 19만 게이트급의 TI(Texas Instrument)사의 TGC1191에 상응하는 베이스 다이(Base Die)를 이용하였다. 그래서 위에서 설명한 메모리를 장착한 베이스 어레이를 제작하고 나머지 공간에 마련된 게이트 어레이에 구현 로직을 부착하여 FIFO를 구현하였다. 그리고 나머지 기능을 약 2만 5천 게이트 정도로 구현하였다. SOMU는 0.7 um의 CMOS 디바이스 기술을 사용하며 13개 정도의 마스크 제작이 소요되었으며, 5V에서의 동작을 기준으로 설계하였다. 그리고 실제 칩내부의 물리적인 규격은 1.3X1.3 Cm² 정도가 된다. 자세한 칩 내부 레이아웃과 완성된 칩의 외부모습을 (그림 8)에 나타 내었다. 그리고 구현 칩의 규격을 (표 2)에 요약되어 있다.

표 2. 칩 규격
Table 2. Chip Specification

Items	Specification
Interface rate	155 Mbits/s-300 Mbit/s (20 Mbits/s×8 bits) -40Mbits/s×8 bits
Clock rate	50 MHz
Number of Ports	8 input×1 output
Number of Gates	150,000 Gates
Tehnology	0.7 um CMOS Embedded Gate Array
Die size	13.13×13.13 mm ²
Supply Voltage	5V
Power Dissipation	3 Watts
package	208 pin MQUAD /0.5 mil pitch



(a) 칩 내부 레이아웃 사진
Photography of internal layout of SOMU



(b) 칩 외형 사진
Photography of SOMU

그림 8. 칩 사진
Figure 8. Photography of SOMU

IV. 실험실 프로토타입

앞에서 기술한 구조의 스위치를 실현하기 위하여 SOMU 칩 8개와 기타 제어를 위한 SMCU를 구현하기 위해서 4,000 게이트급의 FPGA 하나를 이용해 (그림 9)에 나타낸 사진과 같이 한장의 보드위에 배치를 하였다. 여기에서 FPGA는 각각의 SOMU를 제어하며 상태를 검사하여 시스템 관리 프로세스로 상태보고를 하는 일련의 기능을 수행한다. 이 칩의 내부에는 제어 레지스터와 상태레지스터를 기본으로 구성하여 제어신호에 따라 SOMU를 제어하는 부분과 현재의 상태정보를 항상 체크하고 기록하는 기능을 수행하도록 하였다. 그리고 시스템에서 ACSB 보드에 대해 할당받은 주소에 대한 어드레스 디코더와 VME 표준버스의 규격에 준한 신호 처리와 이중화 절체시나 보드 장애 검출시 시스템 유지 보수 기능블럭에 인터럽트 발생처리 하는 기능을 한다. 이외에도 망동기 클럭을 받아서 보드 전체에 공급하는 SCDU(System Clock Distribution Unit)는 SOMU 각각의 안정된 클럭을 공급하기 위하여 fanout을 고려하여 클럭공급 전용의 드라이버 칩을 사용하여 구성되었다.

(그림 3)에 나타낸 전체구조와 같이 12비트로 구성된 입력버스 8개가 모든 출력포트로 완전 연결되므로 이 연

결의 보드내 패턴처리에 많은 문제점이 있고, 각 유닛의 배치에 따라 성능이 좌우된다. 그러므로 백 핀 배치에 따라 입출력 라인 드라이버를 배치 하였고 이들로 부터 보드 중앙에 배치된 각각 SOMU로 버스를 완전 연결시켰다. 현재 프로토 타입의 보드 크기는 380 X 233 mm²이며 50오옴의 임피던스 정합된 strip-line을 이용해 12층 기판으로 설계되었으며 50MHz의 클럭 속도에 안정되게 동작하고 있다.

그림 10에 나타낸바와 같이, 가용한 모든 계측장치와 단말장치를 연결하여 시험환경을 구축하였으며 다양한 스위칭 서비스에 대한 시험을 하였다. 여기에서 LDP에서 재생된 비디오 데이터를 Newbridge사의 NTSC/MPEG 비디오 카드를 내장한 16150 Mainstreet 스위치를 이용하여 ATM셀화를 한후 이 VBR(Variable Bit Rate) 데이터를 모든 출력포트로 방송 서비스를 하였다. 이 데이터는 평균속도 18Mbps이며 최고 속도는 22Mbps인 비디오 정보셀과 1.85 Mbps 정도의 오디오 정보를 포함한다. 이때 TV 수신기 A를 자기의 포트에 연결하고 수신기 B를 모든 출력 포트에 연결하면서 방송 서비스의 품질을 비교하여 동일함을 검증하였다. 이런 환경하에서 휴렛 팩커드사의 HP75000(1655A) ATM Analyer의 하나의 포트와 합이 149.76 Mbits/sec를 넘지 않는 한도 내에서 다

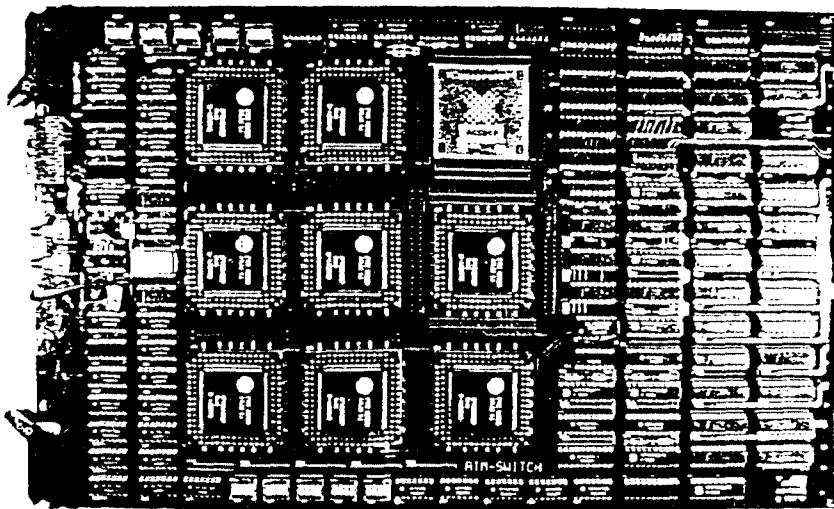


그림 9. 8×8 스위치 보드의 실험실 프로토타입
Figure 9. Experimental Prototype of 8×8 Switch Board

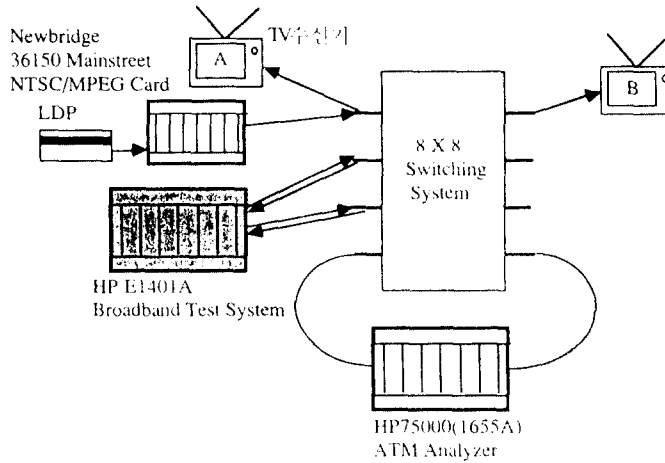


그림 10. 8x8 스위치 시험 환경

양한 트래픽을 인가하면서 기능 테스트를 하였다. 그 결과 1부에서의 시뮬레이션 결과보다는 내부속도의 증가와 버퍼의 크기 증가, 그리고 역방향 흐름제어로 인하여 더 우수한 성능을 보였으며 장기간 운용 시험 결과 10^{-9} 정도의 셀 손실률을 나타내었다. 지금 현재 이 시스템은 HAN-BISDN 국책 사업 내의 분산형 B-NT시스템(분산형 액세스 노드 시스템)에 실제 적용하여 개발 확인 시험을 통과하였으며 ATM 교환기와 지역적으로 분산된 가입자 사이의 트래픽 집선 처리를 위한 장치 시험을 계속하고 있다.

V. 결 론

본 연구는 소규모 ATM 스위치 네트워크에 적합한 완전 결합형 구조를 이용하여 전체적인 스위치의 구조연구 및 구현에 대한 것으로서, 1부의 성능분석에 의한 결과를 토대로 하여 본 논문에서는 스위치의 세부 구조 설계와 이의 구현을 위해서 개발한 ASIC과 PBA에 대한 자세한 설명을 하였다. 여기서 ASIC칩 내부의 다이 크기 및 베이스레이어의 한계로 인해 칩내부의 버퍼 크기를 시뮬레이션을 통해 결정하였다. IBSI의 크기는 8개 셀이고 OBSU의 크기는 120개 셀 정도이므로 버스트성이 큰 입력 트래픽이 인가시 셀손실은 IBSU에서 발생하며, 과도한 트래픽 부하가 입력시 셀손실은 OBSU에

서 발생한다. 그러므로 LIB상에 버퍼를 직렬로 연결하고 상호간의 흐름제어를 두어서 성능을 개선하였다.

본 연구에서 개발된 ASIC SOMU는 기본적으로 8:1 다중화 기능을 수행하는 칩이므로 칩 단독으로의 응용성이 높다. 이는 8개의 입력을 독립된 클럭을 사용하므로 2Mbit/sec 혹은 45Mbits/sec 등 기존의 비동기망의 인터페이스를 그대로 접속할수도 있으며, 하나의 칩으로 구성된 집선 장치를 설계할수도 있다. 현재, 개발된 소규모 ATM 스위치 보드를 이용하여 ATM LAN Hub 스위치와 가입자 액세스 네트워크를 위한 장치에 적용하였으며 향후 성능을 높이기 위한 흐름제어의 개선과 16x16 이상의 스위치 구현을 위해 다단 스위치 구성에 적용 등 연구가 필요하다.

참고문헌

1. H. Ahmadi, W.E. Denzel, "A Survey of Modern High-Performance Switching Techniques," *IEEE J. on Selected Areas in Comm.*, vol. 7, no. 7, pp.1091-1103, Sep. 1989.
2. Y.S. Yeh, M.G. Hluchyj and A.S. Acampora, "The Knockout Switch : A Simple, Modular Architecture for High-Performance Packet Switching," in Proc. *IEEE ISS '87, Phoenix*.

- AZ, March 15-20, 1987, pp.B10.2.1.-B10.2.8.
3. K.Y. Eng, M.G. Hluchyj and Y.S. Yeh, "A Knockout Switch For Variable-Length Packets," in *IEEE ICC Conf. '87*, Seattle, WA June, 8-11, 1987, pp.22.6.1.-22.6.6.
 4. K.Y.Eng, M.G. Hluchyj and Y.S.Yeh, "Multicast and Broadcast Services in a Knockout packet Switch," in *IEEE INFOCOM '88*, New Orleans, LA, March, 1988, pp.1A.4.29-1A4.34.
 5. F.A. Tobagi., "Fast Packet Switch Architecture for Broadband Integrated Services Digital Networks," *Proceedings of the IEEE*, vol. 78, no. 1, pp.133-167, Jan. 1990.
 6. Benjamin Monderer, G. Pacifici and Charles Zukowski, "An Architecture for a Manageable VLSI Giga Cell Switch," *International Conference on Communications(ICC '90)*, Atlanta, GA, April 16-19, 1990, pp.4A.4.29-4A4.34.
 7. Yuji Kato and Toshio Shimoe, "Experimental Broadband ATM Switching System," *Proceedings of the IEEE Global Telecommunications(Globecomm) Conference '89*, Dallas, TX, November, 1989, pp.1288-1292.
 8. Kyeong. S. Kim, Keun B. Kim and Hyup J. Kim, "Implementation of Fully Interconnected Switch Architecture for B-ISDN," *2nd Asia Pacific Conference on Communications(APCC)*, Shin-OSaka, Japan, June 13-16, 1995, pp.390-394.
 9. Kyeong. S. Kim, Keun B. Kim and Hyup J. Kim, "Implementation of 8×8 Switching Element for Broadband ISDN," *International Symposium on Intelligent Networks and Broadband ISDN(ISIB '95)*, Beijing, China, April 10-12, 1995, pp.23-35.



金敬洙(Kyeong-Soo Kim) 정회원

1988년 2월 : 경북대학교 전자공학과(공학사)
 1990년 2월 : 경북대학교 대학원 전자공학과(공학석사)
 1990년 2월~현재 : 한국전자통신연구소 선임연구원

현재 : 광대역 통신망연구부 ATM 처리연구실 근무
 ※주관심 분야 : ATM 스위칭 시스템, 액세스망, ATM LAN



金根培(Keun-Bae Kim) 정회원

1984년 2월 : 성균관대학교 전자공학과(공학사)
 1990년 2월 : 성균관대학교 대학원 전자공학과(공학석사)
 1993년 2월 : 성균관대학교 대학원 전자공학과(공학박사)

1984년 1월~1988년 2월 : (주)대우통신 종합연구소
 1993년 3월~현재 : 한국전자통신연구소 광대역통신망연구부 선임연구원



朴英鎬(Yeong-Ho Park) 정회원

1990년 2월 : 충남대학교 전자공학과 졸업(학사)
 1992년 2월 : 충남대학교 대학원 전자공학과 졸업(학사)
 1992년 1월~현재 : 한국전자통신연구소 ATM 처리연구실

金浹鍾(Hyup-Jong Kim)

정회원

1982년 2월 : 한양대학교 전자공학과(학사)
 1983년 3월 : 서강대학교 대학원 전자공학과(석사)
 1983년 3월~현재 : 한국전자통신연구소 근무
 현재 : 광대역 통신망연구부 ATM 처리연구실장
 ※주관심 분야 : ATM 스위칭, 액세스망, ATM LAN