

〈主 題〉

반도체 설계교육센터(IDEC) 사업을 통한 비메모리 및 시스템 설계 활성화 방안

경 중 민
(한국과학기술원 교수)

□차 례□

I. IDEC의 설립배경 및 사업목표
II. IDEC 사업

III. IDEC 사업의 기대 효과
IV. 결 론

I. 설립배경 및 사업목표

지금까지의 우리나라 반도체 산업이 메모리에 의해 주도되어 왔다면 지금부터는 비메모리 반도체 기술이 종전 어느때보다 더 큰 주도적 역할을 해주지 않으면 반도체 산업뿐 아니라, 가전, 통신, 자동차, 자동화 등 전체 산업이 경쟁력을 갖게 되지 못할 것이다. 지금까지 대기업 중심으로 진행되어온 메모리 중심의 반도체 산업이 DRAM 가격 하락으로 주춤하면서 나라

전체의 국제수지와 경제가 큰 타격을 받고 있는 것은 반도체 산업을 포함한 우리 산업기술 전반의 문제점을 다시 한번 느끼게 한다.

메모리와는 달리 비메모리 반도체 산업은 오랜 시간 꾸준히 양성된 인력이 확보되어야 하는 노하우 중심의 산업으로 회로 설계뿐만 아니라 <그림1>과 같이 여러 분야와의 연계를 필요로 하므로, 폭넓은 분야간의 교류와 학제적 능력의 보유자의 육성을 통해서만 발전할 수 있는 것이 특징이다. 다가오는 21세기에

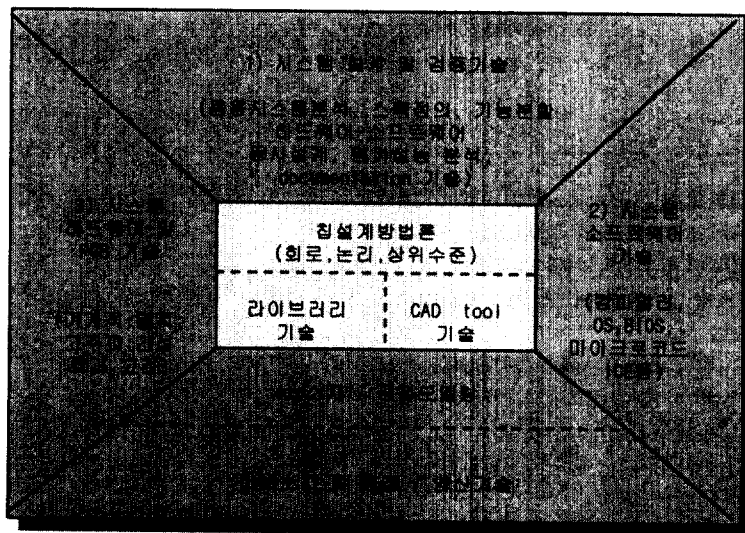


그림 1. 반도체칩 관련 주변기술

한국의 반도체 산업과 시스템 산업이 경쟁력을 갖추기 위해서는 독자적인 반도체 회로 설계 능력을 갖추어야 하며, 지금이 바로 그 인력양성을 시작할 때이다.

정부에서도 반도체설계기술의 중요성을 인식하고 산업기술기반 구축 정책을 수립하여, 한국의 향후 반도체 산업을 이끌어 갈 반도체 설계 인력 양성 및 반도체 기술의 저변확대와 대학과 기업사이의 연결고리 역할을 할 수 있는 반도체설계교육센터(IDEC : Integrated Circuit Design Education Center)를 1995년 12월 한국과학기술원에 설립하고 사업을 시작하였다.

반도체설계교육센터에서는 소자로부터 응용시스템 설계까지 전자공학의 광범위한 영역을 다룰 수 있는 수직형 엔지니어, 대화와 협동 능력이 있는 사람, 창의력과 동기와 의욕이 있는 사람, 그리고 논리적 사고능력의 소유자를 배출하고자 한다. 이러한 인력 양성의 철학과 원칙의 바탕하에 이를 실현하기 위한 센터의 주요 전략으로서 첫째, 기업과 학교의 산학 연결체로서의 역할을 수행하고, 둘째, 장비 및 툴의 구입 등 규모의 경제가 필요한 곳에서 임계매스로서의 역할을 하며, 셋째, 수요와 자율경쟁에 의한 평가 및 자원 배분을 하도록 할 것이다.

II. IDEC 사업

본 센터의 구체적 사업 내용은 반도체 관련 대학 및 중소기업의 반도체설계교육 및 연구환경을 구축/지원하고, 반도체설계교육 프로그램의 개발과 수행을 담당하며 MPC(Multi-Project Chip)설계 및 제작, 정보 및 자료의 종류와 지원을 포함한다.

IDEC에는 현재 CAD tool 사용법 및 MPC칩 설계 시 기술지원을 위하여 5명의 전임 연구원과 1명의 연구조원이 있으며 공개강좌, 하드웨어 및 CAD tool 배포 및 지원, Newsletter 및 brochure 등 간행물 제작 등의 업무를 책임급을 포함한 6명의 행정직원이 수행하고 있다. 10명의 교수들(KAIST 6명, 충남대 3명, 아주대 1명)으로 구성된 운영위원회에서 매주 화요일회의를 통하여 기술적, 행정적 및 업무관련 사항을 결정해 가며, 1년에 2번 정도 열리는 운영자문위원회의 자문을 받고 있다. 또한, 주요사업 방향 검토 및 예산심의를 반도체 설계 인력 육성위원회(통산부 관련 과장, 반도체 산업 협회 부회장, IDEC 센터장, 반도체 3사 대표임원, 대학교수 3인, KETI 대표, 중소기업 대표의 11명으로 구성)에서 이루어진다.

1. 교육 사업 1 (공개강좌)

참여 대학의 설계 교육을 보강하고 교과 운영 모형 제시 기업 연구원의 재교육 및 설계 능력 향상을 목적으로 교육 프로그램은 구성되었다.

본 센터에서 수행하게 되는 교육은 크게 기초 설계 교육을 하는 정규 교육 프로그램, 공동 장비 H/W의 사용법을 가르치는 H/W 교육 프로그램, 각 vendor의 CAD tool 사용법에 대한 tool 교육 프로그램이 있다. 정규 교육 프로그램의 목적은 일반 참여 대학의 설계 교육 지원 및 보강과 설계관련 교과운영 모형 제시, 중소기업 연구원의 설계 능력 향상 및 재교육에 있다. 일반적인 설계 지식을 가르치는 기초 설계 교육 프로그램에서는 디지털 아날로그 기본회로 및 VLSI 설계교육과 각종 시스템 구성에 필요한 Subsystem 및 응용회로 설계에 대한 교육을 수행하게 된다. 고급 설계 교육 프로그램은 새로운 공정, 소자, 시스템 추세 및 설계 방법론, 특정 응용분야에서의 설계, 각종 System에 사용되는 디지털 및 아날로그 IC설계의 성공사례와 제작과정을 연구 검토하는 case study 중심의 교육을 수행하며, 이로부터 상업적으로 요구되는 IC 설계에 필요한 노하우를 습득하게 한다. 하드웨어 교육 프로그램은 센터에 설치될 공동이용을 위한 여러 장비의 사용법에 대하여 H/W 장비 판매회사의 강사를 정기적으로 초빙하여 교육을 수행한다. 이와 같은 교육 프로그램은 모든 대학과 기업의 참여속에 이루어지며, 센터는 하나의 서비스 기구로서의 역할을 담당하게 된다.

센터는 이와 같은 교육프로그램 수행과 동시에 각종 설계와 관련된 강의와 실험 프로그램을 개발하며 여기에 필요한 강의 교재와 실험기재 및 S/W를 준비하게 된다. 모든 강좌는 각 대학의 우수한 설계 전공 교수 뿐만 아니라 해당분야에 설계 경험이 많은 기업 연구소의 연구원으로 강사진을 구성하여 강의의 질을 높임과 동시에 구체적인 설계예와 관련 CAD tool의 사용예를 보여주고 강의와 더불어 실험, 실습을 병행함으로써 수강생의 설계 능력 향상에 직접적인 도움이 되도록 한다. 1차년도에 개설된 공개강좌는 표1과 같다.

2. 교육 사업 2 (교재 개발 및 Video tape 제작)

국내 IC 설계 교육의 질적, 양적 향상을 목적으로 전문대학, 대학교(학부, 대학원), 중소기업, 대기업 등에서 사용할 수 있는 교과서(text book), 전문서적, 실습서 등을 출간하고, 공개강좌를 통한 교육용 video

<표 1> 1차년도 교육 프로그램

구분	강좌시기	공개강좌명	구분	
공 개 강 좌	1995. 8. 21 - 23	아날로그 및 혼성모드 IC 설계	기 초	
	1995. 8. 24 - 25	통신 및 신호처리용 ASIC 설계	고 급	
	1995. 11. 22 - 23	저전력 고속 IC 설계 기술	고 급	
	1996. 2. 12 - 16	디지털 VLSI 시스템 설계	기 초	
	1996. 2. 26 - 29	FPGA 를 이용한 ASIC 설계	기 초	
	1996. 4. 16 - 19	시스템 수준 설계 방법론	고 급	
	1996. 4. 22 - 25	CMOS IC 설계 기초 실우	기 초	
	1996. 5. 6 - 10	아날로그 IC 설계	기 초	
	1996. 5. 20 - 23	디지털 신호처리 알고리즘의 VLSI 구현	고 급	
	1996. 5. 27 - 29	디지털 VLSI 테스트링 기초	고 급	
	1996. 6. 24 - 27	아날로그/디지털 Subsystem 설계	고 급	
	1996. 7. 1 - 4	VIDEO IC DESIGN	고 급	
	1996. 7. 22 - 25	VHDL 이론과 실습	기 초	
	1996. 7. 29 - 8. 1	FPGA 를 이용한 ASIC 설계	기 초	
	1996. 8. 5 - 8	CMOS IC 설계 기초 실우	기 초	
	1996. 8. 12 - 14	초고속 VLSI 내부배선 및 패키징 기술	고 급	
	1996. 8. 16 - 17	IC designer 를 위한 MOS 공정과 소자특강	고 급	
	1996. 8. 19 - 23	디지털 VLSI 시스템 설계	기 초	
	1996. 8. 26 - 30	아날로그 IC 설계	기 초	
	1996. 10. 10 - 12	VHDL 을 이용한 디지털 시스템 설계	고 급	
	1996. 10. 14 - 16	Emulation 의 개념과 활용	고 급	
	1996. 10. 22 - 24	Verilog 이론과 실습	기 초	
	1996. 11. 13 - 15	저전압/저전력 IC 설계 기술	고 급	
	1996. 11. 18 - 20	반도체 메모리 설계	고 급	
	1996. 11. 26 - 27	HDTV ASIC 단기강좌	고 급	
	Tool 교 육	1996. 2. 2 - 9	COMPASS tool 교육	기 초
		1996. 2. 21 - 23	MyCAD tool 교육	기 초
1996. 3. 4 - 5		Hspice tool 교육	기 초	
1996. 3. 11 - 15		Mentor tool 교육	기 초	
1996. 3. 18 - 22		Synopsys tool 교육	기 초	
1996. 5. 1 - 3		Mentor tool(GDT&Lsim) 교육	기 초	
1996. 5. 13 - 17		Xilinx 교육	기 초	
1996.10.28- 11.1		COMPASS tool 교육	고 급	
1996. 11. 4 - 7		Mentor tool 을 이용한 Top-Down ASIC/FPGA 설계 및 구현	고 급	
1996. 11. 28 - 29	Hspice TOOL 교육	고 급		
H/W 교육	1996. 3. 26 - 27	HP 와 SUN 워크스테이션의 통합 운영	기 초	

〈표 2〉 96 IDEC 교재개발 내역

제 목	집필진	기간	분량(쪽)	종 류
집적회로설계를 위한 반도체 소자 및 공정	*정항근,한철희,최진영	96.3.1 - 9.31	374	전체집필
테스팅 및 테스팅을 고려한 설계	*홍성제,박은세,강성호,최효용,장훈	96.3.1 - 8.31	312	전체집필
DRAM의 설계	유희준	96.3.1 - 8.31	450	전체집필
VHDL 기초와 응용	*조중휘,정연모,김영철,홍윤식	96.3.1 - 9.31	293	전체집필
FPGA를 이용한 ASIC 설계	박주성	96.3.1 - 10.31	200	전체집필
아날로그 IC 필터의 설계	박송배	96.3.1 - 97.8.31	280	전체집필
집적회로 설계검증 Simulation and Emulation	*신현철,김영환,이기준,이윤식,김재석	96.3.1 - 9.31	350	전체집필
Digital System 설계를 위한 CAD 입문	*신현철,김보관,조준동	96.3.1 - 97.8.31	280	전체집필
VLSI 설계, 이론과 실습	*공진홍,김난영,김동욱,이재철	96.3.1 - 10.15	320	전체집필
VLSI 시스템 회로선의 모형화및해석 (Interconnection)	김석윤	96.3.1 - 9.31	42	부분집필

*는 대표집필자임.

tape를 제작중이다. 현재 교재 개발 및 video tape 제작 사업의 내용 표2, 표3과 같다.

3. Hardware 및CAD tool 지원

반도체 설계에 가장 필수적인 장비인 컴퓨터시스템과 그 위에서 돌아가는 CAD tool을 구매, 배포 및 지원 업무는 본 센터의 가시적인 역할 중 가장 중요한 업무 중 하나라고 볼 수 있다.

현재 Hardware 및CAD software의 구매와 각 대학에 대한 배포는 완료되었으나, 이것으로 지원 업무가 모두 끝난 것은 아니다. library와 CAD tool의 유지보수 및 컨설팅과 이를 위한 전담 전문인력 양성에 더 많은 노력을 기울여야 한다. 이러한 지원과정을 살펴보면 크게 세 가지로 나눌 수 있다. 첫째 구매 및 기증을 위한 대외협상, 둘째 구매 기증된 하드웨어, 소프트웨어의 배포, 셋째 유지보수를 위한 지원이다. 구매 또는 기증된 소프트웨어 및 하드웨어의 자원은 참

여 대학 및 지역센터의 업적과 업무계획에 의거한 필요성 등을 고려하여 공정하고 투명한 원칙을 세워 할당, 배포 한다. 이 장비들은 일정기간마다 현황을 파악하여 시장 trend를 예측하고 호환성을 고려하여 up-grade하고, CAD tool 및 library들에 대한 사용법과 유지보수 업무는 계속적으로 수행하여 활용 노후를 상호 교환할 수 있도록 교류를 적극 장려할 뿐 아니라 공식적인 창구를 마련해 놓는다. 본 센터의 1차년도 CAD tool및 Hardware의 대학지원은 위와 같은 목표와 취지 아래 지난 4월까지 41개의 working group에 지원, 배포하였으며, 현재 유지 보수 업무를 수행중이다. 현재의 Hardware와 CAD Software의 각 대학 배분 현황은 표 4,5와 같다.

5. MPC 사업

종래 layout에서 끝나던 교육, 연구 결과를 실제 chip 제작과 chip test, board test를 통하여 설계 결과

<표 3> IDEC 공개강좌 video tape 보유현황

고유번호	강좌제목		
	강사진	시스템 수준 설계 방법론(96. 4. 16 - 19)	tape 수
96-04-06-01	김 용 연	CAD 시스템을 이용한 보드 및 시스템 레벨 설계환경 및 기법 LM 하드웨어 모델러 시스템 구조 및 기능	2개 2개
96-04-06-02	경 종 민	고성능 μP 설계 과정과 환경	2개
96-04-06-05	최 기 영	HW/SW Co-design 연구 동향	2개
96-04-06-06	지 용	Multi-Chip Module	2개
96-04-06-07	권 오 경	Package and Interconnect Modeling	2개
CMOS IC 설계 기초 실무(4. 22 - 25)			
96-04-07-01	유 회 준	CMOS 회로 기초 CMOS process 기초	2개 2개
96-04-07-02	송 호 준	Digital & Analog Circuit 설계 실무 이론 HSPICE를 이용한 Simulation 방법 및 이론	2개 1개
96-04-07-03	박 훈 수	LAYOUT 기초 이론	3개
아날로그 IC 설계(5. 6 - 10)			
96-05-08-01	송 원 철	연산증폭기 설계 연산증폭기 회로설계 및 시뮬레이션	2개 2개
96-05-08-02	김 욱	바이어스 회로 설계 Filter 회로설계	2개 2개
디지털 신호처리 알고리즘의 VLSI 구현(5. 20 - 23)			
96-05-10-01	이 용 준	디지털 신호처리 기초 및 응용	2개
96-05-10-02	선우명훈	DSP 칩 아키텍처	2개
96-05-10-03	김 이 십	영상처리용 VLSI 구조	2개
96-05-10-04	황 승 호	Design Methodology 및 VHDL 언어	2개
96-05-10-05	유 재 회	디지털 신호처리용 VLSI Components	2개
디지털 VLSI 테스트 기초(5. 27 - 29)			
96-05-11-01	김 규 철	테스팅의 개요	2개
96-05-11-02	송 오 영	Fault Simulation	2개
96-05-11-03	이 동 호	Automatic Test Pattern Generation과 Test Pattern Compaction	4개
96-05-11-04	박 성 주	Scan Design	2개
96-05-11-05	장 훈	BIST 와 IDDQ	2개
아날로그/디지털 Subsystem 설계(6. 24 - 27)			
96-06-12-02	김 범 섭	Charge-pump Based PLL 설계	4개
VIDEO IC DESIGN:Current Feedback Amplifier(CFA)(7.1-7.4)			
96-07-13-01	정 태 원	Introduction	2개
		CFA Design Specifications	2개
		Concept of CFA	2개
		Input Stage Options	2개
		Transimpedance Stage Options	2개
		Output Buffer Options	2개
		Frequency Response Tuning and Noise	2개
		Logic Design	2개

고유번호	강좌제목		
	강사진	VHDL 이론과 실습(7.22-7.25)	tape 수
96-07-14-01	김보관	VHDL 이론과 실습	4개
96-07-14-02	조중휘		3개
FPGA를 이용한 ASIC 설계(시스템 Prototyping)(7.29-8.1)			
96-07-15-01	박주성	FPGA를 이용한 ASIC 설계	6개
CMOS IC 설계 기초 실무(8. 5-8. 6)			
96-08-16-01	유희준	CMOS Design 기초	4개
96-08-16-02	송호준	CMOS 회로 설계 실무 이론	2개
96-08-16-03	박훈수	Layout 기초 이론	3개
초고속 VLSI 내부 배선 및 패키징 기술(8. 12-8. 14)			
96-08-17-01	김정호	High-speed VLSI Interconnection Technologies	4개
96-08-17-02	어영선	Interconnect Fundamentals for High-Speed VLSI Circuits	4개
96-08-17-03	백경옥	Electronic Packaging & Interconnection Technology	4개
IC designer를 위한 MOS공정과 소자 특강(8. 16-8. 17)			
96-08-18-01	홍성철	MOS DEVICE PHYSICS	2개
96-08-18-02	이종호	VLSI Process Integration	2개
96-08-18-03	신형철	MOS Transistors	2개
96-08-18-04	황성우	MOS Compact Modeling	2개
디지털 VLSI 시스템 설계(8. 19-8. 23)			
96-08-19-01	경종민	CMOS 논리 회로 기초 및 High-speed CMOS	4개
96-08-19-02	박인철	VHDL 설계 방법론	6개
아날로그 IC 설계(8. 26-8. 30)			
96-08-20-01	최중호	Analog IC 개론 및 설계 환경	4개
96-08-20-02	송원철	연산 증폭기 설계	6개
96-08-20-03	김욱	바이어스 회로 설계	5개

분석으로 보다 현실감 있는 교육,연구의 지향을 위해 시작되었다.

1차년도 MPC 사업은 국내의 반도체 3사(삼성전자, LG 반도체, 현대전자)로부터 지원을 받아 지난 3월 173건의 설계 신청서를 마감하고 공모된 과제로부터 선정 작업이 객관성을 갖기 위하여 다음의 세가지 관점에 적절한 비중을 두어 평가하였다. 첫째, 설계제작하려는 칩에서 사용될 알고리즘, 아키텍처, 회로설계기법 등에서 독창적인 아이디어가 얼마만큼 있는가 둘째, 칩이 성공적으로 제작되었을 경우 시장과 시스템 설계에 미치는 파급 효과를 보고 셋째, 칩의 설계 제작 과정으로부터 오는 교육적인 효과를 고려하였다. 대학에서 설계된 칩 데이터를 취합하여 현재 full-custom 39개, SOG 29개가 제작 중이다. 각 사별 MPC 사업 일정은 표 6과 같다.

6. 대외협력 사업 (홍보 및 실적 평가)

본센터의 사업현황 및 활동상황을 관련자 등 외부에 널리 알려, 이 사업이 우리나라의 반도체산업의 발전에 크게 이바지하고 성과가 극대화될 수 있도록 함에 목적을 두고 Newsletter 및 Brochure가 제작되었다.

Newsletter는 3개월에 1회, Brochure는 1.5년을 단위로 제작되며, 정부관련부서, 반도체 3사, 반도체 관련기업체, 각 연구소, 전국대학 전자공학과 교수등 모두 약 2000부가 발송된다.

7. 사업 추진 일정(95.12 ~ 99.11 : 4년간)

1) 반도체설계교육센터의 1단계 사업기간은 현재 95.12 ~ 99.11의 4년간으로 예정되어 있으며, 1단계 사업의 성공적인 수행을 전제로 주로 관련기업의 지원에 의하여 99년 11월 이후의 제 2단계 사업이 진행

〈표 4〉 IC설계교육환경 대학별 지원 내역

Working Group	WS 지원	WS 현물 추가지원	PC 지원	Working Group	WS 지원	WS 현물 추가지원	PC 지원
강릉대	1		6	강원대	2		3
건국대	2		2	경북대	3	1	5
경상대	2	1	3	경희대	2		3
고려대				공주대	1		6
광운대	4	1	5	국민대	2	1	3
금오공대	2		3	단국대	2		2
동국대	1		6	부산공대	1		6
부산대	4	1	5	시강대	2	1	2
서강대	2	1	3	시흥대			
서울시립대	2		2	성균관대	2		2
송실대	2	1	3	아주대	3	1	3
안양대	1		6	연세대(전자)			
울산대	2		3	연세대(컴퓨터)			
영남대	2	1	3	연전대	2		3
원광대	2	1	3	전북대(전기)	2		2
전남대	2		2	전북대(전자)	2	1	3
제주대	2		3	중앙대	2	1	3
성주대	2	1	3	충남대	3	1	4
충북대	3	1	3	포항공대	2	1	3
한양대(서울)				KAIST			
한양대(안산)	3	1		-	-	-	-

〈표 5〉 각 CAD tool별 개발적 지원 상황

번호	지원 tool	copy 수	지원대학 수	공급 현황	비 고
1	Altera	250	41	공급 완료	기 중
2	Cadence	200	36	공급 완료	구 매
3	COMPASS	200	36	공급 완료	구 매
4	Hspice	200	38	공급 완료	구 매
5	Mentor	200	35	공급 완료	구 매
6	MyCAD	250	30	공급 완료	구 매
7	Synopsys	200	38	공급 완료	구 매
8	Xilinx	150	41(지원 예정)	공급 예정	기 중

〈표 6〉 각 사별 MPC 사업내용

회사명	공정종류	chip size (mm*mm)	package 종류	신청수/ 제작 chip	설계 D/B 접수완료	IC 제작완료
LG	1-poly 2-metal 0.8 μ m n-well Full-Custom	5*5	100-pin QFP	72/30	7/11	11/30
현대	2-poly 2-metal 0.8 μ m twin-well full-custom	5.0954* 5.0954	100-pin QFP	17/9	7/27	11/30
	0.8 μ m SOG digital process	5.0954* 5.0954	100-pin QFP	38/12	8/14	11/15
삼성	0.8 μ m SOG digital process I	5.3*5.3	100-pin QFP	29/8	8/2	11/15
	0.8 μ m SOG digital process II	4*4	80-pin QFP	17/9	8/2	11/15

될 수 있도록 노력한다.

2) 각 대학의 지원 Working group(WG)은 매년 평가에 의해 지원 여부와 규모가 정해지되, 총 working group의 수는 예산 규모를 고려하여 정한다.

3) 대학원생 중심의 WG로 시작하여 점차 학부 중심 WG까지 지원을 확대해 간다.

4) IDEC의 사업내용중 CAD tool 사용교육, 공개강좌, MPC 설계지원 등은 지역센터로 점차 이관토록 한다.

5) Foundry interface 업무의 수행과 아울러 library cell을 여러 참여 대학에서 설계하여 배포 할 수 있도록 유도 한다.

6) CAD 환경구축은 기존 CAD tool의 평가, 구입, 배포와 자체적인 CAD tool의 개발로 구성된다.

III. IDEC 사업의 기대효과

IDEC 사업을 통하여 얻어지는 파급효과는 여러가지 이이나, 이를 크게 생각하면 다음과 같다.

즉, 국내 산업체에 대하여는 시스템 산업의 경쟁력 강화와 반도체 산업의 안정화를 도울수 있다는 것이며, 연구교육 기관에 대하여는 연관된 기술분야간 협동/분업 방식을 확산시키며 중소/대기업, 여러연구/교육기관간의 연계를 촉진시키는 것이다. 이를 요약하면 다음과 같다.

1. 시스템 산업의 경쟁력 강화

통신, 가전, 컴퓨터, 멀티미디어, 자동차 산업 등 시스템산업의 핵심 알고리즘의 ASIC 구현 및 시스템 Design-in을 통하여 부품 확보와 성능 면에서 우리 산업의 세계시장 경쟁력 확보에 큰 역할을 담당한다.

2. 반도체 산업의 포트폴리오

범용 DSP, 마이크로프로세서 칩과 여러 전자시스템 응용분야에서 다양한 ASIC 칩의 국내 독자 설계 및 생산을 통하여 수조원이 투자된 반도체 산업의 DRAM 시장의 과다 의존도를 줄이고, 사업의 안정성과 투자의 효용극대화를 이루는데 크게 공헌한다.

3. 다른 기술분야간 협력 체제 및 분위기 구축

센터 참여자 및 관련 연구자들은 하드웨어와 소프트웨어, 시스템과 회로/소자, 설계기술과 CAD tool간의 상승효과를 통하여 경쟁력 있는 Total System의 개발방법론을 터득하고, 축적된 협동/분업 방식, Scheduling 방식이 우리나라 대학, 회사, 연구소에 확산되어 대학에서는 산학협동 분위기 고양과 학제적 공동 연구 및 교육 효과를 회사에서는 고부가가치 제품 생산 경쟁력을 드높이는데 크게 공헌한다.

4. 다른 기관과의 교량 역할

중소기업의 제품 idea와 대기업의 반도체 제조능력간의 교량역할, 국내 여러 대학, 연구센터와 국립, 회

사 연구소간의 이론/응용분야의 교량역할, 선진국의 시스템 설계 능력과 국내 산업 능력간의 창구 역할을 통한 유무령의 기투자된 국내 Resource와 Infrastructure를 활성화 시킨다.

IV. 결 론

반도체 설계 분야는 우리의 산업 구조와 시대적 요구면에서 교육, 연구의 활성화가 가장 시급히 이루어져야 할 분야지만, 분야의 특성과 우리 교육의 한계로 인해 고전하고 있다. 실제 칩의 설계가 기업의 제작 지원으로 연결되어야 비로소 산 교육이 되는 반도체 설계 분야에 의지와 잠재력을 가진 전국의 대학이 본격적으로 참여하고 열매를 거두기 위해서는 협력과 토론과 실험의 장에서 벌어지는 산 교육의 제공이 필요하다. 이런 요구를 충족하기 위해 IDEC은 국가차원의 산업기술기반 구축사업의 첫케이스로 출범하게 되었다. 첫째의 예산은 20억원의 통산부 지원금과 그에 상당하는 규모의 반도체 3사의 현물 및 현금지원으로 구성되어, 반도체 설계분야의 고급 인력을 양성하는 밑거름이 되었다. IDEC의 효율적인 운영을 통하여 유능한 반도체 설계 엔지니어가 키워지고, 참신한 생각을 가진 다양한 엔지니어들간의 교류를 통해 우리 전자 산업의 밝은 미래가 더 활짝 열리게 될 것이다. IDEC의 발족을 계기로 많은 노력들이 대학으로부터 충실히 모여져 반도체 교육의 새로운 장을 열어놓는 계기가 되기를 바란다.

마지막으로 강조되어야 할점은 반도체 및 회로설계 엔지니어 외에 통신, 신호처리분야의 시스템구조 및 알고리즘 연구자들이 반도체칩 구현까지 관심을 갖고 참여하여야만 반도체산은 물론 시스템산업의 진정한 경쟁력이 생기게 될 것이라는 점이다.



경 종 민

- 1971년 3월 ~ 1975년 2월 : 서울공대 (학사)
- 1975년 3월 ~ 1977년 2월 : KAIST 전기 및 전자공학과 (석사)
- 1977년 3월 ~ 1981년 2월 : KAIST 전기 및 전자공학과 (박사)
- 1981년 4월 ~ 1983년 1월 : 미국 Bell 연구소 Postdoc
- 1983년 2월 ~ 1986년 2월 : KAIST 조교수
- 1985년 1월 ~ 1985년 2월 : 동경대학교 객원교수
- 1986년 3월 ~ 1990년 2월 : KAIST 부교수
- 1989년 9월 ~ 1989년 11월 : 독일 칼스루헤 대학 객원교수 (홍볼트재단)
- 1995년 7월 ~ 1995년 8월 : 독일 뮌헨공대 객원교수
- 1990년 3월 ~ 현재 : KAIST 전기 및 전자공학과 교수 겸 고성능집적시스템연구센터/반도체설계교육센터 소장