

〈主 題〉

ATM 처리 부품

박 홍 식

(한국전자통신연구소)

□차 례□

- | | |
|-------------------------|------------------|
| I. 머리말 | V. 스위치 패브릭용 소자 |
| II. ATM에서의 부품 상용화 대상 기능 | VI. AAL 기능 처리 소자 |
| III. 물리계층 소자 | VII. 결 론 |
| IV. ATM 계층 기능 처리 소자 | |

요 약

ATM관련 국제 표준안이 마련되어 값에 따라 규격화된 분야를 중심으로 상용 소자 개발이 활발히 진행되고 있다. 본 논문에서는 ATM에서 상용화의 대상이 되는 분야를 기능 및 규격 관점에서 살펴보고 물리계층 기능 처리 소자, ATM 계층 기능 처리 소자, 스위치 패브릭용 소자의 개발 현황을 설명한다. 또한 AAL (ATM Adaptation Layer) 기능 처리 소자에 대해서도 개발 현황을 정리한다.

I. 머리말

LAN간 상호 접속, VoD 서비스, 영상 전화 등 광대역 서비스 수요의 증가에 따라 광대역 서비스 제공을 위한 ATM 망의 구축 및 이에 필요한 ATM 교환기, 광대역 단말, 광대역 전송장치 등의 상용화 개발이 본격적으로 추진되고 있다[1][2]. 특히 Internet 서비스의 폭발적인 증대로 인하여 그 어느 때 보다 광대역 망의 조기 구축이 요구되고 있는 실정이다. 신속한 ATM 서비스의 제공 및 관련 장치 개발을 위해 ATM 포럼을 주축으로 발빠른 규격화가 이루어지고 있으며, 초기 광대역 망 구축에 필요한 국제 권고안 역시 ITU-T 주도로 거의 마련된 상태이다. 이에 따

라 국제 표준화 기구에 참여하고 있는 업체들은 국제 표준안 마련을 위한 초기의 협조 관계에서, ATM 장치의 조속한 상용화 개발을 위한 경쟁 체제로 이행되고 있다.

주지하다시피 ATM 장치의 상용화를 위해서는 앞서 언급한 국제 표준안의 마련외에도 상용 부품 및 ASIC의 확보가 필수적이다. 그것은 상용 부품 및 ASIC의 적극적인 채택을 통해 경제성있고 신뢰성있는 시스템 구축이 가능해지기 때문이다. 상용 부품은 ATM 분야에 대한 표준화 작업에 영향을 많이 받는다. 현재는 물리계층, AAL 계층 기능중 표준화가 거의 마무리된 기능의 처리를 위한 다양한 종류의 상용 부품이 개발되어 판매되고 있으며, ATM 계층의 경우는 현재도 새로운 ATM 전달 기능(ATM Transfer Capability, ATC), 예를 들어 ABR (Available Bit Rate), UBR (Unspecified Bit Rate), CCT (Controlled Cell Transfer) 등에 대한 표준안을 준비중에 있기 때문에 상용화된 부품은 그리 많지 않은 상황이다[3]. ATM 장치에서의 ASIC 채택 경향은 이전보다 더욱 뚜렷하다. ATM 장치의 고속 동작 및 이에 따른 높은 전력 소모, 실현해야 할 복잡한 기능들을 고려할 때 ASIC의 시스템 적용은 필연적이라 할 수 있다. ASIC은 시스템 의존적이기 때문에 개발 현황을 면밀히 파악하기는 매우 어렵다. 논문등을 통해 발표되고

있는 내용을 통해 개발 현황을 확인하는 정도이나 이 또한 발표 시점에서는 새로운 개발 정보로 받아 들일 수 없는 경우도 많다. 따라서 본 논문에서는 상용화된 ATM 처리 소자 위주로 개발 현황을 살펴보기로 하며 일부 ASIC에 대해서는 저자가 속해 있는 연구소에서 개발한 ASIC 위주로 개발 현황을 정리, 제시하고자 한다.

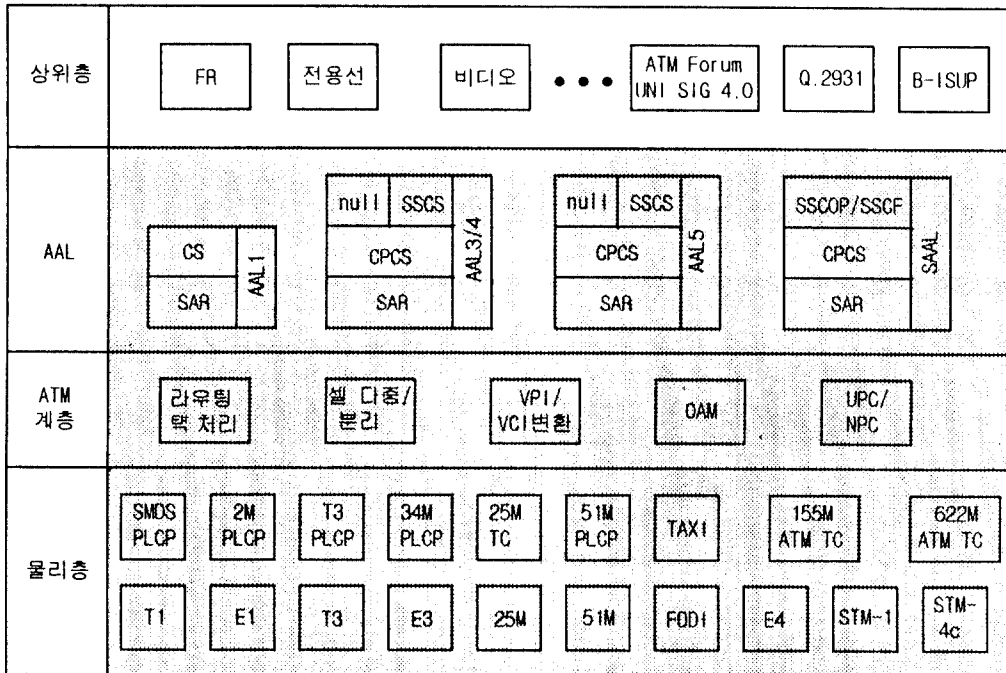
본 논문의 구성은 다음과 같다. 먼저 ATM에서 상용화의 대상이 되는 분야를 기능 및 규격 관점에서 살펴보고 물리계층 기능 처리 소자, ATM 계층 기능 처리 소자, 스위치 패브릭용 소자의 개발 현황을 설명한다. 또한 AAL (ATM Adaptation Layer) 기능

처리 소자에 대해서도 개발 현황을 정리하며 마지막으로 결론을 맺는다.

II. ATM에서의 부품 상용화 대상 기능

본 장에서는 상용화 내지는 ASIC화 대상이 되는 ATM 기술 분야를 B-ISDN 기능 관점에서 살펴보고, 상용 소자 개발을 전제로 한 ATM 기능의 분할 방법에 대해 설명한다.

그림 1에 B-ISDN의 프로토콜 참조 모델을 기준으로 한 B-ISDN의 기능을 보였다[4]. 그림에 표시하였듯이 확정된 규격이 제시된 물리계층, ATM 계층 및



상용/ASIC 소자 개발 대상 분야

- B-ISUP: broadband ISDN user part
- CPCS: common part convergence sublayer
- CS: convergence sublayer
- FR: frame relay
- OAM: operation and maintenance
- PLCP: physical layer convergence protocol
- SAR: segmentation and reassembly
- SSCS: service specific convergence sublayer
- TC: transmission convergence

그림 1. B-ISDN 기능
Fig. 1 Functions of B-ISDN

일부 기능을 제외한 AAL 계층 기능이 상용화 소자 개발의 대상이 된다.

물리계층은 물리 매체 (Physical Medium, PM) 부계층과 전송 수렴 (Transmission Convergence, TC) 부계층으로 나뉘는데 물리 매체의 경우 전송 속도, 거리에 따라 단일 모드 광섬유, 다중 모드 광섬유, 플라스틱 광섬유, 동축 케이블, UTP (Unshielded Twisted Pair) 케이블, STP (Shielded Twisted Pair) 케이블 등 다양한 매체가 권고되어 있다. TC의 주 기능은 HEC 생성 및 검증, 셀 경계 식별, 전송 프레임 생성 및 복구, 셀 속도 정합 등으로서 전송 속도별로 전송 프레임 구조가 달리 정의되어 있다. 따라서 물리 매체의 종류, 전송 프레임 구조에 따라 다양한 형태의 정합 소자가 존재하게 된다. ATM 계층은 경보 신호의 검출 및 생성, 루프백, 성능 감시, 연속성 검사 기능과 같은 각종 유지 보수 기능, 셀 헤더 변환, 라우팅 택 부착 및 제거, UPC (Usage Parameter Control) 기능 등을 수행한다. 또한 다양한 서비스가 요구하는 각종 서비스 품질을 효과적으로 만족시켜주기 위해 DBR (Deterministic Bit Rate), SBR (Statistical Bit Rate), ABR, UBR, CCT와 같은 ATM 계층에서의

전달 기능이 정의되어 있다. 현재까지는 DBR만을 고려한 ATM 계층 처리 소자가 발표되고 있으며 ABR ATC까지 처리하는 소자는 조만간 출현할 것으로 보인다. 아직까지 규격이 완벽하게 정리되지 않은 부분이 있어 상용화된 ATM 계층 처리 소자는 그리 많지 않으며, 기능의 복잡성 때문에 ATM 계층 기능을 단일 소자로 실현하기 보다 ATM 계층의 세부 기능을 전담 처리하는 몇 개의 소자로 분할 실현하는 경우가 많다. ATM 계층 처리 소자에는 ATM 스위치 패브릭을 구성하는 소자도 포함된다. ATM 스위치 패브릭용 소자는 특히 시스템 의존적이어서 상용화된 ATM 스위치 패브릭용 소자는 그 수가 미미하다. 사실 및 국설 교환망용 ATM 교환기를 구성하기 위한 다양한 ATM 스위치 패브릭 ASIC이 개발되었다고 보고되고 있으나 최근 정보인지를 확인하기는 어려우며 실제 시스템에 적용되어 사용되고 있는지를 확인하기는 더욱 어렵다. AAL (ATM Adaptation Layer)은 셀 분해 및 조립, 데이터 유니트의 정당성 검증 등의 기능을 수행하는 계층으로서 서비스 형태에 따라 AAL1, AAL2, AAL3/4, AAL5 프로토콜이 정의되어 있다. 단일 소자로 AAL2를 제외한 모든 프로

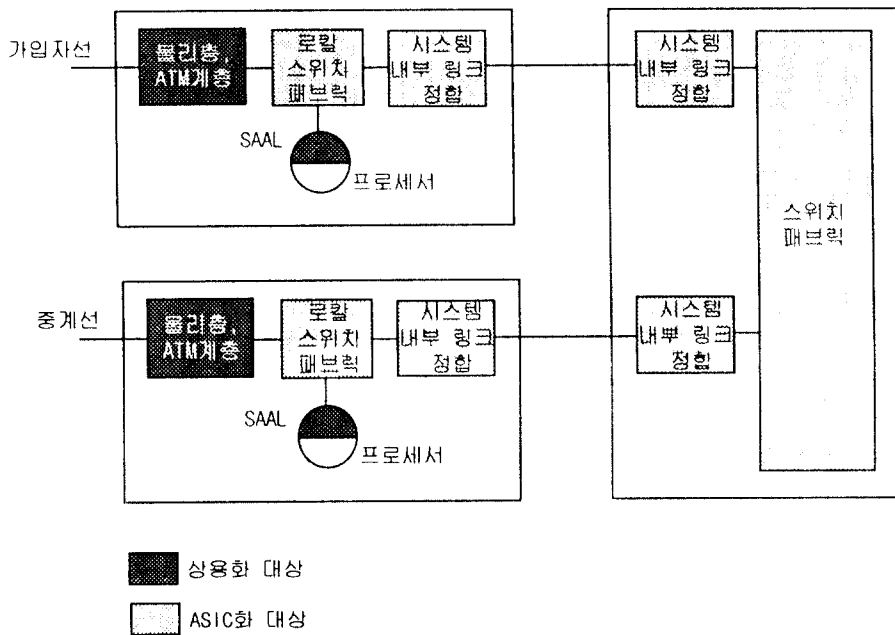


그림 2. ATM 교환기중 상용화/ASIC화 대상

Fig. 2 Application of commercial components/ASICs in the ATM switching system

토콜을 지원하려는 경향이 뚜렷하다.

앞서 언급한 B-ISDN 기능을 실현하기 위한 전형적인 ATM교환기 구조를 그림 2에 보였다. H/W는 모두 상용화/ASIC화 대상이 된다고 볼 수 있는데, 특히 가입자/중계선 정합부와 제어계는 상용 소자화 하기 용이한 부분이며 스위치 패브릭, 시스템내 링크 정합회로 등은 ASIC화 대상이 되는 부분으로 판단된다.

ATM 기능의 분할 방법으로 다음 몇 가지를 생각할 수 있다.

- 1) 물리계층/ATM 계층 기능/AAL 기능
- 2) (물리계층+ATM 계층 기능)/AAL 기능
- 3) 물리계층/(ATM 계층 기능+AAL 기능)
- 4) (물리계층+ATM 계층 기능+AAL 기능)

방안 1)은 물리계층의 복잡성, ATM 계층 기능의 기능 추가, 변경 가능성 등을 고려한 분할 방식으로 가장 현실적인 접근 방식으로 판단된다. 방안 2)는 물리계층과 ATM 계층의 친밀성을 고려한 방식으로, STM-1과 같이 ATM 시스템에 많이 사용되는 특정 정합 회로 실현에는 효과적이겠으나 다양한 물리계층 별로 별도의 소자가 개발되어야 할 가능성이 있다. 방안 3)은 ATM 단말기 실현을 전제로 할 때 바람직한 방식으로 볼 수 있으나, ATM 교환기의 경우는

AAL 기능을 시스템내에서 통합 처리하는 것이 효과적이기 때문에 ATM 계층 기능과 AAL 기능을 분리하는 경우도 있다. 또한 ATM 교환기의 경우 모든 AAL 기능을 시스템내에 가질 필요는 없다. 방안 4)는 SMDS와 같이 수요가 많은 특정 서비스를 효과적으로 지원하기 위해 모든 ATM 기능을 통합한 방식이다. 모든 서비스 수용을 전제로 하는 경우 효과적인 분할 방식으로 보기에는 다소 무리가 있다.

III. 물리계층 소자

물리계층의 경우 규격화된 가입자 정합 종류가 많아 이를 실현하기 위한 다양한 소자가 발표되고 있다. 표 1에 현재까지 국제 표준화 기구에서 정의한 가입자 정합 종류를 보였다[5][6].

표 1에서 볼 수 있듯이 다양한 형태의 정합 회로와 물리 매체들이 정의되어 있기 때문에 효과적인 기능 분할에 의한 소자 종수의 최소화가 관건이 된다. 물리계층의 기능 분할 방법의 예를 들면 다음과 같다.

- STM-4c: PLL Tx/PLL Rx/STM-4 framer 또는 (PLL Tx + PLL Rx)/STM-4 framer
- STM-1: (PLL Tx + PLL Rx)/STM-1 또는 (PLL Tx + PLL Rx + STM-1)

<표 1> ATM UNI 종류

Table 1 Physical interfaces of an ATM UNI

Range	ITU-T (public)	ATM Forum (private)
high speed	- STM-4c - STM-1 SMF, MMF, coaxial cable, minicoaxial cable	- STS-3c - 155Mbits/s MMF, STP and UTP interface - E4 - 100Mbits/s MMF
medium speed	- 51.84Mbit/s (S _B only) - 25.6Mbit/s (S _B only)	- 51.84Mbit/s UTP - DS3/E3 - 25.6Mbit/s
low speed	- 1.544, 2.048Mbit/s	- DS1

*MMF: multimode fiber
STP: shielded twisted pair
UTP: unshielded twisted pair

- T1/T3/E1/E3: line_driver/framer/PLCP 또는 line_driver/(framer + PLCP)
 - Quad STM-1: (quad_PLL Tx + Rx)/quad_framer
- STM -4c의 경우 소자의 고속 동작 때문에 PLL Tx와 PLL Rx를 framer 소자와 분리하는 경우가 일반적이다. 또한 STM-4 framer의 경우는 STM-4 프레임 처리 기능외에도 STM-1이나 STS-1프레임 기

<표 2> UNI/NNI별 상용 소자 예

Table 2 Commercial chip sets for UNI/NNI

(a) 155M line transceivers

	SDH transceiver CY7B951	OC-3 transceiver SY69951	OC-3 trans/rec S3011/S3012	155M clock rec/gen TDC1531/TDC1556
제작회사	Cypress	Synergy	AMCC	TI
기능/특성	- 155M PLL, 비트 동기 (Tx & Rx)	작동	- S3011 : 155M PLL, P/S (Tx) - S3012 : 155M 비트 동기, S/P, SDH 프레임 검출 (Rx)	- TDC1531 : 155M PLL (Tx) - TDC1556 : 155M 비트 동기 (Rx)
규격	OC-3/STM-1	작동	작동	작동
I/O	- serial to optics - serial to framer	작동	- serial to optics - parallel to framer	- serial to optics - serial to framer
패키지	- 24 pin SOIC, 0.8um BICMOS	작동	- each, 80 pin PQFP, 2.5W	- each 24 pin SOIC
비고	- 프레임 검출 기능 없음 - '95년, '96년 VC 교환기 STM-1 NNI에 사용	- '96년 생산	- '93년 생산 - '94년 VP 교환기에 사용	- 프레임 검출 기능 없음 - '94년 생산

(b) 155M SDH physical layer chips

	SUNI-155-LITE PM5346	ATM transceiver TDC1500A	BUNI15	ASAH-P
제작회사	PMC	TI	ETRI	ETRI
기능/특성	- 비트 동기, PLL - S/P, P/S - SDH 프레임 검출 및 처리	작동	작동	- SDH 프레임 검출 및 처리
규격	STM-1	작동	작동	작동
I/O	- serial to optics - UTOPIA to ATML	작동	작동	- parallel to line transceiver - parallel to ATML
패키지	- 128 pin PQFP	- 144 pin PQFP, BICMOS	- 128 pin PQFP, 0.8um CMOS	160 pin CPGA
비고	- '94년 생산 - '95년, '96년 VC 교환기 STM-1 UNI에 사용	- '94년 생산	- '96.12. 예정	

(c) 622M line transceivers

	OC-12 trans/rec S3017/S3018	OC-12 transceiver SY69712	OC-12 transceiver S3028	622M clock rec & gen TDC1622
제작회사	AMCC	Synergy	AMCC	TI
기능/특성	- S3017 : 622M PLL, P/S (Tx) - S3018 : 622M 비트 동기, S/P, SDH 프레 임 검출 (Rx)	- 622M PLL, 비트 동 기, P/S, S/P (Tx & Rx)	- 622M PLL, 비트 동 기, P/S, S/P, SDH 프 레임 검출 (Tx & Rx)	- 622M PLL, 비트 동 기 (Tx & Rx)
규격	STM-4/STM-4c	작동	작동	작동
I/O	- serial to optics - parallel to framer	작동	작동	- serial to optics - serial to framer
패키지	- each, 52 pin PQFP- TEP	- 100 pin PQFP, 2.9W	- 120 pin TEPP	- 28 pin SOIC
비고	- '95년 생산 - '95년, '96년 VC 교 환기 STM-4 NNI에 사용	- SDH 프레임 검출 기 능 없음 - '95년 생산	- '96.10. 생산 예정	- P/S, S/P 및 SDH 프 레임 검출 기능 없음 - '94년 생산

(d) 622M SDH physical layer chips

	SUNI-622 PM5355	ASAH-P4	STTX PM5312	UNI processor WAC-012-A
제작회사	PMC	ETRI	PMC	IGT
기능/특성	- 프레임 검출 및 처리	- 프레임 검출 및 처리	- 프레임 다중화/역다 중화	- 프레임 다중화/역다 중화
규격	STM-4c/STM-1/STS-1	STM-4c	STS-1, STM-1, STM-4	STS-1, STM-1, STM-4
I/O	- parallel to line transceiver - UTOPIA to ATML	- parallel to line transceiver - UTOPIA to ATML	- parallel to line transceiver - parallel to VC-4 framer	- serial/parallel to line transceiver - parallel to VC-4 framer
패키지	- 208 pin PQFP	- 241 pin CPGA	- 208 pin PQFP	
비고	- '94년 생산	- '96년 개발	- '94년 생산 - '95년, '96년 VC 교 환기 STM-4 NNI에 사용	- '96년 생산

(e) T1/T3/E1/E3 PDH framer and PLCP

	PLPP PM7321	SUNI-PDH PM7345	PDH processor WAC-034-A	SUNI-MPH PM7344
제작회사	PMC	PMC	IGT	PMC
기능/특성	- P/S, S/P - 프레임 처리 - PLCP 처리	- P/S, S/P - 프레임 처리 - PLCP 처리	- quad functions - 프레임 처리 - PLCP 처리	- quad functions - line coding, 비트 동기 - 프레임 처리 - PLCP 처리
규격	T3/E3/T1/E1	T3/E1	quad T1/T3/E1/E3	Quad T1/E1
I/O	- serial to line transceiver - parallel to ATML	- serial to line transceiver - UTOPIA to ATML	- serial to line transceiver - UTOPIA to ATML	- serial to line transformer - UTOPIA to ATML
패키지	- 84 pin PLCC, CMOS	- 80 pin PQFP or 68 pin PLCC	- 144 pin PQFP	- 128 pin PQFP, CMOS
비고	- 비트 동기 기능 없음 - '93년 생산	- 비트 동기 기능 없음 - '94년 생산 - '96년 VC 교환기 V3.3 중속에 사용	- 비트 동기 기능 없음 - '94년 생산	- '96년 생산

(f) quad 155M line transceivers and SDH framers

	Quad Transceiver SY69743	Quad UNI processor WAC-413-A	VP67100	SUNI-dual PM5348
제작회사	Synergy	IGT	VTI	PMC
기능/특성	- quad line transceivers - 비트 동기, PLL - 12.96MHz local osc. 사용	- quad framers - S/P, P/S - SDH 프레임 검출 및 처리	좌동	- dual line transceivers and dual framers - 비트 동기, PLL - S/P, P/S - SDH 프레임 검출 및 처리
규격	quad STM-1	좌동	좌동	dual STM-1
I/O	- serial to optics - serial to framer	- serial to line transceiver - UTOPIA to ATML	좌동	- serial to optics - UTOPIA to ATML
패키지	- 100 pin PQFP, bipolar, 1.8W	- 208 pin PQFP		- 160 pin PQFP
비고	- '95년 생산	- '96년 생산	- '95년 생산	- '96년 생산

능을 함께 처리하는 경우가 많다. STM-1의 경우 광 모듈에 PLL Tx/Rx 기능이 포함되는 경우와 포함되지 않는 경우가 있어서 STM-1 처리 소자는 여러 가지 형태를 가질 수 있는데 최근에는 STM-1 물리층 전체 기능을 단일 소자에 집적시키는 경우가 일반적이다. 중저속 정합의 경우는 다양한 정합 회로를 단일 소자로 처리하는 경우가 많으며 여러 가지 물리매체의 사용을 고려하여 line driver는 framer 소자와 분리하는 경향이 뚜렷하다. STM-1의 경우 소자 제조 기술의 발달로 단일 소자에 4개의 STM-1 정합 회로를 함께 수용할 수 있는 소자가 다수 발표되고 있다. 표 2에 각 정합 회로별로 상용화된 소자 예를 보였다.

IV. ATM 계층 기능 처리 소자

4.1 라우팅 태그 처리/OAM 기능 처리 소자

현재 개발 진행중이거나 완료된 ATM 계층 기능 처리 소자들은 ITU-T I.610 권고안 및 ATM 포럼 규격에 기초한 OAM 기능 처리와 라우팅 태그 처리 기능을 수행하는 소자들이 주종을 이루고 있다. 라우팅 태그 처리 기능과 OAM 처리 기능을 분리한 소자, 이를 통합한 소자 그리고 ATM 계층 기능의 송수신 기능을 별도로 분리한 것 등이 발표되고 있다. 최대 지원 연결 수는 1K에서 64K까지 융통성 있게 확장 가능한 구조로 되어 있으며, 현재 상용화 된 소자들은 대부분 미국에서 나오고 일본등지에서는 시스템 종속 제품으로 개발되어 상용화된 것은 없다. 또한 ATM 계층 기능 처리 소자중 SAR (Segmentation and Reassembly) 기능을 함께 지원하는 소자도 있으며 라우팅 태그 처리 및 OAM 기능을 처리하는 소자는 두

<표 3> 라우팅 태그/OAM 기능 처리 소자

Table 3 Routing tag and OAM processing chip sets

	PM7323 RCMP-200	WAC-186B	ASAH-L/HP	ATMI
-제조회사	PMC	IgT	ETRI	ETRI
-지원 연결수	64K	16K	128	1K
-라우팅 태그 부착	yes	yes	3byte	3byte
-멀티캐스팅 지원	yes	-	-	yes
-정합	UTOPIA 1, 2	UTOPIA 1, 2	UTOPIA	non UTOPIA
-송수신 지원	수신만 지원	송수신 지원	송수신 지원	송수신 지원
-외부 메모리	SRAM	SRAM	SRAM	DPRAM
-프로세서 정합 버스	16bit	32bit	16bit	8bit
-AIS,RDI,CC셀 생성	yes	yes	yes	CC셀만 생성
-PM	64K	32	6	VP128+VC256
-UPC	PCR, SCR	PCR, SCR	-	-
-속도	25M	33M	33M	25M
-패키지	240핀 QFP	208핀 QFP	240/160핀 QFP	304핀 QFP
-물리층 정합	STM-1, 32DS1	8DS1, 8DS3, 4STM-1	STM-1	STM-1

개사 정도에서 판매하고 있을 뿐이다. 입출력 인터페이스는 UTOPIA를 채택하고, SRAM을 외부 메모리로 사용하는 것이 일반적이다. 표 3에 ATM 계층 기능 처리 소자를 비교하였으며 한국전자통신연구소에서 개발한 ASIC들도 함께 제시하였다.

4.2 UPC/NPC 처리 소자

UPC/NPC는 가입자와 망 또는 망간 데이터 전송시에 호설정 단계에서 상호 협상된 셀 전송 속도를 잘 준수하는지를 감시하여 망이 폭주 상태에 빠지는 것을 사전에 예방하기 위한 기능으로서 ATM 망에서의 트래픽 제어 기능중 하나이다. 현재까지 감시 대상이 되는 셀 전송 속도로는 최대 셀 전송 속도(peak cell rate, PCR)와 평균 보장 셀 전송 속도(sustainable cell rate, SCR)가 정의되어 있다. 두 가지 셀 전송 속도를 감시하기 위한 알고리즘으로 GCRA(Generic Cell Rate Algorithm)가 제시되어 있으며 GCRA는 VSA(Virtual Scheduling Algorithm)와 LB(Leaky Bucket) 알고리즘을 기반으로 하고 있다. ITU-T권고안에는 ATC, CLP(Cell Loss Priority), 및

셀 종류에 따라 구분되어지는 다양한 셀 흐름들에 대해 소스 트래픽 디스크립터의 협상을 권고하고 있다 [3]. ATC별 협상되는 트래픽 디스크립터는 다음과 같으며 따라서 이에 대한 감시 동작이 일어나야 한다.

- DBR: 1) PCR for user data CLP=0+1 및 PCR for end-to-end user OAM 셀 또는
2) PCR for user generated CLP=0+1 셀
- SBR: 1) PCR for CLP=0+1 셀 및 SCR for CLP=0+1 셀 또는
2) PCR for CLP=0+1 셀 및 SCR for CLP=0 셀
- ABT: PCR for CLP=0+1 셀, PCR for end-to-end user OAM 셀, SCR for CLP=0+1 셀 및 PCR for RM 셀 (SCR=0 이어도 됨)
- ABR: 트래픽 디스크립터는 PCR와 MCR(Minimum Cell Rate)이나 실제 감시 대상은 ACR(Allowed Cell Rate) 위에서 알 수 있듯이 어떤 ATC이건 동시에 2개 정

<표 4> UPC/NPC 소자
Table 4 UPC/NPC chips

	POL3	PMC7323-RCMP200	WAC-186A	UPCI	SPLI
-제조회사	ATecoM	PMC	IgT	ETRI	ETRI
-알고리즘	LB	VSA	VSA	VSA	VSA
-지원 연결수	64K	64K	16K	0.5K	0.5K
-메모리	외부 DRAM	외부 SRAM	외부 SRAM	내부 SRAM	내부 SRAM
-UPC 엔진수	NA	2	2	1	2
-Granularity	0.78%	1.41%	NA	0.27%	0.27%
-최소 지원 속도	약 200b/s	1200b/s	약 200b/s	75b/s	75b/s
-셀 계수	통과 셀수 폐기 셀수 태깅 셀수	위반 셀수	위반 셀수	폐기 셀수 태깅 셀수	폐기 셀수 태깅 셀수
-패키지	160핀 PQFP	240핀 PQFP	208핀 QFP	180핀 CPGA	208핀 PQFP
-기타 기능	-	OAM 기능	OAM 기능	-	spacing 기능 내장

〈표 5〉 단위 스위치 엘레먼트
Table 5 Switch elements for an ATM switch fabric

	BASE 16	ISE 16	Toshiba 스위치	Mitsubishi 스위치
-제조회사	Italtel	Alcatel	Toshiba	Mitsubishi
-입출력 속도 및 규모	311M 4bit 병렬 8x8	155M 기준 16x16	622M 4bit 병렬 8x8	622M 8bit 병렬 (bit sliced) 8x8
-구조	공유 메모리(192셀)	공유 메모리(256MSC, 1MSC=1/8셀)	공유 메모리(320셀)	공유 메모리(1024셀)
-특징	back pressure기능	MSC를 사용하여 버퍼 크기를 줄임	5개 ATC 지원, back pressure기능	-
-동작 속도	77.8M	39M	NA	77.76M
-전력 소모	7W	6W	4W	2W
-제조 기술	0.8um BiCMOS	NA	0.35um CMOS	0.8um BiCMOS
-패키지	447핀 CPGA	NA	447핀 CPGA	236핀 CQFP
-기타		다중 경로 구성으로 셀순서 보존 기능 필요	링크 정합 소자는 별도	4개 chip으로 스위치 패브릭구성

	WAC-488-A	ASL	ACE	NS31
-제조회사	IgT	Lucent	Lucent	ETRI
-입출력 속도 및 규모	155M 4bit 병렬 32x32	622M 8bit 병렬 8x8	622M 8bit 병렬 8x8	188.7M 4bit 병렬 16x16
-구조	크로스포인트	공유 메모리(512 셀)	크로스바	공유 메모리(512셀)
-특징	back pressure기능, 내부 속도 증대	back pressure기능, 우선 순위 제어		
-동작 속도	66M	40M	40M	50M
-전력 소모	3W	NA	NA	NA
-제조 기술	0.5um CMOS	0.5um CMOS	0.5um CMOS	0.5um CMOS
-패키지	495핀 BGA	388핀 PBGA	352핀 PBGA	447핀 CPGA
-기타	64 멀티캐스트용 버퍼 내장		시스템 확장시 ASL와 함께 사용	

도의 셀 스트림을 감시해야 필요가 있기 때문에 두 개의 UPC 엔진을 한 칩에 수용하려는 경향이 있다. 또한 운용 및 유지 보수 기능을 위해 폐기하거나 태깅한 셀 수를 계수하는 기능을 갖는 것이 일반적이다. 표 4에 현재까지 발표된 UPC 소자를 비교하였다[7].

V. 스위치 패브릭용 소자

ATM 교환기의 스위치 패브릭은 시스템의 정보 처리 능력을 결정하는 중요한 요소중의 하나이다. 스위치 패브릭이 가져야 할 처리 용량은 ATM 교환기의 응용 분야에 따라 차이가 난다. 사설 교환기의 경우 수 Gb/s 정도의 처리 용량을 갖고 국설 교환기의 경우 수 십 내지 수 백 Gb/s의 용량을 가진다. 특히 국설 교환기의 경우 미래의 광대역 서비스 수요를 예상하여 대용량 스위치 패브릭을 구성하려는 노력이 활발하다. 스위치 패브릭은 채택한 스위칭 알고리즘, 스위치 구조 및 토폴로지, 스위치 규모, 입출력 링크 속도 등에 따라 다양한 형태를 가지며 처리 용량도 차이가 난다. 스위치 패브릭 구성시 적용되는 토폴로지는 MIN (Multistage Interconnection Networks), ring, bus형을 들 수 있고, 구조로는 banyan, crosspoint,

bnnes, 공유 메모리형 스위치 등을 들 수 있다. 또한 스위치 패브릭은 출력 포트에서의 셀 경합 해소 방법, 블러킹이 있는 스위치의 경우 셀 블러킹율을 줄이기 위한 방법, 버퍼의 위치, 방송 서비스 제공 방식, 대규모화 방안 등에 따라 여러 가지 형태로 변형된 스위치 구조가 제시, 개발되어지고 있다[8][9][10]. 광대역 서비스가 그리 확산되고 있지 않은 현재로서는 소규모 스위치 패브릭 구성에 적합한 공유 메모리형 스위치가 가장 많이 채택, 구현되고 있다. 그것은 공유 메모리형은 성능이 우수하고, 방송 기능을 실현하기 용이할 뿐 아니라 ASIC화하기에 적합하기 때문이다[11]. 상용화된 스위치 패브릭용 단위 스위치 셀레멘트로는 155Mb/s 입출력 링크 기준 32x32 규모로 5Gb/s 처리 용량을 갖는 소자가 발표되고 있다. 스위치 패브릭용 단위 스위치 셀레멘트 개발에 있어서는 실현이 용이하고 성능이 우수한 구조를 채택하여 단위 스위치 셀레멘트의 처리 용량을 가급적 크게 함으로써 대규모 스위치 패브릭 구성시 처리 용량을 최대화할 수 있게 하면서, 확장성을 갖는 소자를 개발하려는 경향을 보이고 있다. 표 5에 현재까지 논문 등을 통해 발표된 몇가지 단위 스위치 셀레멘트들을 상용 소자와 함께 정리, 비교하였다.

<표 6> AAL 기능 처리 소자
Table 6 AAL processing chips

소자명	회사	주요 제원
WAC-021-A	IgT	-AAL 1지원 -DS1/3정합 속도 지원
L64360	LSI Logic	-SAR, ATM 계층기능 지원 -155M 속도까지 처리 -65K 연결 지원 -BiCMOS, 208핀 QFP
TDC 1560/ 1561	TI	-AAL 3/4, 5지원 -1K 연결 지원 -32K-155Mb/s 처리 -TDC1561은 SAR 기능처리
TXC 05501/ 05501	TranSwitch	-SAR, ATM 계층 기능 처리 -64K 연결 지원 -송수신 기능별 별도 소자
M1886687	Fujitsu	-AAL 3/4, 5 지원 -1K 연결 지원 -155M 속도까지 처리

표에서 알 수 있듯이 스위치 구조는 대부분 공유 메모리형을 채택하고 있으며, 입출력 속도는 STM-4 급을 수용할 수 있고 (스위치 엘리먼트의 동작 속도를 낮추기 위해 4bit 또는 8 bit 병렬화가 일반적), 규모는 8x8 정도인 단위 스위치가 주류를 이루고 있다. 실험적으로는 일본 NTT에서 20Gb/s 링크를 수용할 수 있는 크로스포인트형 2x2 스위치 엘리먼트를 이용하여 160Gb/s 처리 용량을 갖는 스위치 패브릭을 개발한 예가 있다[12].

VI. AAL 기능 처리 소자

AAL 기능 처리 소자는 AAL 프로토콜이 확정되어 감에 따라 특정 AAL 프로토콜만을 지원하던 초기 단계에서 다양한 AAL 기능을 동시에 지원하는 단계로 이행되고 있다. AAL 3/4, 5 기능중 SAR나 CPCS 기능은 처리 능력 향상 측면에서 하드웨어로 실현하는 것이 바람직한 반면, SSCOP, SSCF 기능은 기능 추가 및 변경, layer management와의 정합 등을 고려할 때 소프트웨어로 실현하는 것도 가능하다. 표 6에 몇 가지 AAL 기능 처리 소자를 비교하였다.

VII. 결 론

본 논문에서는 상용화되거나 ASIC화된 여러 가지 ATM 기능 처리용 소자를 ATM 기능별로 정리, 비교하였다. 물리층 및 AAL 기능 처리 소자의 경우 기능이 다양하고 성능이 우수한 소자가 다수 상용화되어 있어 이들을 적극 활용하는 것이 시스템의 경제성, 신뢰성 확보 측면에서 바람직할 것이다. ATM 계층 기능 처리 소자의 경우는 기능 추가, 변경가능성 외에도 고유 기술 확보 측면을 고려할 때 ASIC화를 전제로 하는 것이 타당할 것이다. 자료 입수의 제한성 때문에 많은 소자를 소개하지는 못하였으나 상용 소자의 경우 시스템에 많이 적용되는 소자는 가급적 포함시키려고 노력하였다. ASIC의 경우는 시스템 의존성이 높아 가장 최근에 발표된 논문 내용을 중심으로 정리한 까닭에 실제 시스템에 적용되어 사용되고 있는지는 불확실하다. 그러나 관련 분야의 연구 개발 동향을 파악하는데 도움은 될 수 있을 것이다. 가급적 많은 소자를 소개하고자 하는 취지에서 ATM 기능별 대표적인 소자에 대해 구체적인 동작 설명을 포함하지는 못하였으며 다음 기회에 이런 내용을 중심으로 다시 정리, 보고하기로 한다.

감사의 글

본 논문 작성에 필요한 자료를 성심껏 제공해 주신 한국전자통신연구소 ATM 교환연구실 이정희씨와 ATM 정합연구실 권울 박사님께 고마움의 뜻을 전합니다.

참 고 문 헌

- [1] The ATM report, Broadband Publishing Corporation, vol.4, no.4, July 1996.
- [2] The ATM report, Broadband Publishing Corporation, vol.3, no.8, Oct. 1995.
- [3] ITU-T 권고안 I.371, 1994.
- [4] ITU-T 권고안 I.321, 1994.
- [5] ITU-T 권고안 I.432.1-4, 1996.
- [6] ATM Forum ATM UNI spec. version 3.1, 1994년 7월.
- [7] M. Y. Jeon, D. Y. Kwak and H. S. Park, "Implementation of a peak cell rate policer using the virtual scheduling algorithm," Proceedings of ICC 96, pp.762-766, June 1996.
- [8] W. Denzel and H. Ahmadi, "A survey of modern high-performance switching technologies," IEEE JSAC, vol.7, no.7, pp.1091-1103, Sept. 1989.
- [9] F. A. Tobagi, "Fast packet switch architectures for broadband integrated services digital networks," Proceedings of IEE, vol.78, no.1, pp.133-167, Jan. 1990.
- [10] 박홍식, 강석열, "ATM 교환기술," 대한전자공학회 텔레콤지, 제7권 제1호, 1991년 5월.
- [11] 이정희, 나지하, 김진영, 박권철, 강석열, "Scalable ATM 교환기를 위한 공유 메모리형 스위치 실현," 한국통신학회 추계 종합학술발표회 발표 예정, 1996년 11월.
- [12] K. Genda, Y. Doi, K. Endo, T. Kawamura, and S. Sasaki, "A 160-Gb/s ATM switching system using an internal speed-up crossbar switch," Proceedings of Globecom 94, pp.123-133, 1994.



박 홍 식

-
- 1977년 2월 : 서울대학교 공과대학 졸업(학사)
 - 1977년 3월 ~ 현재 : 한국전자통신연구소 근무
 - 1986년 2월 : KAIST 전기 및 전자공학과 졸업(석사)
 - 1995년 2월 : KAIST 전기 및 전자공학과 졸업(박사)
 - 현재 : ATM정합연구실장
 - 관심분야 : ATM 정합 기술, ATM 프로토콜,
ATM 트래픽 제어, ATM 시스템 성능
분석 등