

〈主 題〉

高速傳送用 PCB 技術動向

이 진 호
(대덕전자)

□차 례□

- | | |
|------------------------------------|--------------------------------------|
| I. HIGH SPEED용 LAMINATE 종류 | V. PCB 공정 CONTROL |
| II. LAMINATE에 있어서의 유전율 | VI. CONTROLLED IMPEDANCE DESIGN RULE |
| III. GETEK (MEGTRON R-5715) | VII. COUPON DESIGN RULE |
| IV. PCB에서의 IMPEDANCE 영향을 주는 FACTOR | |

HIGH SPEED PCB

컴퓨터와 통신이 일체가 되는 高度情報化 社會가 진행됨에 따라 그 두 시스템은 합쳐지고 정보량이 비약적으로 증가되어 정보처리의 고속화가 필요하게 되었다. 컴퓨터에서는 연산처리의 고속화로 인해 PCB에서 'IMPEDANCE MATCHING이 새로운 문제로 대두되고 마이크로프로세서에서는 클럭 주파수가 증가됨으로 처리속도를 향상시킬수가 있었다. 그밖에 통신분야에서도 정보량이 증대됨에 따라 디지털화가 진행되고, 위성방송이나 휴대형 전화기의 보급으로 인해 고주파 대역의 사용이 확대되고 있는 실정이다.

그간 폐사에서는 통신용을 중심으로 CI(CONTROLLED IMPEDANCE) PCB를 생산하고 있었는데 요즘에는 그 영역이 확대되어 S-DRAM用 SIMM,

DESK TOP COMPUTER, IC TEST BOARD, NETWORK 장비 등에서도 CI가 요구되고 있는 실정이다.

CI가 요구되는 분야에는 RADIO, RADAR, MICROWAVE와 같은 고주파 회로제품과 컴퓨터와 같은 LOGIC 회로제품이 있는데 그 둘은 각 특성이 상이하기에 본 논문에서는 고주파 부분은 제외하고 HIGH SPEED에 관련해 PCB에서는 어떻게 임피던스를 컨트롤하는가를 PCB 원자재와 PCB 공정을 중심으로 논의해 보기로 하겠다. 이 논문을 읽은 독자들의 대부분이 통신 관련분야에 종사하는 독자들이기에 임피던스에 관련된 전자공학적인 측면에서의 언급은 배제하기로 한다.

1995년 IPC에서 전문가들이 모여 각 전자제품에서 사용될 주파수와 그를 대비하기 위한 원판에서의 유

Frequency Requirements

Product Type	Current 1995-1996	Near Term 1997-1999	Lone Term 2000-2010
Hand-Held	100 MHZ	500 MHZ	1 GHZ
Business/Industrial/Test	100 MHZ	200 MHZ	400 MHZ
Automotive/Underhood	100 MHZ	200 MHZ	400 MHZ
Military/Aero-Avionics	2 GHZ	4 GHZ	10 GHZ
Computer Workstation/Server	2 GHZ	4 GHZ	10 GHZ

Dielectric Constant (ϵ_r)

Product Type	Current 1995-1996	Near Term 1997-1999	Lone Term 2000-2010
Hand-Held	4.3	4.3	4.3
Business/Industrial/Test	4.3	4.3	4.3
Automotive/Underhood	4.3	4.3	4.3
Military/Aero-Avionics	4.3	3.8	2.5
Computer Workstation/Server	4.3	3.8	2.5

전율을 TECHNOLOGY ROAD MAP으로 작성해 놓은 DATA를 보면 아래와 같다.

1. HIGH SPEED용 LAMINATE 종류

시스템이 高速化됨에 따라 PCB에서는 다음과 같은 사항을 해결해야 되는 과제를 안게 되었다.

- 신호 전송속도의 지연을 최소화 할 것
- 크로스 터크를 줄일 것
- 특성 임피던스 컨트롤
- 신호의 誘電損失 최소화

전송속도의 지연을 방지하기 위해서는 回路의 길이를 최소화해야 하고 이는 곧 PCB의 高密度化를 의미하기도 한다. PCB 재료의 比誘電率(DIELECTRIC CONSTANT) ϵ_r 가 작으면 전송속도가 빨라지고, 주

파수가 높아짐에 따라 비유전율과 함께 誘電正接(Tan δ)도 작아져야 유전손실을 막을수 있기에 재료 상에서 특성을 향상토록 노력하고 있다.

유전특성을 중요시하는 PCB에는 크게 나눠 무선기기용과 컴퓨터용으로 나눌수 있다. 위성트신이나 위성방송을 대표로하는 MICROWAVE파용 PCB에서는 신호의 유전손실이 커다란 문제로서 유전율 보다는 誘電正接의 대소가 유전손실을 크게 좌우한다 하겠다. 일반적으로 원판용 수지의 유전율은 2~5 정도의 범위로서 크지 않으나 誘電正接은 0.0002~0.0200 정도의 범위로 차가 크므로 유전손실이 우려되는 제품에서는 원판을 잘 선택해야 할 것이다.

유전율을 중심으로 주파수별로 사용할 수 있는 PCB 원자재를 정리해 보면 다음과 같다.

상기 자재중 대부분은 이미 오래전부터 상용화된 것이나 G.E(GENERAL ELECTRIC)에서 GETEK이

주파수 내역별 사용가능 CCL(원판)

FREQUENCY	GENERAL MATERIAL		INDUSTRIAL MATERIAL	
1MHz-1GHz	FR-4	4.5(1.0 PCB)	FR-4 4.5(1.0 PCB)	
	POLYIMIDE	4.3(1.2 PCB)		
3MHz-3GHz	BT	4.2-4.4(1.2 PCB)	-	
30MHz-10GHz	BT	3.7-3.9(1.3PCB)	MATSUSHITA R1775(FR4)	3.9(1.5FR4)
	CYANATE ESTER	3.5 (1.5 PCB)	MATSUSHITA R4726(PPO)	3.5(?)
	PPO	3.5 (?)	GETEK GETEK(PPO)	3.6(1.1PCB)
	POLYESTER	3.75(<1.0PCB)	GIL MC3D(PE)	3.8(<1.0FR4)
	PPE	3.5 (?)	RISHO CS3376(PPE)	3.5(?)
300MHz-300GHz	PTFE 2.5 (?)		POLYCLAD PCL511(SYCAR)	3.4(1.3PCB)
			ROGERS RO3003	3.0
			MATSUSHITA R4737	2.6

1.1 FR4 : 10% Higher than FR-4 CCL

1.3 PCB : 30% Higher than FR-4 PCB

란 상품으로 판매하는 PPO와 EPOXY의 BLENDING 인 제품과 GIL(GLASTEEL INDUSTRIAL LAMINATES) 에서 판매하는 POLYESTER 제품은 유전율도 낮고 가격도 FR-4에 접근해 있기에 눈여겨 볼 필요가 있다. 특히 GETEK은 MATSUSHITA에서 LICENCE 을 얻어 MEGTRON R5715로 생산하고 있는데 유리 전이온도(Tg)가 높아 기존 BT나 POLYIMIDE를 대체할 수 있어 BGA등 PACKAGE용 SUBSTRATE로

각광을 받고 있다. 3.8의 낮은 유전율로 인해 MOTOROLA의 휴대용 전화기의 CELL SITE용 기판으로도 생산되고 있다고 한다.

좀 더 구체적으로 LAMINATE별로 그 특성을 살펴보면 아래와 같다.

모든 LAMINATE중 PTFE이 가장 고주파 특성에 서 우수하나 가격이 비싸고 무전해 동도금의 전처리로서 귀찮은 TETRA ETCH 처리를 해야하고 Tg와

LAMINATE \ PROPERTY	Avail.	C.T.E PPM/°C	\$	E _r	Dimen. Stability	Tg °C	Moist. Abspt.	Process-ability
Bismaleimide / Triazine-Woven E Glass	Yes	12-16	Moderate	3.9-4.2	Good	180	.25%	Moderate
Cyanate Ester-Woven E Glass	Yes	11-14	High-Moderate	3.5-3.9	Average	250	.45%	Moderate
Cyanate Ester-Expanded PTFE	Low Volume	45-55	High	2.6-2.9	Poor	200-240	.40%	Poor-Moderate
Di-Functional Epoxy-Woven E Glass(low Tg)	Yes	13-15	Low	4.2-4.5	Average	125	.40%	Good
Di-Functional Epoxy-Woven E Glass(high Tg)	Limited	13-15	Moderate	4.2-4.5	Average	180	.40%	Good
GETEK® - E Glass	Yes	13-14	Low	3.6-4.2	?	175-185	.12%	Good
Multi-Functional Epoxy-Woven E Glass(high Tg)	Yes	13-15	Low Moderate	4.2-4.5	Average	180	.40%	Good
Epoxy-Random Aramid (high Tg)	Limited	6	High	Low	?	180	.85%	?
Epoxy-Woven Aramid (high Tg)	Yes	6-8	High	Low	Poor	180	.85%	Poor
Polyimide-Woven E Glass	Yes	12-13	Moderate	4.0-4.3	Poor	250	.60%	Moderate
PTFE-Ceramic/Glass Particulate Filler	Limited	17	High	2.8	Very Good	325	.13%	Moderate
SYCAR™ - Woven E Glass(PCL511)	Low Volume	13-15	Moderate	3.4-3.7	?	190-200	.04%	?

SOURCE : MICHAEL FREDA

기계적 강도가 낮아 정상적인 PCB 제조 공정으로는 생산이 불가능해 특정 PCB 업체에서만 생산할 수 있다. 그 다음으로는 유리전이온도도 높고 유전율도 낮은 CYANATE ESTER가 있으나 이또한 PLASMA DESMEAR란 특수장비가 필요하고 FR-4에 비해 흡습율이 높아 POLYIMIDE와 같이 각공정에서 BAKING이 따라야 하는 불편함이 있고 가격 또한 FR-4의 3배로서 사용하기에 만만치가 않은 자재이다. 상기 자재중 우리가 쉽게 구할 수 있는 상품을 LIST UP 해 보면 다음과 같다.

EPOXY와 보강재인 GLASS FIBER의 비율에 따라 달라진다. 그 둘의 비율에 따라 아래와 같이 유전율과 기계적, 화학적 특성이 변한다.

아래 표에서 보는 바와 같이 같은 CORE 두께라 할지라도 그 곳에 사용되는 GLASS STYLE에 따라 RESIN 함량이 달라지므로 유전율이 변하기에 임피던스 값이 CRITICAL한 설계에서는 특히 자재 선택에 유념해 두어야 할 것이다.

유전율은 사용 주파수, 온도 및 습도에 따라 변하기에 가급적 변화가 적은 원자재를 선택하는 것이 중

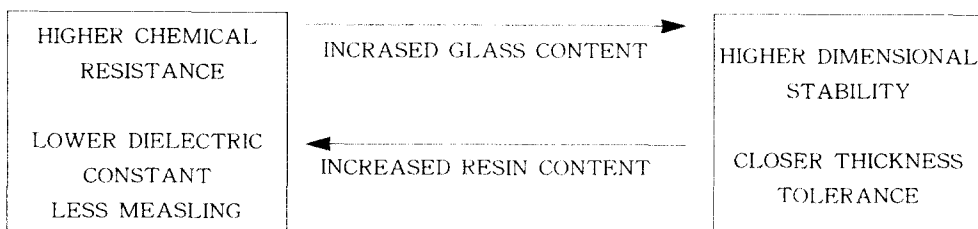
HIGH FREQUENCY MATERIAL

MFR	P/N	TYPE	D.K (IMb/1Qb)	D.F (IMb/1Qb)	Tg	REMARKS
MATSUSHITA	R 4705	POLYIMIDE	3.4	0.0048	200°C	
	R 1775	FR4	3.9	0.01	150°C	
	R 4737	PIII	2.6	0.007	-	
	R 4726	PPO	3.5/3.40	0.0039/0.003	-	
RISHO	CS 3375	FR4	3.9/3.8	0.008/0.010	145°C	
	CS 3376	PII	3.5/3.4	0.003/0.005	205°C	
TOSHIBA	ILC 596	POLYIMIDE	3.4	0.005	-	
GE MATSUSHITA	CELIK MEGITRON R5715	PPO/EPOXY	3.6-4.2	0.010/0.011	175-185	High FREQ. > 500 MHz
NELCO	SPID BOARD C SPID BOARD N	CYANATE ESTER	2.6-2.8	0.003	250°C	
		FR4	3.1-3.2	0.002	140°C	
QIL	MC 3D	POLYSTYR	3.75	0.012	120°C	Construction: Same as CIM-3
ROGERS	RO3003	PIII	3.0	0.0013	100°C	
MITSUBISHI GAS	CCL-II.870	FR4/BT	3.5	0.0015	190°C	

II. LAMINATE에 있어서의 유전율

원판은 수지와 보강재 그리고 동박(COPPER FOIL)으로 이루어졌는데 유전율은 FR-4 경우 수지인

요하다. 수지는 대체로 유전율이 작으면 유전정접도 작은 것이 일반적이나 요즘 COPPER LAMINATE를 이용한 平面안테나 제작에 있어 그 크기를 소형화 하기 위해 高誘電率/低誘電正接化 하려는 노력이 진



구분	TYPE	ϵ (1MHz)	$\tan \delta$ (1MHz)
수지	EPOXY	4.5	0.0120
	POLYIMIDE	3.4	0.0070
	P.P.O	2.6	0.0020
	PTFE	2.1	0.0002
보강재	E GLASS	6.3	0.00100
	QUARTZ	3.7	0.00015
	ARAMID 섬유	3.8	-

Differences In Core Construction

Core (mils)	Construction	Resin content	Dielectric constant (Er)
2	106	70%	4.10
2	1080	52%	4.39
4	2-106	71%	4.09
4	106, 1080	58%	4.28
5	106, 1080	59%	4.27
5	1080, 2113	53%	4.37
7	2-2113	48%	4.46
7	7628	42%	4.59
10	2-2116	51%	4.40
10	1080, 7628	44%	4.54
20	2-1080, 2-7628	44%	4.54
20	3-7628	39%	4.67

* A partial list of core material illustrating the differences in Er within the same core thickness
 Courtesy : NFI CO Products Inc.

행되고 있다. 그것은 유전율이 높고 正接이 낮은 티탄산바륨 분말같은 충전재를 수지에 혼합해 만들기도 한다.

특히 유전정접(DISSIPATION FACTOR)은 온도에 따라 그 영향을 많이 받는다. 이는 고온에서 분자의 이용이 활발해져 極分子極이 일어나기 때문이다.

III. GETEK (MEGTRON R-5715)

R-5715는 앞서 말했듯 GETEK의 松下電工 LICENSE 生産製品이다. 전기적 특성과 내열성이 우수하고 상대적으로 가격이 저렴(EPOXY에 비해

구분	사 용 처
Tg 180℃	- PGA, BGA, MCM-L - IC TESTER - BURN IN BOARD
Tg & E	- HIGH END COMPUTER - P. C - EWS - ATM SWITCHER
ϵ 3.8	- O/E TRANSMITTER - CELLULAR PHONE - CELL SITE - GPS

Comparison of transmission speed

Product number	DK	comparison of transmission speed
MEGTRON R-5715	3.8	
Conventional FR-4 R-1766	4.7	

Comparison of transmission loss

Product number	DF	comparison of transmission loss
MEGTRON R-5715	0.010	
Conventional FR-4 R-1766	0.018	

50% 비쌌) 하기에 점차 사용이 확대되고 있다. 보강 재료는 일반적인 E-GLASS이고 수지는 PPO(POLY PHENYLENE OXIDE)와 EXPOXY의 BLEND이다.

R-5715(GETEK)을 사용하므로써 FR-4에 비해 전송속도는 15% 빨라질 수 있고 전송손실은 40% 줄일 수 있겠다.

R-5715는 유전율에 있어 주파수, 온도, 습도에 의한

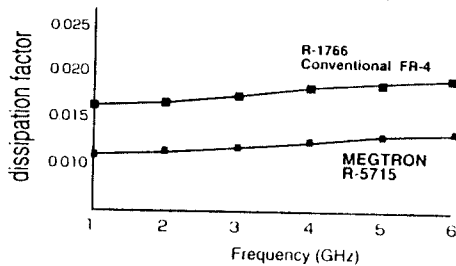
변화는 FR-4와 유사하나 유전정점은 FR-4에 비해 아래 그래프와 같이 안정적인 특성을 보이고 있다.

R-5715는 FR-4에 비해 유전율이 낮기에 다층 PCB에서 층간 두께를 줄일 수 있어 박판화가 가능하고 또 동일한 두께에서는 아래 그림에서와 같이 회로폭을 키울 수 있어 특히 高密度 PCB에서 생산 수율을 올릴 수 있어 유리하다.

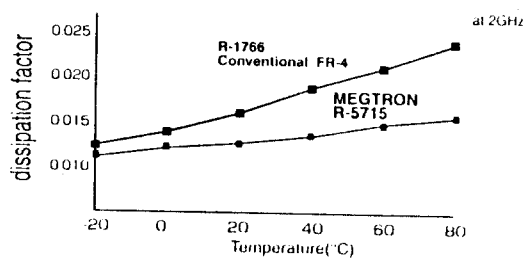
FR-4로 PCB를 제작하면 같은 0.1mm 두께에서 회로가 76 μ 이 될 때 이를 R-5715로 제작하면 동일한 두께와 임피던스를 유지하면서 회로를 100 μ 로 키울 수 있다는 말이다.

회로폭에서 76 μ 와 100 μ 의 차이는 커서 PCB 수율로 볼 때 적어도 10% 이상 득을 볼 수 있다는 말이 되겠다.

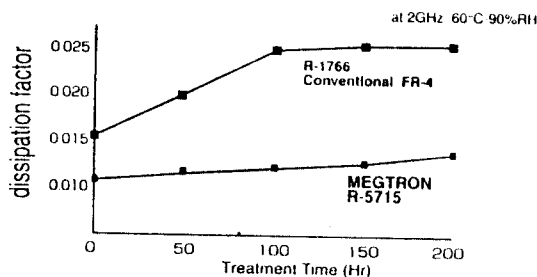
Dissipation factor as a function of frequency



Dissipation factor as a function of temperature

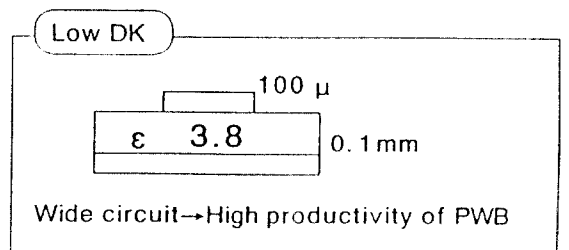
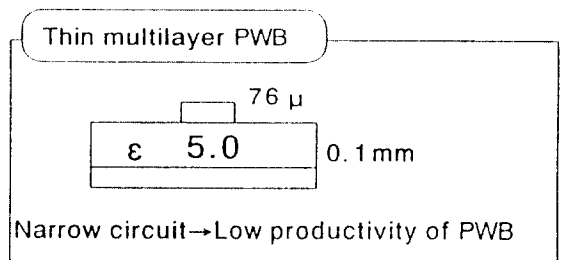


Dissipation factor as a function of moisture



IV. PCB에서의 IMPEDANCE 영향을 주는 FACTOR

PCB에서 IMPEDANCE에 영향을 주는 FACTOR



구분	조건	IMPEDANCE값	비고
DIELECTRIC CONSTANT	↓ LOWER	↑ HIGHER	
CONDUCTOR WIDTH	↓ NARROWER	↑ HIGHER	
DIELECTRIC THICKNESS	↑ THICKER	↑ HIGHER	SIGNAL TO GROUND
COPPER THICKNESS	↑ THICKER	↓ LOWER	

를 고찰해 보면 앞서 언급한 원판(LAMINATE)외에 회로폭과 회로두께, 층간 절연두께, SOLDER RESIST 두께가 있겠다. 그들의 상관관계를 요약해 보면 아래와 같다.

PCB에 있어서 임피던스 값에 가장 큰 영향을 주는 FACTOR는 아래 그림에서 보는 바와 같이 회로폭이다. 층간 두께가 1mil(25μ) 변함에 따라 임피던스 값이 1.5 OHM 정도 변화하는데 반해 회로폭이 1mil 변하면 4.0 OHM로 크게 변하는 것이다.

이에 비해 유전율은 회로폭이나 층간두께에 비해 아래 그림에서와 같이 임피던스 값에 큰 영향을 주지 못한다.

V. PCB 공정 CONTROL

1) 회로폭

동도금 방식에는 25μ를 다 도금한 뒤 ETCHING에 의해 회로를 형성하는 PANEL 도금법과 10μ쯤 PANEL 도금후 다시 회로부분만 15μ 더 도금해 25μ를 만든 뒤 ETCHING에 의해 회로를 형성하는 PATTERN 도금법의 두가지가 있는데 아래와 같은 특성 때문 CI(CONTROLLED IMPEDANCE) BOARD 에서는 회로가 FINE PATTERN이 아닌한 PANEL法이 우수하다.

일반적으로 ETCHING시 회로폭이 PATTERN 도금일 경우에는 25μ이상, PANEL 도금일 경우에는 40

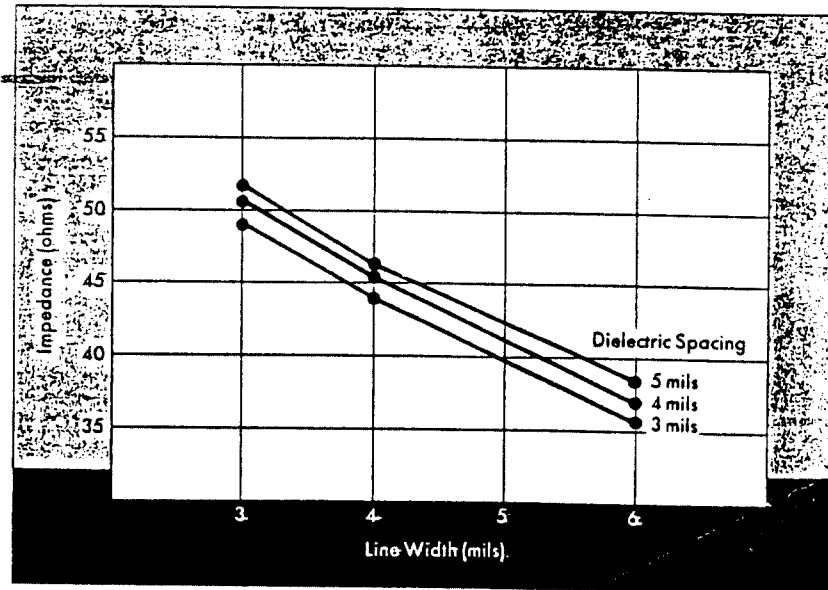


FIGURE 1
Increasing line width and decreasing dielectric spacing cause decreasing impedance.



As dielectric constant decreases, the impedance increases. Dielectric constant has less impact on impedance than line width and dielectric spacing.

μ이상 줄어들기에 ARTWORK에서 줄어는 양만큼 회로폭을 보정해 작업하면 회로폭의 콘트롤은 큰 문제가 없고 따라서 층간 두께의 TOLERANCE를 크게 구애 받지 않으나 회로폭이 5mil(125μ) 이하의 FINE PATTERN에서는 문제가 달라진다. PCB 제작상 회로폭을 보정해 주는데 한계가 있기에 회로폭 콘트롤이 어려워지고 따라서 임피던스 값은 층간두께에 영향을 많이 받게 되어 적당한 두께의 CORE, PREPREG 자재를 선택해야 하고 그들의 두께 공차에 신경을 써야하며 적층 공정에서 발생하는 층간두께의 공차를 줄여주지 않으면 안된다. 그러한 부담때문 종전의 18 μ 두께의 COPPER FOIL에서 12μ 또는 9μ으로 변경 ETCHING의 부담을 줄여주려 노력하고 있다.

최근에는 REVERSE TREATED COPPER FOIL

이라하여 DRUM SIDE와 MATTE SIDE를 반대로 사용 PROFILE을 줄여 FINE PATTERN이 가능하도록 한 특수 동박도 출시되고 있다. 이 PROFILE은 ETCHING시 FOOT를 안 남겨 FINE PATTERN이 가능하게하고 또 회로를 균일하게 만든다. 주파수가 높을시 전류의 SKIN EFFECT 때문 LOW PROFILE은 임피던스의 특성을 향상시키기도 한다.

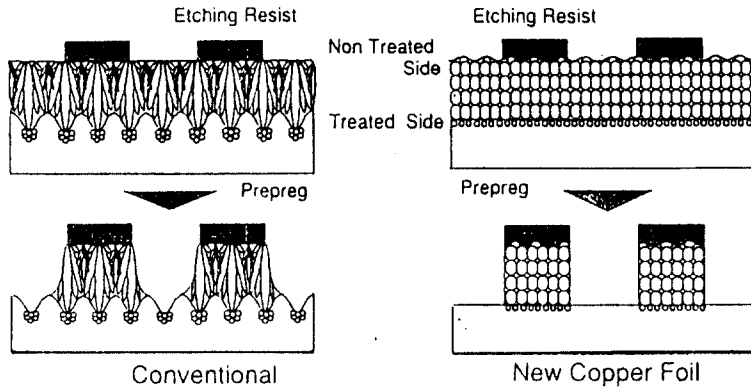
- STANDARD FOIL : Rz 5.0μ PROFILE

- RT FOIL : Rz 3.0μ PROFILE

2) 층간두께

앞서 언급한 대로 FINE PATTERN이 될 수록 PCB 업체에서는 층간두께를 잘 조정해야 기대하는 임피던스를 얻을수 있기에 종전에는 잘 사용하지 않던 0.04mm 이하 두께의 PREPREG도 사용해야 하고

구 분	PANEL 法	PATTERN 法
회로의 균일성	우 수	불리 (도금두께 편차 큼, 회로 불균일)
FINE PATTERN	불리 (MIN. 0.15mm)	유 리
PROCESS	우 수 (SIMPLE)	불 리
CI BOARD	유 리	불 리



Model of Etching Process

입고되는 CORE 자재의 두께도 수입검사 공정에서 철저히 검사해야만 한다. 또한 자체 적층 PRESS의 수평도를 점검, 관리유지하여 두께 편차를 줄이고 LAMINATION VOID라든가 기타 수지내의 불량도 점검해야 한다. 특히 단면을 CROSS SECTION하여 층간두께를 모니터링하는 것도 중요한 LAB의 기능이 될 것이다. TOTAL 두께가 정해져 있는 상태에서 임피던스를 고려하여 층간두께를 설정하는 것은 쉽지가 않다. 왜냐하면 PREPREG의 두께 종류도 제한되어 있기에 더욱 그러하다.

3) 기타 품질관리 유의사항

PCB 제조공정중 임피던스에 영향을 주는 다음 공정은 특히 철저히 관리되어야 하겠다. 가급적 SPC 기법을 활용하여 공정능력을 향상시키는 것이 바람직 하겠다.

- 회로폭 관련공정
 - * ARTWORK 보정
 - * PANEL 도금두께 : 편차 및 동잔류물 부착 방지
 - * DRY FILM : 회로폭 측정
 - * ETCHING : 회로폭 및 회로의 균일성 유지
- 층간두께
 - * 원자재 : 수입검사 다양한 종류 확보
 - * 적층 PRESS : 수평도 관리
 - * 층간두께 : MONITORING
- 기 타
 - * SOLDER MASK : 두께 관리

- * TEST COUPON에 의한 임피던스 값 TDR METER MONITORING
- * 회로 검사 : PIN HOLE, 잔류물, SCRATCH 등

일반적으로 각종 임피던스 회로의 임피던스 값은 교과서에 그 산출공식이 나와 있으나 사용하는 원자재가 업체마다 다르고 또 공정이 다르므로 TEST BOARD를 사용 회사 자체의 MODIFY 된 공식을 갖고 공정 관리를 해야겠다. 원자재 공급업체도 재료와 공정이 바뀌면 또 변수를 발생시키므로 이 공식은 분기별 또는 반기별로 보정해 두는 것이 바람직하다. 일반적으로 SOFTWARE로 지원되는 IMPEDANCE SIMULATION PROGRAM은 실제 제조된 임피던스와 ±20% 까지 차이가 날수가 있다.

VI. CONTROLLED IMPEDANCE DESIGN RULE

- CONDUCTOR CROSS SECTION : 회로폭이 커지면 임피던스가 낮아짐. 특히 FINE CONDUCTOR가 外層에 있을때는 도금과 ETCHING 공정을 거치기에 회로폭 조정이 힘들 을 유념할 것.
- TYPE OF LINE : 절연두께와 회로폭이 일정할 때 임피던스 값은 STRIPLINE 보다 MICROSTROP에서 더 크다.
- DIELECTRIC CONSTANCE : 유전율이 높으면 임피던스 값이 낮아지고 전송시간이 증가된다.
- DIELECTRIC THICKNESS BETWEEN SIGNAL AND GROUND : 층간두께가 작을수록 임피던스

도 작아진다.

- 동박두께가 두꺼울수록 임피던스 값은 감소한다.
- 임피던스 회로는 REFERENCE PLANE의 끝으로부터 최소 2.5mm 안쪽에 위치해야 한다.
- 임피던스 회로는 5.0mm² 크기의 COPPER VOID AREA를 피해 있어야 한다.
- CRITICAL한 임피던스 회로는 내층에 넣을 것.
- 가급적 FINE PATTERN과 THICK BOARD 구조는 피하라.
- 테스트 쿠폰은 CIRCUIT AREA 내에 넣어라. 아니면 REFERENCE POINT에 인접해 있는 실제 회로를 택해 임피던스를 측정하라.
- DATA는 FILM이 아닌 DIGITAL FORM으로 공급하라.
- 각 SIGNAL LAYER 상의 임피던스 회로는 각기 다른 CODE로 명기하라.
- SOLDER MASK는 SURFACE MICROSTRIPLINE DESIGN으로 간주하라.
- 각 DIMENSION과 PARAMETER는 허용오차를 가급적 넓게 주어라.
- PCB MAKER에게 임피던스 값을 맞출수 있도록 PARAMETER의 변경 권한을 주어라.

VII. COUPON DESIGN RULE

- PCB와 동일한 층간두께, 동박 종류, 회로폭으로 쿠폰을 설계할 것.
- 회로 밑에 POWER/GROUND면을 연속적으로 깔아라.
- 쿠폰은 도금, 적층, 에칭 특성을 대표할 수 있는 위치에 놓아라.
- 층마다 한 종류의 임피던스 회로를 넣어라.
- 1개의 회로에는 1개의 값의 임피던스 값만 지정하라.
- PCB와 쿠폰에 동일 SOLDER MASK를 사용하라.
- 테스트 쿠폰 주변 2.5mm 거리 이내에는 회로나, 금속식자, COPPER PAD를 두지 말아야 한다.
- REFERENCE PLANE은 쿠폰에 연결되어야 하고 PCB의 다른 회로와 격리되어야 한다 (POWER SPLIT)
- 모든 내층의 회로의 TERMINAL은 1층에 연결되어야 한다.
- POWER/GROUND REFERENCE POINT는

SQUARE LAND로 식별해 두는게 좋다.

- 테스트 쿠폰내의 임피던스 회로는 직선이어야 한다. BENDING 되어야 할 때는 TEST POINT에서 12.5mm 이상 떨어져야 한다.
- 테스트 쿠폰내에서 POWER/GROUND를 연결할 때 THERMAL RELIEF LAND를 만들면 안된다.
- 인접한 층에서 회로가 직각으로 지날 때 CROSS-OVER를 SIMULATE하는 패턴을 쿠폰에 추가해야 한다. 그 패턴은 기존 회로와 동일하게 설계한다.
- 두 테스트 포인트 간의 임피던스 회로 길이는 최소 150mm가 되어야 한다.
- 쿠폰의 동일한 층에서 두 개의 회로가 평행으로 지날 때 두 회로간의 PITCH는 최소 2.5mm가 되어야 한다.
- 테스트 회로의 양단에 테스트 포인트와 레퍼런스 포인트를 둘 수 있다.



이진호

- 1974년 : 서강대 화학과 졸업
- 1975년 ~ 1981년 : PACKAGING(아남산업) BATTERY (서통)
- 1982년 ~ 현재 : PCB 분야 근무
현 대덕전자 연구소장