

C-V 측정에 의한 Cu 확산방지막 특성 평가

이승윤 · 라사균 · 이원준 · 김동원* · 박종욱

한국과학기술원 재료공학과 *경기대학교 재료공학과
(1996년 6월 12일 접수)

The characterization of a barrier against Cu diffusion by C-V measurement

Seung-Yun Lee, Sa-Kyun Rha, Won-Jun Lee, Dong-Won Kim* and Chong-Ook Park

Department of Materials Science and Engineering, Korea Advanced Institute of Science and Technology

*Department of Materials Science and Engineering, Kyonggi University

(Received June 12, 1996)

요 약 - Cu 확산방지막으로서의 TiN의 특성을 면저항 측정, X선 회절 분석, SEM, AES, capacitance-voltage(C-V) 측정에 의하여 평가하고, Cu의 확산을 민감하게 알아내는 정도를 특성 평가 방법간에 비교하였다. 여러 가지 증착방법에 의하여 Cu/TiN/Ti/SiO₂/Si 구조의 다층 박막시편을 제작하였으며, 이 시편을 10% H₂/90% Ar 분위기, 열처리 온도 500~800°C 범위에서 2시간 동안 열처리하였다. TiN의 Cu 확산방지 효과가 소멸된 경우 Cu 박막 표면에서 불규칙한 모양의 spot을 관찰할 수 있었으며 outdiffusion된 Si를 검출할 수 있었다. MOS capacitor의 C-V 특성은 열처리 온도에 따라 급격하게 변화하였다. C-V 측정에서 inversion capacitance는 열처리 온도 500~700°C 범위에서 열처리 온도가 높아질수록 감소하다가 800°C에서 크게 증가하였으며, 이러한 특성의 변화는 TiN을 통해서 SiO₂와 Si 내로 확산된 Cu에 의하여 발생하는 것으로 생각된다.

Abstract - The properties of TiN as a barrier against Cu diffusion were studied by sheet resistance measurement, X-ray diffraction, scanning electron microscopy, Auger electron spectroscopy, and capacitance-voltage(C-V) measurement. The sensitivities of the various methods were compared. Specimens with Cu/TiN/Ti/SiO₂/Si structure were prepared by various deposition techniques and annealed at various temperatures ranging from 500°C to 800°C in 10%H₂/90%Ar ambient for 2 hours. As the effectiveness of the barrier property of TiN against Cu diffusion was vanished, the irregular-shaped spots were observed and outdiffused Si were detected on the surface of the Cu thin film. The C-V characteristics of the MOS capacitors varied drastically with annealing temperatures. In C-V measurement, the inversion capacitance decreased at annealing temperature range from 500°C to 700°C and increased remarkably at 800°C. These variations may be due to the Cu diffusion through TiN into SiO₂ and Si.

1. 서 론

반도체 소자의 집적도가 높아짐에 따라 이에 수반되어 요구되는 소자 기술도 다양화되었다. 집적회로 공정의 하나인 금속공정에도 고집적화에 따른 새로운 기술이 요구되고 있다. 현재 비교적 전기 비저항이 낮고 박막형성이 용이하며 패턴 정의가 쉬운 Al 및 Al 합금이 금속공정의 배선재료로 사용되고 있으나 고집적화에 따른 metal line의 선폭 및 두께의 감소, 배선 길이의 증가,

metal line 간의 거리 감소에 따른 층간 절연막의 두께 감소로 인해 Al 재료 자체의 특성이 소자의 신뢰성에 심각한 문제를 야기하게 되었다. Metal line의 선폭 및 두께의 감소에 따른 전류밀도의 증가는 Al grain boundary에서 electromigration 현상[1]을 유발하여 metal line의 파괴를 가속화시키게 되었으며, 층간 절연막의 두께 감소로 인한 capacitance의 증가는 RC time delay[2]에 의한 소자의 오동작을 유발하게 되었다. 이러한 문제점들을 해결하기 위하여 Al을 대신해서 금속공정에 사용

될 수 있는 재료에 대한 연구가 활발히 진행되고 있으며, 그 중에서 Cu가 Al을 대신할 가능성이 가장 높은 재료로 생각되고 있다[3].

Cu는 Al에 비해서 비저항이 낮아서 RC time delay를 줄일 수 있으며, 녹는점이 높아서 electromigration 및 stress migration에 대한 저항성이 우수한 장점을 가지고 있다. 그러나 Cu가 금속공정의 배선재료로 사용되기 위해서는 해결되어야 할 문제점들이 몇 가지 있다. 그 중 하나는 Cu가 Si와 SiO₂내에서 확산속도가 빠르다는 것인데[4-6] Cu가 Si나 SiO₂와 직접 접촉하게 되어 Si 및 SiO₂내로 확산되면 소자의 전기적 특성을 변화시켜 소자의 신뢰성에 영향을 주게 된다. 이에 대한 해결책으로 확산방지막을 Cu와 Si 또는 SiO₂사이에서 위치시켜 Cu의 확산을 억제하는 방법이 고안되었으며 이에 따라 많은 재료들이 확산방지막으로 연구되고 있다.

한편 효과적인 확산방지막 연구를 위해서는 연구의 목적 및 상황에 부합되는 적절한 특성 평가 방법이 선택되어야 한다. 확산방지막의 반응이나 확산방지막을 통한 확산을 민감하게 알아내는 확산방지막 특성 평가 방법은 연구의 효율성 및 정확성을 위해 절실히 요구된다. 현재 확산방지막의 특성을 평가하는 방법으로 널리 이용되고 있는 것으로는 면저항 측정, X-ray diffraction(XRD), scanning electron microscopy(SEM), transmission electron microscopy(TEM), Auger electron spectroscopy(AES), Rutherford backscattering spectroscopy(RBS), secondary ion mass spectroscopy(SIMS), p-n junction 형성에 의한 diode leakage current 측정[7] 등이 있으며 bias voltage에 따른 capacitance의 변화를 측정하는 capacitance-voltage(C-V) 측정 방법[8, 9]도 확산방지 특성을 평가하는 방법 중 상당히 sensitive한 방법으로 알려져 있다. 하지만 확산방지막 특성 평가 방법으로서의 C-V 측정에 대한 체계적인 연구는 이루어지지 않은 상태이다. 따라서 본 연구에서는 Al 금속공정에서 Al과 Si의 interdiffusion을 방지하는 확산방지막으로 사용되고 있는 TiN을 Cu 확산방지막으로 하여 그 특성을 면저항 측정, XRD, SEM, AES 등으로 평가하고, 이것을 C-V 측정 결과와 비교하여 C-V 측정이 확산방지막 특성 평가 방법으로 유용한지를 알아보았다. 두께가 다른 네 종류의 TiN 확산방지막에 대하여 열처리 전후의 면저항, X선 회절 패턴, 표면형상 변화를 관찰하고 AES spectrum을 얻어 확산방지 특성을 평가하였으며 wet etching, Al eva-

poration에 의하여 MOS 구조를 형성시킨 후 C-V 특성을 측정하여 다른 확산방지막 특성 평가 방법에 비해 C-V 측정이 Cu의 확산을 민감하게 알아낼 수 있는지를 살펴보았다.

2. 실험방법

C-V 측정을 위하여 Cu/TiN/Ti/SiO₂/Si 구조를 갖는 박막시편을 제작하였으며 이것을 열처리한 후 면저항, X선 회절 패턴, 표면형상, AES spectrum의 변화를 관찰하였다. 또한 Cu, TiN, Ti 층을 wet etching에 의하여 제거하고 Al을 gate electrode로 증착시켜서 MOS 구조를 형성시킨 후에 C-V 특성을 관찰하였다.

2.1 Cu/TiN/Ti/SiO₂/Si 박막시편 제작

Boron이 doping된 p-type Si <100> wafer 위에 thermal oxidation에 의하여 1000Å의 SiO₂층을 형성시켰다. 그 위에 AMK사의 ENDURA 5500 sputtering system을 이용하여 Ti와 TiN을 증착시켰다. Ti의 증착은 기판온도가 400°C, 압력이 3 mTorr, RF power가 3 kW인 조건에서 이루어졌으며, Ti의 두께는 300Å이었다. TiN의 증착은 N₂-Ar 혼합기체를 주입하며 reactive sputtering 방법으로 하였으며, 증착시 기판온도, 압력, RF power는 각각 400°C, 3.3 mTorr, 6.5 kW로 하였다. 증착시간을 변화시켜서 TiN 박막의 두께가 각각 300, 600, 900, 1200Å인 4종류의 시편을 제작하였다. TiN 위에 metal organic chemical vapor deposition(MOCVD) 방법으로 5000Å의 Cu를 증착시켰다. Metal organic precursor로는 Hexafluoroacetylacetonato Copper(I) Vinyltrimethylsilane ((Hfac)Cu(VTMS))을 사용하였으며, 순도 99.999%의 He를 운반기체로 하는 bubbling system을 이용하여 precursor를 chamber 내로 공급하였다. 증착시 증착압력과 증착온도는 각각 0.5 Torr, 190°C로 하였다.

2.2 열처리

다층박막 시편을 제작한 후에 tube furnace 내에 시편을 장입하고 10%H₂/90%Ar 분위기에서 상압 열처리하였다. 온도를 올리기 전에 H₂-Ar 혼합기체를 500 sccm으로 흘려주면서 30분 동안 purging하였다. 5°C/min의 승온속도로 시편을 가열하였으며 열처리 온도가 되면 그 온도를 2시간 동안 유지한 다음 냉각시켰다.

2.3 확산방지막 특성 평가

Linear four point probe를 이용하여 다층박막 시편의 면저항을 측정하였으며, scanning electron microscope를 이용하여 열처리 전후의 표면형상 변화를 관찰하였다. 열처리 전후의 다층박막의 구조 변화를 관찰하기 위하여 X선 회절분석을 실시하였다. X선 회절분석에는 Cu K α 단색광을 사용하였으며 X-ray tube의 전압과 전류를 각각 40 kV와 150 mA로 고정시켰다. 2 θ 범위는 20°에서 90°까지로 하였으며 4°/min의 속도로 scanning하여 회절 패턴을 얻었다. 다층박막의 성분분석을 위해 Auger electron spectroscopy를 이용하여 AES depth profile 및 spectrum을 얻었다. 분석 시 electron beam voltage와 modulation voltage는 각각 5 kV, 4 V로 하였으며 sputtering에 사용되는 Ar ion의 beam voltage와 ion current density는 각각 3 kV, 360~380 $\mu\text{A}/\text{cm}^2$ 로 하였다.

MOS 구조를 형성시키기 위하여 먼저 wafer 뒷면에 형성된 SiO $_2$ 층을 SiC 연마지로 연마하여 제거하였다. SiO $_2$ 를 제거한 후에 wet etching에 의하여 Cu, TiN, Ti 층을 제거하였다. Cu etchant로는 HNO $_3$ 와 deionized water를 1:10으로 섞은 혼합용액을 사용하였고 TiN과 Ti의 etchant로는 NH $_4$ OH, H $_2$ O $_2$, deionized water를 1:2:6으로 적고 80°C로 가열한 혼합용액을 사용하였다. Wet etching 후 노출된 SiO $_2$ 층 위에 evaporation에 의하여 직경이 1 mm인 Al dot를 형성시켰다. 이렇게 형성시킨 MOS capacitor의 C-V 특성을 HP 4192A LF impedance analyzer를 이용하여 측정하였다. 측정 시 인가되는 전압의 frequency를 100kHz로 하였으며 gate voltage의 sweeping rate는 0.2 V/sec로 고정시켰다.

3. 결과 및 고찰

열처리 온도와 확산방지막으로 사용된 TiN의 두께에 따른 면저항의 변화를 Fig. 1에 나타냈다. TiN의 두께가 300Å인 경우에는 600°C 이하의 온도에서 열처리 전보다 낮은 면저항 값을 나타내다가 700°C부터 급격하게 증가한 값을 나타냈다. 열처리 온도 700°C 이상에서 면저항이 급격하게 증가한 이유는 Cu와 Si의 interdiffusion에 의하여 표면에 비저항이 큰 Cu, Si, O, N의 화합물이 형성되었기 때문으로 추측된다. TiN의 두께가 600, 900, 1200Å인 경우에는 열처리 온도에 관계없이 열처리 전보다 낮은 면저항 값을 나타내었다. 열처리에 의하여 열처리 전보다 면저항이 감소한 이유는 Cu 박막 표면이 평

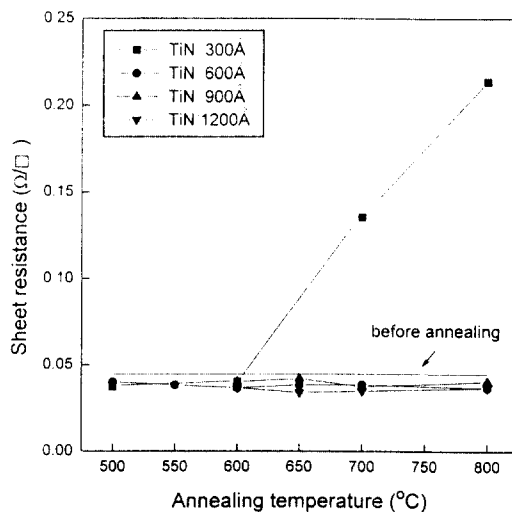


Fig. 1. Sheet resistance as a function of annealing temperature.

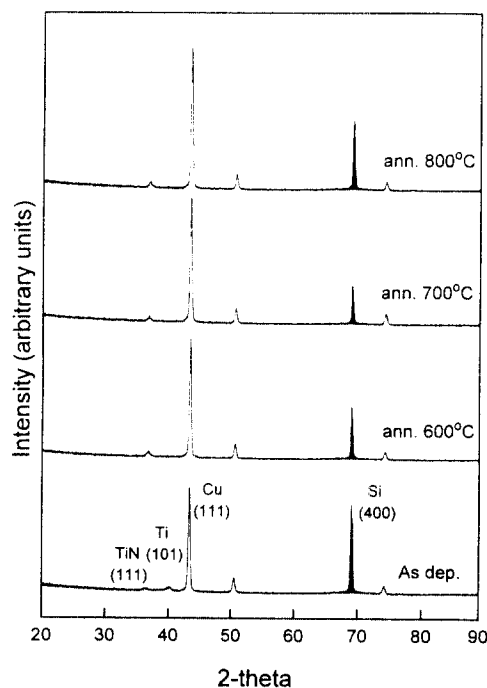


Fig. 2. X-ray diffraction patterns of Cu/TiN(600Å)/Ti/SiO $_2$ /Si samples annealed at various temperatures.

탄해지고 결정립의 크기가 커졌기 때문으로 추측된다. 면저항 측정에 의하여 TiN의 두께가 600Å 이상인 경우에는 800°C 이상의 온도까지 확산방지 효과가 유지되며

TiN의 두께가 300Å인 경우에는 700°C부터 확산방지 효과가 소멸된다고 생각할 수 있다.

Fig. 2는 TiN의 두께가 600Å인 경우의 X선 회절 패턴이다. TiN의 두께에 관계없이 열처리 온도에 따라 X선 회절 패턴이 변하는 양상은 거의 일정하였다. 열처리를 하지 않은 시편의 X선 회절 패턴에서 Si, Ti, TiN, Cu 피크를 볼 수 있으며 MOCVD에 의하여 증착된 Cu는 (111) 배향성이 크다는 사실을 알 수 있다. Cu, TiN, Si 피크는 열처리 온도에 따라 거의 변화가 없었으며, Ti 피크는 열처리 후에 관찰되지 않았다. 비정질 상 또는 stoichiometry에서 벗어나는 상이 생기거나 생성된 상의 절대량이 작은 경우 X선 회절 피크를 관찰하기 힘들기 때문에 X선 회절 분석에 의하여 TiN의 확산방지막 특성을 평가하기는 힘들 것이라 생각된다.

Scanning electron microscopy를 이용하여 Cu/TiN/Ti/SiO₂/Si 시편의 열처리 전후의 표면형상 변화를 관찰하였다. TiN의 두께와 관계없이 열처리 온도가 500°C인 경우에는 열처리 전과 비슷한 표면형상을 보였으며, 600°C 이상의 열처리 온도에서 TiN의 두께에 따라 온도별로 다른 표면형상을 보였다. Fig. 3는 열처리 온도가 600°C 이상일 때의 표면 SEM 사진으로, 열처리 온도가 높고 확산방지막의 두께가 얇을수록 불규칙한 모양의 spot(화살표)을 명확히 관찰할 수 있다. 이러한 spot은 Cu와 Si의 interdiffusion이 발생한 부분으로 추측된다. Cu와 Si의 확산은 TiN의 defect나 grain boundary 등을 통해 일어난다고 알려져 있는데[10] SEM 사진에서 관찰된 spot이 이러한 영역에 해당된다고 생각된다. 표면형상 관찰에 의해서 TiN의 두께가 두꺼울수록 확산방지 효과가 뛰어나다는 것을 확실히 알 수 있으며 SEM을 이용해서 표면형상을 관찰하는 것은 먼저항 측정이나 X선 회절분석에 비해서 효율적인 확산방지막 특성 평가 방법이라는 것을 알 수 있다.

열처리에 의한 시편의 성분 변화를 관찰하기 위하여 AES로 성분 분석을 하였다. 표면에 spot이 없는 부분을 분석하였으며, TiN의 두께가 600Å인 경우에 한해서 AES depth profile과 AES spectrum을 얻었다. Fig. 4는 열처리 온도에 따른 depth profile의 변화를 나타낸 것인데 Cu/TiN/SiO₂/Si 구조를 확인할 수 있다. X선 회절 분석에서 열처리 후에 Ti 피크나 Ti silicide 피크가 관찰되지 않은 것처럼 depth profile에서도 Ti 층이나 Ti silicide 층이 관찰되지 않았다. 이것은 Ti가 TiN 층 내부로 고르게 확산되었기 때문에 나타난 현상이라 생각된다. 한편 열처

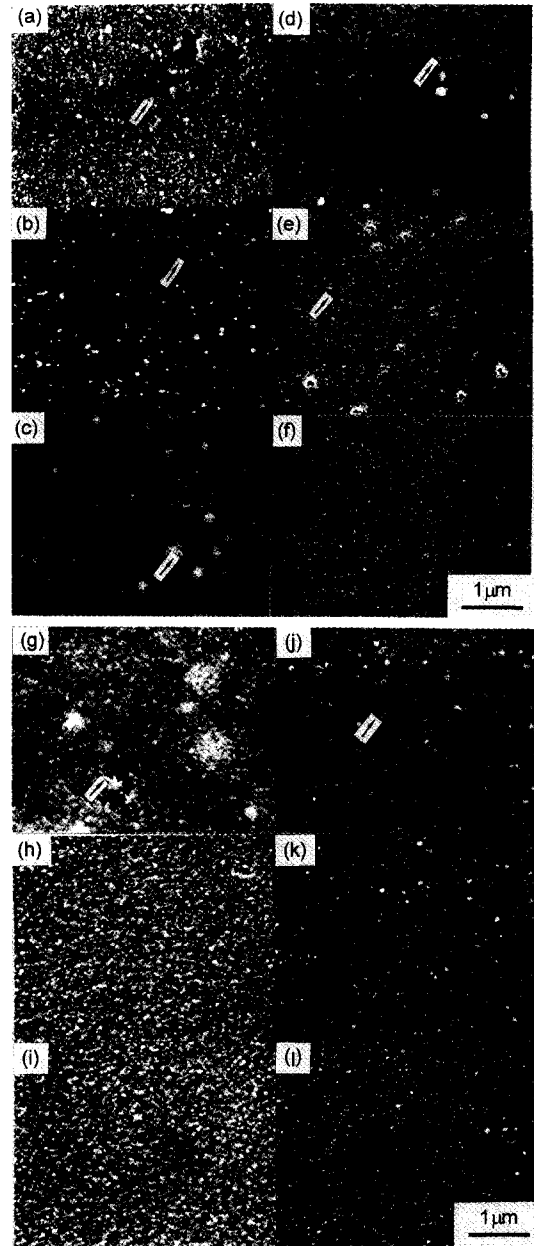


Fig. 3. Scanning electron micrographs of the surface morphology of Cu/TiN/Ti/SiO₂/Si samples annealed at various temperatures. (a) 800°C (b) 700°C (c) 600°C (TiN thickness: 300Å) (d) 800°C (e) 700°C (f) 600°C (TiN thickness: 600Å) (g) 800°C (h) 700°C (i) 600°C (TiN thickness: 900Å) (j) 800°C (k) 700°C (l) 600°C (TiN thickness: 1200Å).

리 온도가 800°C인 경우에는 표면 부근에서 Cu의 피크 강도가 낮아지면서 Si의 피크 강도가 높아지는 것을 알

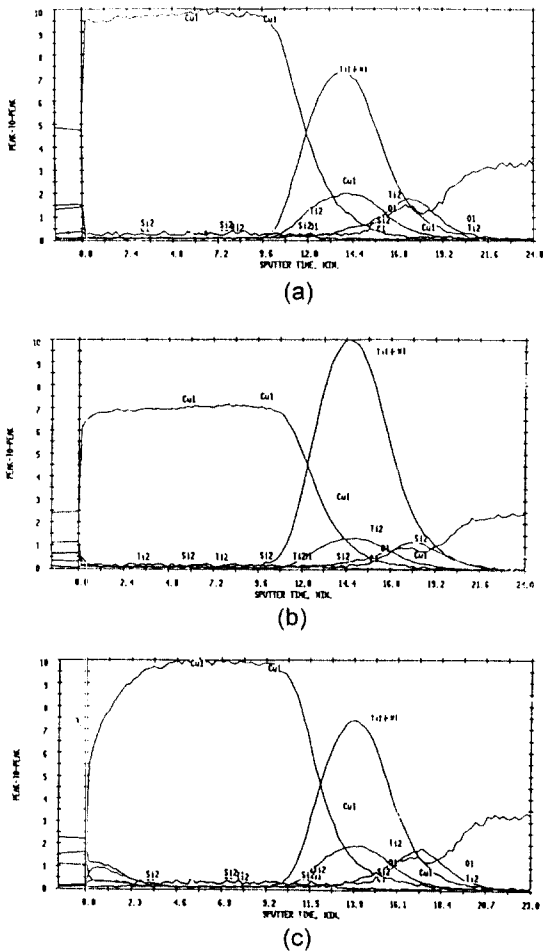


Fig. 4. AES depth profiles of Cu/TiN(600Å)/Ti/SiO₂/Si samples annealed at (a) 600°C (b) 700°C (c) 800°C.

수 있다. Fig. 5는 시편 표면의 AES spectrum인데 열처리 온도가 600°C인 경우에는 Si 피크를 관찰할 수 없지만 700°C부터 Si 피크를 관찰할 수 있다. AES spectrum 상의 Si 피크는 outdiffusion된 Si에 의한 것으로 결국 700°C 이상의 열처리 온도에서는 TiN의 확산방지 효과가 소멸된다고 결론 내릴 수 있다. AES spectrum 상의 O, N, C 피크는 열처리 시 furnace 내에 잔류하던 물질들에 의한 것이며, 이러한 O, N 등과 outdiffusion된 Si가 반응하여 표면에 얇은 SiON 층을 형성하였을 것이라고 추측된다. 한편 SiO₂와 Si 내부에 확산된 Cu를 관찰하기 위하여 Cu와 TiN 층을 제거한 후에 AES depth profile과 AES spectrum을 얻었다. 그러나 Si와 O 이외의 원소는 SiO₂ 표면

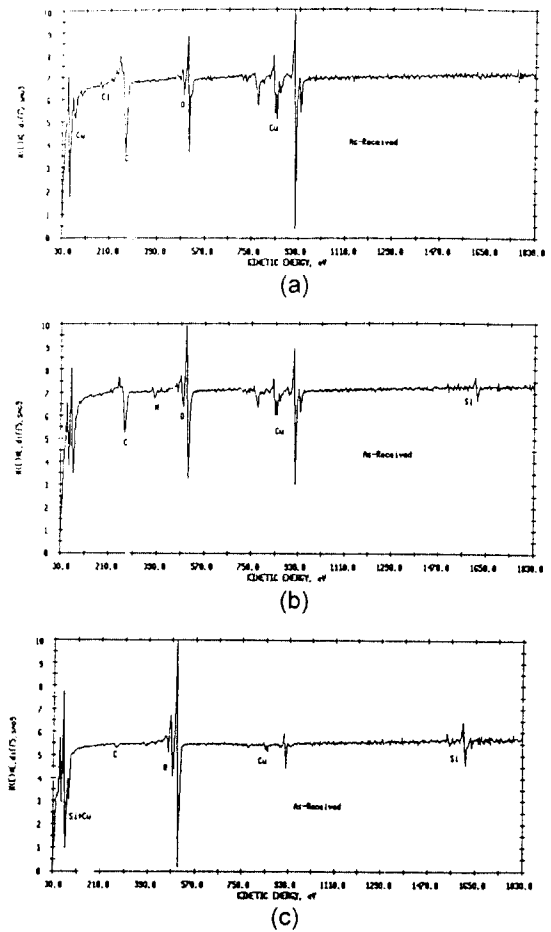


Fig. 5. AES spectra of the surface of Cu/TiN(600Å)/Ti/SiO₂/Si samples annealed at (a) 600°C (b) 700°C (c) 800°C.

이나 SiO₂-Si 계면 또는 SiO₂, Si 내부에서 관찰되지 않았다. 결국 AES에 의하여 700°C 이상의 온도에서는 Si의 outdiffusion에 의하여 TiN의 확산방지 효과가 소멸되며, SiO₂와 Si 내로 확산된 Cu의 농도는 AES 검출 한계 이하라는 사실을 알 수 있다.

열처리한 시편들을 wet etching과 evaporation 과정을 거쳐 MOS capacitor로 만든 후에 C-V 특성을 관찰하였다. Al evaporation 전에 ellipsometer를 이용하여 SiO₂의 두께와 굴절률을 측정하였는데 두께는 920~960Å, 굴절률은 1.46~1.47의 값을 나타냈으며 열처리 온도나 TiN 두께에 따른 특별한 변화는 보이지 않았다. Fig. 6 (a), (b)는 TiN의 두께가 600, 1200Å인 경우의 열처리 온

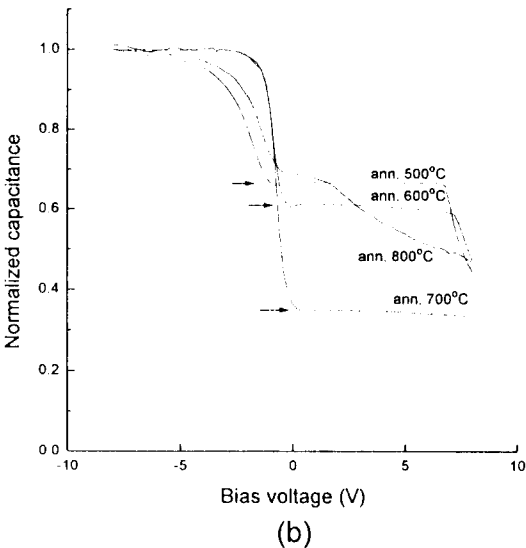
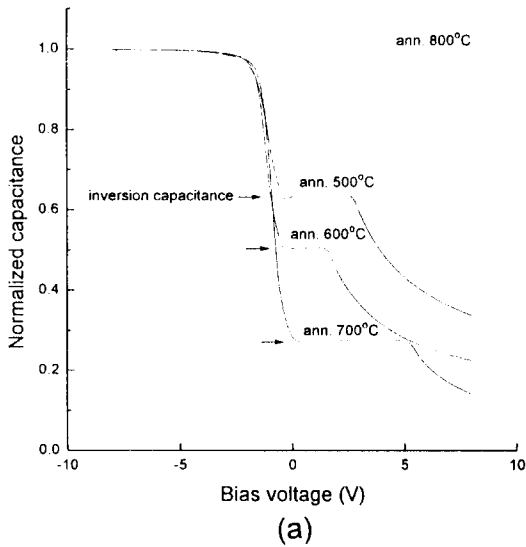


Fig. 6. C-V plots for the MOS capacitors obtained from (a) Cu/TiN(600Å)/Ti/SiO₂/Si samples (b) Cu/TiN(1200Å)/Ti/SiO₂/Si samples annealed at various temperatures.

도에 따른 C-V 특성이다. X축에는 MOS 구조에서의 bias voltage, Y축에는 측정값을 oxide capacitance로 나타낸 normalized capacitance 값을 나타내었다. Oxide capacitance는 열처리 전 값의 ±50% 범위에서 변화하였으며, 열처리 온도 500~700°C 범위에서는 열처리 온도가 높아짐에 따라 증가하는 양상을 나타내었고 800°C에서는 열처리 전보다 감소한 값을 나타냈다. 한편, inv-

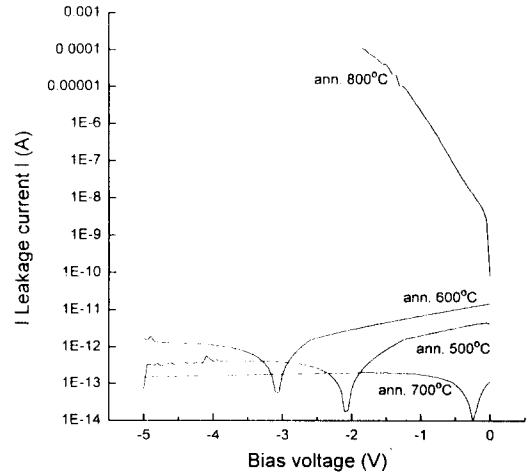


Fig. 7. Leakage current-voltage characteristics of the MOS capacitors obtained from Cu/TiN(1200Å)/Ti/SiO₂/Si samples annealed at various temperatures.

ersion capacitance는 열처리 온도 500~700°C 범위에서 열처리 온도가 높아질수록 감소하였으며 TiN의 두께가 얇은 시편일수록 더욱 크게 감소하였다. Fig. 6 (a)에서 TiN의 두께가 600Å이고 열처리 온도가 700°C인 경우에는 inversion capacitance가 0.26까지 감소한 것을 알 수 있다. 열처리 온도가 800°C인 경우에는 inversion capacitance가 크게 증가하였으며 C-V 곡선의 모양이 많이 변형된 결과를 나타내었다. 이러한 oxide capacitance, inversion capacitance의 변화는 SiO₂와 Si 내부로 들어간 Cu에 의해 나타나는 현상으로 생각된다. SiO₂ 내의 Cu 농도가 높아질수록 oxide capacitance가 증가되는 것으로 생각되며, Si 내로 확산된 Cu가 반도체의 doping 농도에 영향을 미쳐 inversion capacitance가 감소하는 것으로 생각된다. 한편, 열처리 온도 800°C에서는 oxide capacitance는 감소하고 inversion capacitance는 증가한 경향을 나타냈는데 이것은 Cu 농도 증가에 따른 SiO₂의 breakdown에 의해 정상적인 C-V 측정이 이루어지지 않아서 나타난 현상으로 생각된다. Fig. 7은 C-V를 측정된 MOS 구조에서 누설전류를 측정된 결과이다. 열처리 온도 500~700°C 범위에서는 누설전류가 1×10^{-11} A 이하의 낮은 값을 나타내지만 열처리 온도가 800°C인 경우에는 누설전류가 급격히 증가된 것을 알 수 있다. 즉, SiO₂ 내에 Cu의 농도가 어느 이상이 되면 SiO₂의 누설전류가 급격히 증가하여 정상적인 C-V 측정이 이루어지지 않으며 C-V 곡선의 모양이 변형된 형태로 나타나

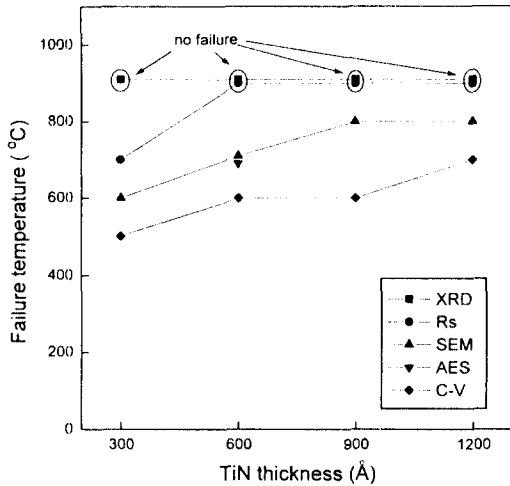


Fig. 8. Failure temperatures of TiN barriers determined by various characterization methods.

는 것으로 생각된다.

이상의 결과들을 종합하여 TiN의 두께 및 특성 평가 방법에 따른 확산방지 효과 소멸 온도를 Fig. 8에 나타내었다. 면저항 측정의 경우에는 열처리 전에 비해 면저항이 증가된 최저 온도, 표면형상 관찰의 경우에는 spot이 관찰된 최저 온도, AES의 경우에는 표면 spectrum에서 Si 피크가 관찰된 최저 온도, C-V 측정의 경우에는 inversion 영역의 capacitance 값이 0.6 이하가 된 최저 온도를 TiN의 확산방지 효과 소멸 온도로 결정하였다. C-V 측정에서 500°C에서 열처리한 경우에는 inversion 영역의 capacitance 값이 TiN의 두께와 관계없이 0.65를 나타내었으므로 임의로 capacitance 값이 0.6 이하가 된 경우를 확산방지 효과가 소멸된 것으로 간주하였다. 어떠한 특성 평가 방법에 의해서 단지 두께가 두꺼운 TiN이 높은 온도까지 확산방지 효과를 나타낸다는 사실을 알 수 있다. Fig. 8으로부터 C-V 측정 > AES ≥ 표면형상 관찰 > 면저항 측정 > X선 회절 분석 순으로 Cu 및 Si의 확산을 알아내는 특성이 우수하다는 것을 알 수 있으며, 더 체계적인 연구가 진행된다면 C-V 측정이 확산방지막 연구에 있어서 효과적인 확산방지막 특성 평가 방법으로 사용될 수 있으리라 생각된다.

4. 결 론

Cu/TiN/Ti/SiO₂/Si 구조의 시편을 제작한 후 TiN의

Cu 확산방지막 특성을 면저항 측정, X선 회절 분석, 표면형상 관찰, AES 등으로 평가하고, 이것을 C-V 측정 결과와 비교하였다. 면저항 측정, 표면형상 관찰, C-V 측정을 통해 두께가 두꺼운 TiN일수록 높은 열처리 온도까지 Cu 및 Si에 대한 확산방지 효과를 유지한다는 사실을 확인할 수 있었으며, 표면형상 관찰에 의하여 Cu의 확산이 defect나 grain boundary로 추측되는 TiN 박막의 제한된 영역을 통해 진행된다는 사실을 알 수 있었다. 또한 AES에 의하여 열처리에 따른 Si의 out-diffusion을 확인할 수 있었다. 한편, 열처리한 시편으로 만든 MOS capacitor의 C-V 특성은 열처리 온도에 따라 상당히 변화된 양상을 보인다는 것을 알 수 있었다. 열처리 온도가 800°C인 경우에는 C-V 곡선이 일반적인 형태와 다른 변형된 모양을 나타내었으며 이때 SiO₂의 누설전류는 열처리 온도가 낮은 경우보다 훨씬 증가된 값을 나타냈다. 이러한 C-V 특성의 변화는 Si 및 SiO₂ 내로 확산된 Cu에 의하여 발생하는 것으로 추측된다. 이상의 결과들을 바탕으로 C-V 측정, AES, 표면형상 관찰, 면저항 측정, X선 회절분석 순으로 확산방지막 특성 평가 방법으로서의 Cu 및 Si의 확산을 알아내는 특성이 우수하다고 결론 내릴 수 있다.

감사의 글

본 연구는 LG반도체(주)의 연구비 지원에 의해 수행되었으며 이에 감사드립니다.

참고문헌

1. Shyam P. Murarka, *Metallization: Theory and Practice for VLSI and ULSI*, p.96, Butterworth-Heinemann, (1993).
2. H. B. Bakoglu, *IEEE Trans. Electron Devices*, ED-32, 903(1985).
3. S. P. Murarka, *Tungsten and Other Advanced Metals for VLSI Applications 1990*, p.179, G. C. Smith and R. Blumenthal, MRS, (1991).
4. E. R. Weber, *Appl. Phys.*, A30, 1(1983).
5. J. D. McBrayer, R. M. Swanson and T. W. Sigmon, *J. Electrochem. Soc.*, 133, 1424(1986).
6. Gopal Raghavan, Chien Chiang, Paul B. Anders, Sing-Mo Tzeng, Reynaldo Villasol, Gang Bai, Mark Bohr and David B. Fraser, *Thin Solid Films*, 262, 168(1995).

7. E. Kolawa, P. J. Pokela, J. S. Reid, J. S. Chen and M-A. Nicolet, *Appl. Surf. Sci.*, **53**, 373(1991).
8. Y. Shacham-Diamand, A. Dedhia, D. Hoffstetter and W. G. Oldham, *J. Electrochem. Soc.*, **140**, 2427(1993).
9. M. S. Angyal, Y. Shacham-Diamand, J. S. Reid and M-A. Nicolet, *Appl. Phys. Lett.*, **67**, 2152(1995).
10. M. B. Chamberlain, *Thin Solid Films*, **91**, 155(1982).