

Tungsten polycide gate 구조에서 WSi_x 두께와 fluorine 농도가 gate oxide 특성에 미치는 영향

김 종 철

현대 전자(주) 메모리 연구소
(1996년 4월 1일 접수)

Effects of WSi_x thickness and F concentration on gate oxide characteristics in tungsten polycide gate structure

Jong Choul Kim

Memory R & D Div., HYUNDAI Electronics Ind. Co. Ltd., San 136-1,
Ami-ri, Bubal-eub, Ichon-si, Kyungki-do, 467-860
(Received April 1, 1996)

요 약 - Tungsten(W) polycide gate 구조에서 WSi_x 의 두께가 증가하면 열처리 공정 후 Gate oxide의 두께가 증가하며, 전기적 신뢰도가 열화 되는 현상이 발생한다. 이러한 특성 열화를 일으키는 지배적인 요인은 WSi_x 증착 공정 중 유입되어 후속 열 공정에 의하여 gate oxide로 확산되는 fluorine인 것으로 밝혀졌다. 이러한 현상을 규명하기 위하여 fluorine ion implantation된 poly Si과의 특성을 비교하였으며, SIMS 및 단면 TEM을 이용한 미세 구조 연구를 실시하였다. 그러나, WSi_x 의 두께가 600\AA 이상부터는 이러한 특성 열화가 포화되는 현상이 관찰되었다. 600\AA 이상의 WSi_x 두께에서는 미세 구조가 표면이 거칠고, porous한 phase로 구성된 상부 구조와 비교적 dense하고, 매끈한 계면 상태를 갖는 하부 구조로 이루어졌으며, porous한 표면 부위는 후속 열 공정 중 oxygen-rich한 phase로 변하여 fluorine을 포획하여 oxide로의 확산을 억제하여 특성 열화가 포화되는 것으로 해석되었다.

Abstract - In this study, the effects of WSi_x thickness and fluorine concentration in tungsten polycide gate structure on gate oxide were investigated. As WSi_x thickness increases, gate oxide thickness increases with fluorine incorporation in gate oxide, and time-to-breakdown($T_{BD, 50\%}$) of oxide decreases. The stress change with WSi_x thickness was also examined. But it is understood that the dominant factor to degrade gate oxide properties is not the stress but the fluorine, incorporated during WSi_x deposition, diffused into SiO_2 after heat treatment. In order to understand the effect of fluorine diffusion into oxide, fluorine ion implanted gates were compared. The thickness variation and $t_{BD, 50\%}$ of gate oxide is saturated over 600\AA thickness of WSi_x . The TEM and SIMS studies show the microstructure less than 600\AA thickness is dense and flat in surface. However, over 600\AA , the microstructure of WSi_x is divided into two parts: upper porous phase with rugged surface and lower dense phase with smooth interface. And this upper phase is transformed into oxygen rich crystalline phase after annealing, and the fluorine is captured in this layer. Therefore, the fluorine diffusion into the gate oxide is saturated.

1. 서 론

오늘날 반도체 device의 고속화, 고집적화의 속도는 설계 기술을 비롯하여 device의 size를 미세화 하는 가공 기술의 개발을 통하여 눈부시게 빠르게 진행되어 왔다.

그러나, device의 gate 길이가 $0.35\ \mu\text{m}$ 이하로 미세화 됨에 따라 기존 poly Si을 $POCl_3$ 등으로 doping하여 사용하던 gate 전극의 저항이 크게 증가하게 되어, device 속도를 비롯한 주요 성능에 큰 영향을 미치게 되었다. 따라서 많은 연구자들이 저항이 낮은 새로운 gate 재료를

연구하고 있다[1-6]. 그 중 WSi_x 와 Poly Si복합 구조를 열처리하여 얻어지는 텅스텐 폴리사이드는 낮은 비저항 값과 열적 안정성 때문에 차세대 gate 전극으로 가장 주목받는 재료이다. 그러나, 텅스텐 폴리사이드의 사용은 gate oxide특성의 열화를 유발시키는 문제 때문에 아직 일반화되고 있지 못하다. 이의 원인으로는 WSi_x 를 WF_6 와 SiH_4 가스를 사용하여 화학 기상 증착 방법으로 증착시킬 때 포함되는 fluorine이 후속 열 공정에 의해 gate oxide로 확산되어 oxide의 특성을 변화시킨다는 연구 결과가 있다[7-8]. 그러나, WSi_x 는 증착 후 sublayer에 10^9 dyne/cm² 정도의 인장 응력이 인가되며, 500°C-600°C 근처에서 상 변화되면서 10^{10} dyne/cm² 정도의 응력 변화가 있으며[9], 이러한 공정 중 발생하는 응력 변화는 소자의 특성에 영향을 준다는 연구 결과가 있다[10]. 그러나, 아직 텅스텐 폴리사이드 구조에서 응력에 의한 gate oxide 특성 열화에 대한 연구는 거의 없었다. 또한, 텅스텐 폴리사이드 구조의 적용을 위해서는, device특성에 영향을 주는 저항을 낮추기 위하여 가능한 WSi_x /Poly Si 두께 비를 증가시켜야 하며, 이때 전체 두께는 후속 pattern형성 공정에 영향을 주는 요소를 고려하여 가능한 낮추는 것이 필요하다. 이를 위하여는 WSi_x 두께가 gate oxide에 미치는 영향에 대한 체계적인 연구가 필요하다. 따라서 본 실험에서는 텅스텐 실리사이드를 gate 전극으로 사용할 때, poly-Si의 두께를 일정하게 하고, 텅스텐 실리사이드의 두께를 변화시키면서, stress와 fluorine에 대한 영향을 정량적으로 측정하고 gate oxide의 열화를 조사함으로써, 정확한 열화기구를 규명하고, 적절한 WSi_x 두께 조절을 통하여, gate oxide의 열화가 제어될 수 있는 효율성을 조사하고자 한다.

2. 실험 방법

MOS (Metal-Oxide-Silicon) capacitor를 저항 8~10 Ω·cm인 p-type Si 기판 위에 형성하였다. LOCOS (LOCAl Oxidation of Silicon) 방식의 소자 분리 기술을 사용한 시료 위에 70Å의 gate oxide를 pyrogenic 분위기에서 성장시켰다. Gate 전극으로는 1) 먼저 700Å의 Poly Si를 600°C 온도에서 감압 화학 증착로에서 증착한 후, 900°C에서 $POCl_3$ gas를 이용하여 도핑 하였다. 그 후 WF_6 와 SiH_4 가스를 이용하여 460°C에서 화학 증착 방법으로 200Å, 400Å, 600Å, 800Å, 1000Å 두께로 각각 WSi_x 박막을 증착하였다. 또한 텅스텐 폴리사이드

와 특성을 비교하기 위하여 2200Å 두께의 $POCl_3$ 로 도핑된 poly Si 만으로 형성된 시료를 준비하였다. 이후 gate 전극을 patterning하고, 900°C 온도에서 O_2/N_2 혼합 gas 상태에서 30분간 열처리를 실시하였다.

Gate oxide 두께 변화는 as-grown 상태에서 ellipsometer로 측정하고, 열처리 후 시료에서는 C(Capacitance)-V(Voltage) meter로 전기적으로 측정된 capacitance 값으로부터 환산한 두께와의 차이를 산출하였다. 산화 막의 신뢰성 저하 평가를 위해 HP4145를 사용하여, TDDB (Time dependent Dielectric Breakdown) test를 0.1 A/cm²의 일정 전류를 흐르게 하면서, oxide가 breakdown이 일어나는데 까지 걸리는 시간(time-to-breakdown)을 측정하여 Log-normal graph상에서 cumulative failure 50%에 해당하는 시간을 TBD 50%로 정의하여 조사하였다. 이때 C-V 및 TDDB평가는 200×200 μm²의 정사각형 pattern을 사용하였다. WSi_x 두께 증가에 따른 응력 변화는 Tencor사의 FLX-2410 Fluxus 장비를 이용하여 측정하였다. TEM과 SIMS를 이용하여 시료의 미세 구조와 성분 분석, 특히 fluorine의 WSi_x 두께에 따른 농도 분포를 조사하였다.

3. 실험 결과 및 고찰

그림 1은 WSi_x 두께에 따른 sheet resistance (Ω/□)의 변화를 도시한 것이다. 두께 증가에 따라 저항이 감소하며, 600Å이상의 두께에서 30 Ω/□미만의 낮은 저항 값을 보여준다. 열처리에 따라 WSi_x 의 결정화 및 미세 구조 변화에 기인하여, 저항이 큰 폭으로 감소하였다. 따라서, 소자 특성 개선을 위하여 WSi_x 두께를 가능한 증가시켜, 저항을 낮추는 것이 필요함을 알 수 있다. 약 600Å 이상의 두께에서, Rs의 기울기가 변화하는 현상이 관찰되었으며, 기울기 변화는 이 두께 부근에서 미세 구조의 변화 차이 등으로 WSi_x 박막의 비저항이 변화한 것으로 해석된다. 이는 뒤의 미세구조 연구 결과와 비교적 잘 일치한다.

그림 2는 WSi_x 두께 증가에 따라 gate 산화 막의 열화 특성을 보여 주고 있다. WSi_x 두께가 증가하면서 $T_{BD, 50\%}$ 는 비례적으로 감소하지만 600Å 두께 이상에서는 더 이상의 TBD 50%의 감소가 관찰되고 있지 않다. 이 결과는 그림 3에서 보여주는 WSi_x 두께에 따른 ΔT_{ox} 증가 경향과 매우 잘 일치하고 있다. 여기에서도 WSi_x 두께가 증가하면서 ΔT_{ox} 가 지속적으로 증가하다가, 600Å이후

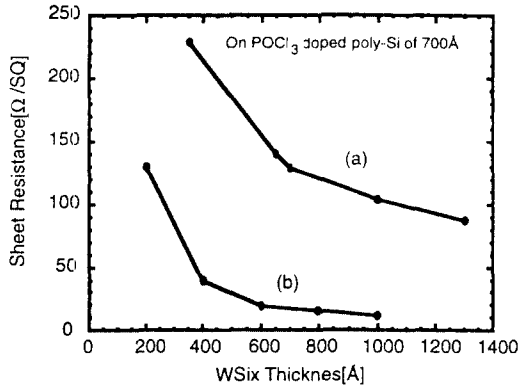


그림 1. WSi_x 두께 변화에 따른 sheet resistance의 변화. a) 열처리전, b) 900°C 열처리후.

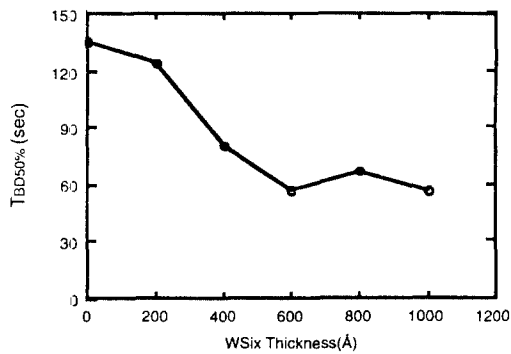


그림 2. WSi_x 두께 변화에 따른 gate oxide의 신뢰도(T_{BD 50%}) 변화.

부터는 거의 변화가 없다. 그림4는 SIMS로 측정된 gate 산화 막내 fluorine 양을 counts/cm³으로 나타낸 것으로 WSi_x의 두께가 증가하면서 fluorine의 농도가 증가하다가 600Å 두께에서 극대 값을 가진 후 얼마간 감소하면서 포화되는 경향을 보여주고 있다. 따라서, WSi_x 두께 증가에 따라, gate oxide내의 fluorine농도 증가 경향이 ΔT_{ox} 증가 및 T_{BD 50%} 감소 경향과 잘 일치하고 있음을 알 수 있다.

그림 5는 WSi_x 두께 변화에 따라 gate 산화 막에 인가되는 응력 변화를 도시한 그림이다. WSi_x 두께가 증가하면서 gate oxide에 인가하는 인장 응력이 증가하다가 600Å 두께에서 극대 값을 가진 후 그 이상의 두께에서 다시 감소하고 있으며, 앞에서 보여준 gate oxide 특성 변화와 비교적 잘 일치하고 있다. 이러한 응력 변화는 600Å까지 WSi_x/Poly-Si 계면의 영향을 dominant하게 받는 미세 구조로 성장하다가, 계면에 의한 응력이 임계값

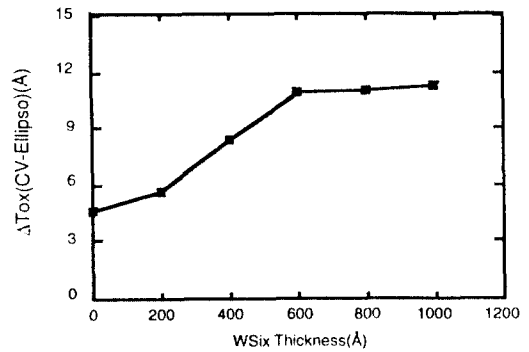


그림 3. WSi_x 두께 변화에 따른 gate oxide 두께 변화.

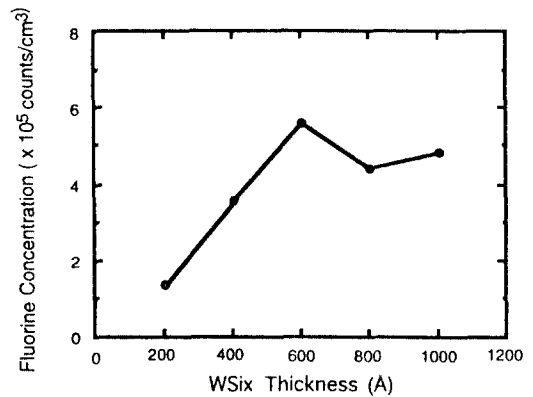


그림 4. WSi_x 두께 변화에 따른 gate oxide내 fluorine농도 변화.

이상으로 커짐으로써 600Å 이상의 두께에서는 응력 완화를 위한 새로운 미세 구조가 생성되고 그에 따라 WSi_x 박막의 응력이 완화되는 것으로 추측할 수 있다. 이러한 응력 완화 과정은 미세구조 변화와 함께, gate oxide 특성에 영향을 줄 것으로 생각되어진다. 그러나, 두께가 600Å에서 800Å으로 변화할 때, stress의 변화량이 10¹⁰ dyne/cm² 정도의 비교적 큰 변화 폭을 나타내는데 비하여 그림 2에 도시된 gate 산화 막의 특성 저하는 비교적 작기 때문에, WSi_x 두께 변화에 따른 gate oxide 특성 저하에 직접적인 영향을 주는 major factor는 stress가 아니고, fluorine인 것으로 판단되며, stress 변화는 단지 미세구조 변화와 함께 간접적으로 gate oxide 특성에 영향을 주는 것으로 판단된다.

Fluorine이 gate oxide에 미치는 영향을 검증하기 위하여, poly Si위에 fluorine ion implantation을 실시하여, gate oxide로 확산시킨 후 gate 산화 막의 특성 변화를

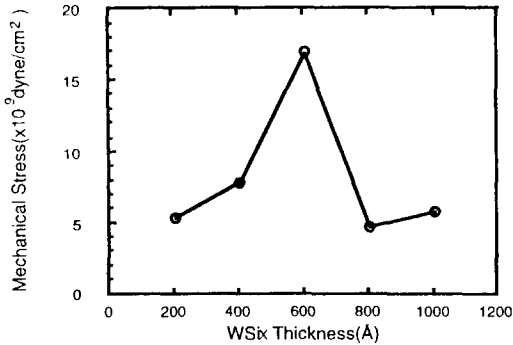


그림 5. WSi_x 두께 변화에 따른 stress 변화.

평가하였다. 이 실험을 위하여, POCl₃로 도핑된 poly-Si 위에 10¹⁴/cm²에서 10¹⁵/cm²의 dose range에서 fluorine을 50 KeV energy로 ion implantation을 실시하였고, implantation damage 효과를 평가하기 위하여 2200Å poly Si 위에 1500Å mask oxide를 700°C에서 화학 증착 방법으로 증착한 후 ion implantation을 실시한 시료를 동시에 평가하는 한편, 순수한 implantation에 의한 산화막 특성 저하를 보기 위하여 phosphorus로 ion implantation된 poly-Si의 산화막 특성을 평가하였다.

그림 6은 WSi_x gate와 fluorine implantation된 gate에서의 gate 산화막의 신뢰도를 비교, 평가한 그림이다. 여기에서 실험 결과들은 두 개의 평행한 직선으로 연결 가능하다. 위쪽 직선은 WSi_x gate를 사용할 때 WSi_x 두께에 따라 ΔT_{ox}가 증가하면서 T_{BD 50%}가 직선적으로 감소하는 것을 나타내며, 아래쪽 직선은 POCl₃ 도핑된 poly Si 위에 fluorine의 농도를 증가시키면서 ion implantation을 시킨 경우로 fluorine농도 증가에 따라서 ΔT_{ox}가 증가하면서 T_{BD 50%}가 직선적으로 감소하는 것을 보여주어 산화막의 T_{BD 50%}가 fluorine에 의하여 dominant하게 영향을 받는 것을 보여주고 있다. 그러나 위쪽 직선에서 나타난 것과 같이, mask oxide를 사용한 경우, fluorine농도 증가에 따라 ΔT_{ox} 및 T_{BD 50%}의 변화는 거의 차이가 없었다. 다만, 두 직선 사이에 implantation된 경우가 약 30 sec 정도 T_{BD 50%}가 떨어지는 것을 보여주는데 이는 phosphorus implantation된 경우 T_{BD 50%}가 일반 poly Si에 비하여 약 25 sec 정도 T_{BD 50%}가 적게 나오고, mask oxide를 poly Si위에 증착한 후 ion implantation을 실시 한 경우에서는 WSi_x gate 경우와 비슷한 수준의 T_{BD 50%}값을 보여 주는 것으로 미루어 implantation 공정시 유발되는 damage에 의한 차이라고 생

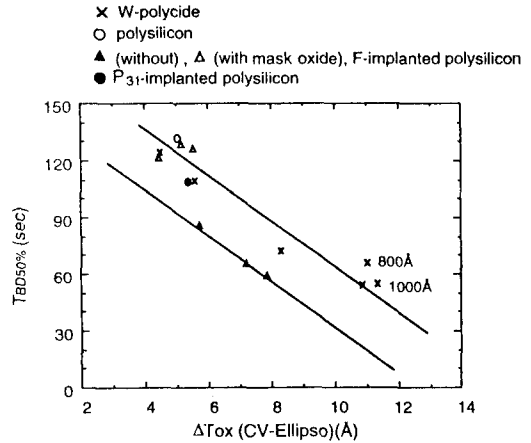


그림 6. W polycide gate와 fluorine implanted poly Si gate에서 ΔT_{ox}와 T_{BD 50%} 변화 관계.

각되어진다. 즉 fluorine ion이 주입된 poly Si gate에서 ion implantation에 의한 damage 효과를 제거하면, 거의 WSi_x gate 경우와 일치하게 된다. 따라서 WSi_x gate 사용할 때 gate oxide의 특성 변화는 gate oxide 내의 fluorine 농도에 의해 거의 지배된다는 것을 알 수 있다. 그러나, 앞서 살펴본 바와 같이 WSi_x 두께가 600Å 이상에서는 그림 2와 그림 6에서 나타난 것처럼 얼마간의 편차를 보이고 있다. 이는 앞에서도 언급하였듯이 fluorine 이외의 미세 구조 등과 같은 다른 요인이 gate oxide 특성 변화에 영향을 미치고 있음을 시사하고 있다.

그림 7은 WSi₂/Poly-Si/SiO₂ 구조에서 fluorine, phosphorus, silicon, oxygen 및 tungsten의 SIMS depth profile을 보여주고 있다. 여기에서 WSi_x내의 oxygen 농도 profile을 살펴보면 WSi_x 두께가 400Å, 600Å인 경우에 비하여 800Å, 1000Å 경우에서는 WSi_x 표면으로부터 상당한 두께까지 많은 양의 oxygen이 분포하고 있다. 즉, 열처리 후 oxygen rich region이 WSi_x 두께가 증가함에 따라 형성되었음을 보여주고 있다. 또한 이 부분에서 WSi_x 내의 fluorine 농도 변화는 600Å 이상 두꺼운 경우, 표면에서의 농도가 다소 증가하여, 과도한 oxygen이 있는 부위는 WSi_x 내에 fluorine이 포획되어 있고, WSi_x내의 과도한 oxygen이 없는 부위에서는 polysilicon쪽으로 fluorine 확산이 활발함으로써 WSi_x/Poly-Si 계면에서 WSi_x쪽으로 농도 구배가 생겨, fluorine의 gate oxide 쪽으로의 확산을 방해함으로써, 600Å두께 이상에서는 gate oxide내의 fluorine 농도가 거의 포획되는 것으로 생각되어진다. 그림 8은 WSi_x 두께가 400Å, 1000Å 일 때

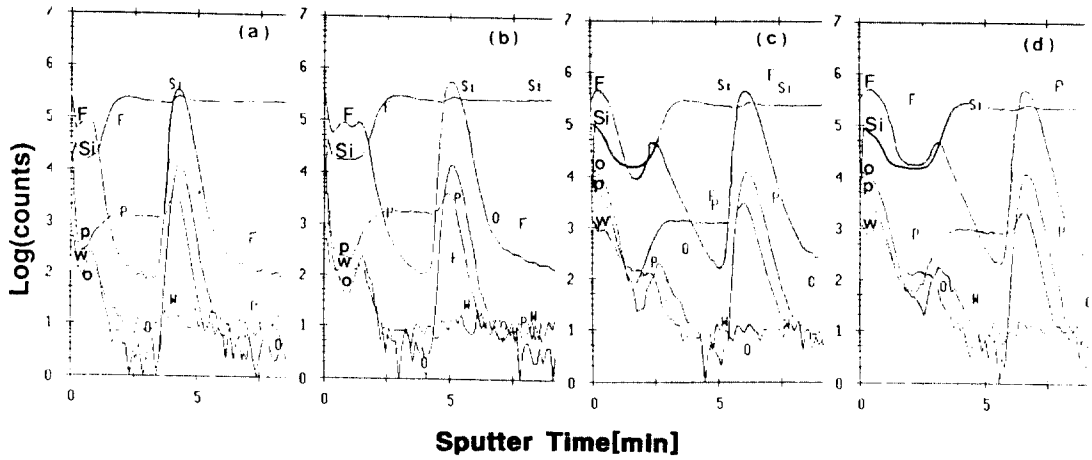


그림 7. WSi_x /Poly Si/ SiO_2 /Si 구조에서 SIMS depth profile. a) 400Å, b) 600Å, c) 800Å d) 1000Å 두께 WSi_x .

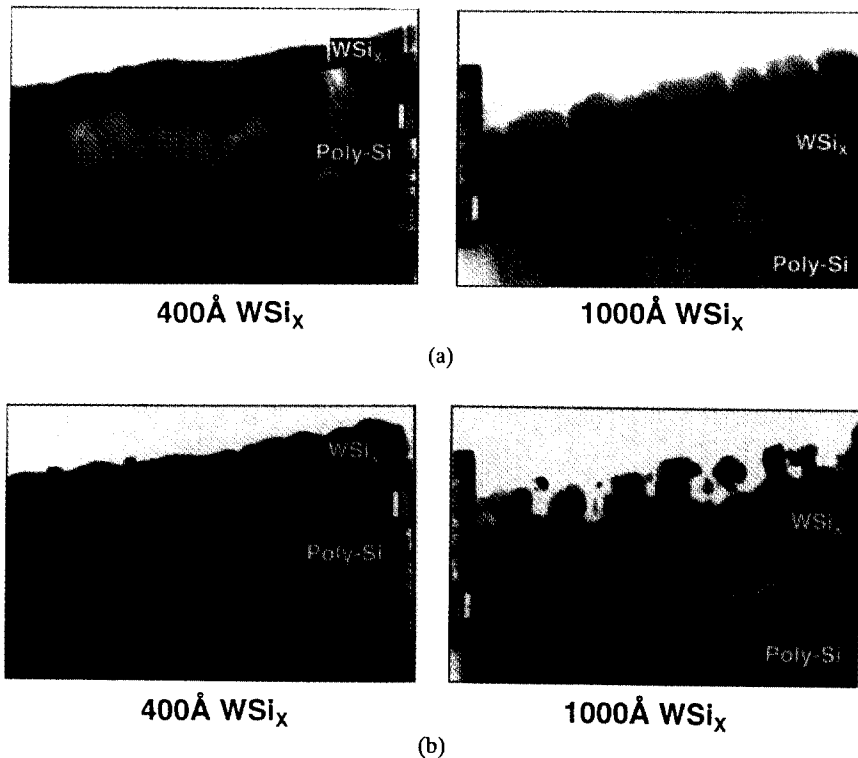


그림 8. 단면 TEM. a) as deposition, b) 900°C 열처리 후.

각각 시료의 단면TEM사진이다. 열처리 전에는, 400Å에서 WSi_x 가 거의 균일한 미세 구조를 보이고 있지만 1000Å 두께에서는 WSi_x 의 표면 부위와 내부가 서로 다른 미세 구조를 보이고 있다. 표면 부위는 비교적 울퉁

불퉁한 표면 상태와 porous한 phase를 보여주고 내부는 매끈한 WSi_x/SiO_2 interface를 보여 주고 있다. 그러나 열처리 후, Porous 한 표면 부위는 앞서 SIMS 결과에서처럼 oxygen-rich region인 것으로 판단되는 phase로 변화

한 것을 보여주고 있다. 따라서 600Å 이상의 두께에서는 WSi_x 의 표면 부위의 미세 구조가 달라지고, 후속 열처리 공정 중 산소를 잘 통과시켜 oxygen-rich region이 생성되는 것으로 해석되어 진다.

4. 결 론

W polycide gate 구조에서 WSi_x 두께 변화에 따른 gate oxide 특성 변화에 대한 연구를 통하여 다음과 같은 결론을 얻게 되었다.

WSi_x 두께가 증가 함에 따라 열 처리 후 gate oxide 두께가 증가하며, 이에 따라 oxide의 신뢰도를 나타내는, $T_{BD, 50\%}$ 가 감소한다. 이러한 gate oxide의 특성 변화에 가장 직접적으로 영향을 주는 인자는 WSi_x 박막 증착시 유입되는 fluorine의 농도이며, WSi_x 두께 변화에 의한 응력 변화는 직접적인 영향을 주지 않는다.

그러나, WSi_x 의 두께가 약 600Å 이상에서는 gate oxide 두께 증가 및 감소 등의 열화 현상이 포화되는 것을 발견하였으며, 이때 oxide내에 유입된 fluorine양도 더 이상 증가되지 않는 현상을 관찰하였다.

SIMS 및 TEM 관찰을 통하여, 600Å 이상의 두께에서는 WSi_x 의 미세구조가 표면이 거칠고, porous한 phase를 갖는 상부 구조와, 비교적 매끈한 계면 상태를 갖는 하부 구조로 이루어 졌으며, 상부의 porous한 부위는 후속 열 공정 중 oxygen-rich한 phase로 변화하며, fluorine을 포획하여, 더 이상 fluorine이 oxide 내로 확산을 억제하기 때문인 것으로 해석되었다.

따라서, gate oxide 특성에 미치는 영향을 줄이기 위하여 WSi_x 두께를 600Å이하로 낮추는 것이 바람직하지

만, 저항을 낮추기 위해서는 WSi_x 두께 증가가 요구되어, gate oxide 특성에 영향을 최소화 할 수 있는 새로운 공정 개발이 필요하다고 판단된다.

감사의 글

본 연구를 위하여 많은 도움을 베풀어 주신 임재은 주임 연구원께 감사를 드립니다.

참고문헌

1. M. Y. Tsai et al., J. Electrochem Soc. 128(10), 2207(1981).
2. P. J. Wright et al., IEEE Trans. Electron Devices, ED36(5), 879(1989).
3. S. P. Murarka, Int. Electron Devices Meet. Tech. Dig., 254(1979).
4. K. Sakiyama, Y. Yamauchi, and K. Matsuda, J. Vac. Sci. Technol., B3, 1685(1985).
5. S. K. Sinha, W.S.Lindenberger, D. B. Fraser, S.P. Murarka, and E. N. Fuls, IEEE Trans. Electron Devices, ED27, 1417(1980).
6. H. J. Geipel, N. Hsieh, M. Ishaq, C. Koburger, and F. White, IEEE Trans. Electron Devices, ED27, 1417(1980).
7. Y. Shioya et al., J. Appl. Phys., 61(11), 5102(1987).
8. P. J. Wright, N. Kasai, S. Inoue, and K. C. Saraswat, Proc. Symp. VLSI Tech., 51(1989).
9. V. Jain and D. Pramanik, Proc. VLSI Multilevel Interconnection Conference, 490(1990).
10. A. Hamada, T. Furusawa and E. Takeda, Proc. Symp. VLSI Tech., 113(1990).