

영상처리 프로세서의 기술과 동향

서울대학교 임준호* · 김정민* · 채수익*

● 목 차 ●

- | | |
|-------------------|-----------------------|
| 1. 서 론 | 2.3 MPEG2 영상 부호화기의 구조 |
| 2. 기존의 영상처리 프로세서 | 3. 멀티미디어 엔진의 출현 |
| 2.1 기술 동향 | 4. 향후 전망 |
| 2.2 영상처리 프로세서의 구조 | 5. 결 론 |

1. 서 론

멀티미디어 정보사회가 자리 매김을 함에 따라 이에 수반되는 영상처리 기술의 발달이 급속히 이루어져 여러 표준안들이 제정되었으며, 실시간에 구현하기 위한 여러 영상 압축 알고리즘의 개발과 VLSI 구현이 빠른 속도로 이루어져 왔다. 동영상 전화기 및 MPEG2 영상 복호화기 등에 사용하기 위한 영상처리 프로세서들은 이미 개발되었으며, HDTV 등에서 사용되는 MPEG2 MP@ML (Main Profile Main Level)급 이상의 영상 부호화기가 여러 회사 및 연구소에서 개발을 서두르고 있다. 그런데, 이들 영상 부호화기에서 요구되는 계산량은 수백 GOPS(Giga Operations per Second)[1] 정도로 기존의 VLSI 기술로 구현하기가 쉽지 않아, 이를 극복하기 위한 많은 영상처리 프로세서 구조가 논문 및 시제품 등으로 제안되고 있다. 이들은 발달된 공정 기술 등을 이용하여 기존의 영상처리 프로세서에서 사용된 기술들을 혼용하고, 집적도를 높이거나 여러 칩을 이용하는 병렬처리로 문제 해결에 접근하고 있다. 최근에는 이들 영상처리 프로세서가 영상 매체만을 처리하지 않고 음성이나 기타 데이터

처리를 함께 할 수 있는 멀티미디어 처리 프로세서로 발전하고 있다. 이러한 추세로 볼 때, 향후 영상 프로세서는 디지털 포맷을 기초로 하면서, 지금과 같은 영상과 음성데이터의 단순한 혼합 이상인, 상호 교환적이고 쌍방향 교류를 기본으로 하는 복합적인 형태의 데이터를 처리할 수 있는 형태로 발전할 것으로 예상된다.

본 논문은 영상처리 프로세서의 기술 동향 및 구조를 과거, 현재, 미래의 세 단계로 정리를 하였다. 제 2장에서는 영상처리 프로세서 기술의 현주소를 파악하기 위하여 최근 3년간 발표된 논문들을 중심으로 기술적인 분석 및 정리를 하였다. 기존에 발표된 영상처리 프로세서들-JPEG이나 MPEG, 동영상 전화기 등의 CODEC들-의 구조 및 기술의 경향성을 파악하고, 각 구조들의 특성을 분석하였다. 현재의 구조들은 고전적인 구조들에서 매우 복잡한 방향으로 진보하여 각 구조들간에 특성이 모호해지고 있다. 이러한 기술 경향을 구체적으로 살펴보기 위해 MPEG2 영상 부호기의 구현 예를 4개 회사의 발표 논문에 근거하여 비교하였다. 제 3장에서는 최근에 발표되고 있는 멀티미디어 엔진의 출현 배경과 특징을 살펴본다. 제 4장에서는 향후 제시될 영상 프로세서의 구조를 전망하여 보았다.

*비 회 원

2. 기존의 영상처리 프로세서

2.1 기술 동향

영상처리 프로세서는 그 처리량이 점점 크게 요구됨에 따라 하드웨어 복잡도가 계속 증가하고 있다. 이 요구에 의해 단순한 단일 프로세서에서 다중 프로세서 및 벡터 프로세서 등이 등장하였으며, 복잡도가 증가함에 따라 제어 및 효과적인 구성을 위하여 범용 마이크로 프로세서에서 사용되었던 여러 가지 기법들이 많이 채용되고 있다. 또한 초창기에는 이미 상용화되어 있던 DSP 칩 등을 이용하여 구성을 하였지만, 그 후 요구되는 데이터와 연산량이 증가하면서 DSP 성능에 한계에 이르렀고, 이를 넘기 위하여 영상처리 프로세서들이 등장하였고, 이 과정에서 영상처리 프로세서의 종류는 다양해졌다.

우선 영상처리 프로세서는 프로그램 가능성에 따라 전용 구조와 프로그래머블한(programmable) 범용 구조로 크게 구분할 수 있다. 이 두 구조는 하드웨어 복잡도와 성능 및 유연성 등에 있어서 매우 대조되는 장단점을 가지고 있다. 전자는 영상처리에서 필요한 개별적인 연산에 하드웨어를 최적화시킨 구조이고, 후자는 프로그램이 가능하도록 하기 위해 기본 연산에 하드웨어를 최적화시켰다. 따라서, 고정된 영상 압축 표준만을 처리하는 경우, 필요한 연산에만 최적화시킨 전자의 방법이 일반적인 연산에 최적화시킨 후자의 방법보다 면적대 성능의 비가 좋을 수 있다. 그러나, 전자의 구조는 프로그램 능력이 미약하기 때문에 알고리즘의 개선이나, 새로운 기능의 추가가 후자의 구조에 비해 근본적으로 어려운 단점을 가지고 있다. 그러나 VLSI 기술 발달로 각 구조의 장점만을 채용하는 것이 가능해져, 점차로 이러한 구분이 모호한 구조들이 제시되고 있다. 이와 같은 최근까지의 영상처리 프로세서들의 기술 동향을 정리하면 다음과 같다.

(1) 기존 구조들의 혼용

기존의 영상처리 프로세서에 채용되는 구조 및 기법들은 다양하지만 실제 구현에서는 이들 구조 및 기법들이 혼용되어 사용된다. 이것은

순수한 단일 구조로는 복잡한 영상을 처리하기 어렵고 효과적으로 하드웨어를 구현하기 어렵기 때문이다. 따라서 대부분의 구조들이 계산량이 많고 규칙적인 연산은 전용 하드웨어로 처리하고, 그렇지 않은 부분은 프로그램이 가능한 프로세서로, 예를 들면 DSP나 RISC 등으로 처리한다. 현재까지 제정된 영상 압축 표준들이 기본적으로 채용하는 알고리즘 중에서 변경의 가능성이 거의 없는 고정적인 부분들-DCT, 움직임 추정 등은 전용하드웨어로 구현되고, 나머지 불규칙적이고 가변적인 연산은 범용하드웨어로 구현되고 있어 주어진 면적에서 최대의 성능과 프로그램 기능을 얻고자 한다.

(2) 움직임 추정기의 별도 처리

MPEG1이나 MPEG2 MP@LL의 경우, 움직임 추정기가 계층적 탐색방법을 이용하여 처리한다면, 1 GOPS 정도의 계산량이 요구되어 여러 개의 데이터를 동시에 처리할 수 있는 기능을 탑재한 범용 프로세서에서 소프트웨어로도 처리가 가능하다. 그러나, MPEG2 MP@ML의 경우, 움직임 추정기가 계층적 탐색방법을 사용할 경우 10 GOPS 정도, 완전 탐색방법을 사용할 경우 200 GOPS 정도의 계산량이 요구되어 전용 하드웨어가 필요하다[1]. 특히, 움직임 추정기는 영상 부호화기에서 요구되는 GOPS의 90% 내외를 차지하므로 별도의 칩으로 분리하는 경향이 있다. 움직임 추정기의 탐색영역은 MP@LL의 경우는 ± 16 , MP@ML과 MP@HL의 경우는 ± 32 가 일반적이며, 움직임 추정기의 탐색영역을 크게 하거나, 완전 탐색을 할 경우는 상당히 GOPS가 증가한다. 따라서, 최근에 발표되는 MPEG2 부호화 등에 사용하기 위한 고성능 영상처리 프로세서에서는 거의 모두 움직임 추정기를 별도의 칩으로 분리한다. 표 1은 MPEG2에서 요구되는 성능을 나타낸 것이다.

(3) 소프트웨어의 중요성 및 의존성 증가

영상 압축 표준에 점점 복잡한 과정이 포함됨에 따라 사용되는 전용 하드웨어를 효과적으로 운용하고, 다양한 사용자 인터페이스 및 가

표 1 MPEG2 비디오 부호화와 복호화에 요구되는 성능[1]

Level	MP@LL		MP@ML		MP@ML	
	Encoder	Decoder	Encoder	Decoder	Encoder	Decoder
Picture size	352×240		720×480		1440×1080	
Encoder/Decoder	Encoder	Decoder	Encoder	Decoder	Encoder	Decoder
predicted MB generation	27M	27M	109M	109M	491M	491M
DCT/IDCT	244M	122M	1G	500M	4.5G	2.3G
Q/IQ	76M	38M	310M	155M	1.4G	700M
VLC/VLD	25M	12M	100M	50M	450M	225M
rate control	12M		50M		225M	
coding mode decision	37M		150M		675M	
ME Exhaustive search	20G		180G		830G	
ME Hierarchical search	670M		11G		50G	
Total(Hierarchical search)	1.1G	200M	13G	814M	58G	3.7G

±16 search range for MP@LL
 ±32 search range for MP@ML and MP@ML

변성을 처리하기 위해 전반적으로 프로그램 기능이 필요하다. 그리고, 전용 하드웨어에서 처리되는 과정도 복잡해져, 이러한 추세들이 각각의 전용 하드웨어 내부에도 적용되고 있다. 따라서, 효과적으로 데이터 흐름을 제어하고 처리하기 위한 프로그램 기능들이 필요하고 복잡해지고 있어, 이들을 자동화하거나 최적화시키는 소프트웨어-스케줄러, 컴파일러, 시뮬레이터 등-의 개발이 중요해지고 있다. 물론, 하드웨어가 이와 같은 작업을 실시간에 처리할 수 있으나, 최적화 정도가 소프트웨어보다 떨어져서 추가적인 하드웨어를 사용하기 때문에, 이와 같은 작업은 소프트웨어에 의존하는 경향이 커지고 있다.

2.2 영상처리 프로세서의 구조

앞에서 언급한 것과 같이 기존의 영상처리 프로세서는 프로그램의 기능성 여부에 따라 전용 구조와 프로그래머블 구조로 크게 분류할 수 있으며, 프로그래머블 구조는 각 프로세서의 명령어의 병렬성에 따라 SIMD와 MIMD 구조로 크게 구분될 수 있고, 명령어의 길이나 제어 방식 및 수행 독립성에 따라 VLIW, 데이

터플로우(Data Flow), 멀티스레드(Multithread) 등으로 분류할 수 있다. 이 절에서는 JPEG, MPEG1 및 동영상 전화기 CODEC에서 사용된 최근의 영상처리 프로세서의 구조들에 대하여 정리하였다. 이 구조들의 향후 상위 버전들이 곧 발표된다는 것을 염두에 두고 특징에 따라 전용 프로세서 구조, SIMD 구조, DSP/RISC를 이용한 구조, MIMD 구조로 구분하여 요약하였다.

(1) 전용 프로세서 구조

모든 기능 블록들이 전용하드웨어로 구성되어 있는 구조이다. 이 구조는 각 기능 블록 단위로 최적화를 하여 최소의 하드웨어로 최대의 성능을 낼 수 있도록 한 것이다. 예를 들면, 영상 압축에서 기본적으로 사용되는 DCT는 범용 프로세서에서는 곱셈과 덧셈 연산으로 처리되지만, 전용하드웨어에서는 DA방식의 연산이나, 8×8 DCT의 특성을 이용하여 필요한 곱셈수를 줄이거나 생략하는 방법을 사용하여 면적을 줄이거나 성능을 개선시킨다. 특히, 전용 하드웨어에서는 데이터 이동, 조건 체크, 주소 발생 등이 동시에 이루어지기 때문에, 각각이 순

차적으로 처리되어야 하는 범용구조에 비해 높은 성능을 얻을 수 있다. 따라서, 전용구조는 계산량이 많고 규칙적인 연산을 처리하는 경우-DCT/IDCT, 양자화, 움직임 추정/보상, 데이터 이동 등-에는 매우 효과적이다. 가변 부호화/복호화의 경우에는 불규칙적이지만, 개별 연산이 비트 처리 및 비교 등으로 구성되어 있어, 영상 압축의 비트 전송율이(Bit-Rate) 높을 경우에는 전용 하드웨어로 구성하는 것이 효과적이다.

전용 하드웨어를 사용하여 만드는 방식에도 여러 가지 변형이 있을 수 있으나, 크게 두 가지로 나눌 수 있다. 첫 번째 방식은 그림 1의 예에서 살펴 볼 수 있는데, 이 구조는 단일 연산만을 처리할 수 있는 전용하드웨어들이 데이터 버스에 공통적으로 연결되어 있고, 명령 버스를 통해 내부 또는 외부의 제어기로부터 명령을 받아 데이터를 처리하는 방식이다. 각각의 전용하드웨어 내부에는 전용 데이터 버퍼들이 있고, 외부 메모리나 내부의 다른 전용 하드웨어 내에 있는 버퍼로부터 데이터 버스를 통해 내부 버퍼로 데이터를 이동시킨 후에, 이들 버퍼에서 데이터를 가져와서 연산을 처리한다. 두 번째 방식은 내부의 전체 데이터 버스를 사용하지 않고, 국부 데이터 버스를 이용하여 데이터를 각각의 전용하드웨어로 이동시키는 경우로, 한쪽 방향으로 데이터가 처리되는 영상 압축 과정을 직접적으로 구현한 예이다. 전자의 방법은 전체 데이터 버스를 통해 한쪽 전용하드웨어에서 다른 쪽 전용하드웨어로의

이동이 프로그램이 가능하기 때문에 어느 정도의 프로그램 기능을 갖출 수 있다. 반면, 후자의 방법은 각 전용하드웨어의 연결이 고정되어 있어, 프로그램 기능이 없으나, 전체 데이터 버스 등을 사용하지 않아 제어가 쉽고, 빠른 속도에서 동작시킬 수 있는 장점을 지니고 있다.

(2) SIMD(Single Instruction Stream Multiple Data Streams) 구조

SIMD 구조는 동일한 구조의 데이터 처리기를 복수 개를 단일 명령으로 구동시켜, 동시에 여러 개의 데이터를 처리한다. 이와 같은 방법은 8x8 블록, 또는 16x16 블록을 기본 단위로 하는 영상처리에 매우 적합한 방식으로, 프로그래머블 프로세서에서 가장 많이 사용되는 방식이다. SIMD방식은 영상처리의 각 과정은 순차적으로 실행하지만, 한 과정 내에서의 데이터는 병렬 처리하여, 처리 속도를 향상시키는 방법으로 반복적인 루프(loop)가 많은 영상처리를 효과적으로 처리한다. 또한, 반복적인 루프에서의 코드 크기를 줄이고, 루프 오버헤드(overhead)를 줄이기 위해, 벡터 프로세싱 기법을 적용하여, 성능을 개선시킨다. 물론, 영상처리 과정이 불규칙적이고 데이터 타입이 복잡한 경우에는 복수개의 데이터 처리기를 효과적으로 운용하지 못하는 단점이 있다. 최근에는 SIMD에 적합하지 않는 연산은 별도의 하드웨어로 처리하도록 하여 이와 같은 문제를 해결하고 있다.

SIMD를 사용하는 방식도 크게 두 가지로 나눌 수 있다. 첫 번째는 동일한 구조의 데이터 처리기 및 데이터 메모리를 사용하는 방식으로 [11] 등에서 사용되는 구조이며, 두 번째 구조는 처리하는 데이터 타입에 따라 데이터 처리기를 분할하거나 합쳐서 처리하는 방식으로 최근의 멀티미디어 프로세서[15][16]나, 고성능 범용 마이크로프로세서에서 사용된다. 전자의 방법은 단일 데이터 처리기가 단순하고, 주소 계산이나 루프 제어 등이 동시에 이루어 질 수 있어, throughput은 좋으나, 데이터 처리기 구조를 가변 시키기 어려워 처리할 수 있는 데이터 형태에 제한이 있다. 반면에, 후자의 방법은 단일 데이터 처리기로 여러 개

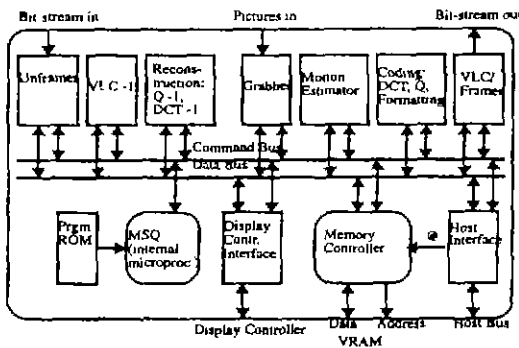


그림 1 전용 구조로 구성된 동영상 전자기 CODEC 블록 다이어그램[2]

의 데이터 형태를 처리할 수 있어, 유연성이 매우 좋으나, 단일 데이터 처리기 구조가 복잡하기 때문에 주소 계산이나 루프 제어 등이 부가적인 하드웨어로 처리되지 않고 동일한 하드웨어로 처리된다. 따라서 프로그램하기가 어려운 단점이 있으며, 이로 인한 결점을 보완하기 위해 소프트웨어 파이프라인과 같은 컴파일러 기법을 적용해야 된다.

(3) DSP/RISC를 이용한 구조

기존에 개발되어 이미 사용중인 DSP나 RISC를 적절히 이용하여, 영상 압축의 상당 부분을 DSP나 RISC에서 처리하고, 나머지 부분을 ASIC을 이용하는 방법이다. AT&T에서는 DSP 프로세서인 DSP1616을 이용하여 영상 전화기 시스템을 만들었으며[3], NEC에서 RISC 프로세서인 V830을 이용하여 MPEG1 복호화기 시스템을 만들었다[17]. 이와 같은 방법은 기존의 DSP나 RISC를 사용하여 개발 기간 및 비용을 절감하면서 손쉽게 시스템을 개발할 수 있는 장점이 있으나, DSP와 RISC에 근본적인 성능의 한계가 있어 응용에 제한이 있다. 주로, 연산량이 많지 않은 저 수준의 저 가격 영상 시스템에서 사용될 수 있는 접근 방식으로 상당한 가격 경쟁력을 가지고 있다. 최근에는 멀티미디어 기능이 첨가된 고성능 DSP나 RISC를 이용하여 개발되는 사례도 있으나, 상대적으로 고성능 DSP와 RISC의 단가가 성능에 비해 높기 때문에 아직까지는 가격 경쟁력이 높지 않으나, 대량생산을 통해 가격이 떨어질 경우에는 어느 정도 가격 경쟁력을

가질 것으로 예상된다.

그림 2는 하이브리드 영상 압축 코딩에서 하드웨어로 제작되어 처리되는 부분과 DSP로 프로그램 되어 처리되는 부분을 구별한 것이다. 이 경우 주요 압축 관련 함수들은 DSP로 처리를 하며, ME/MC와 입출력 프로세싱은 CODEC에서 처리를 한다.

(4) MIMD 구조

MIMD 구조는 복수개의 데이터 처리기가 독립적으로 데이터를 처리하는 방법으로, 일종의 다중 프로세서를 한 칩에 집적시킨 형태이며, 프로그램 가능성(programmability), 확장성(scalability), 모듈화(modularity) 등이 다른 구조에 비해 좋다. 그러나, 각각의 프로세서가 독립적인 메모리를 가지고 있어야 하고, 각 프로세서를 효과적으로 운용하기 위해서는 적절한 작업의 분할과 데이터 분배가 이루어져야 하기 때문에 실제 구현에 있어서는 많은 문제가 발생한다. 이와 같은 문제를 해결하기 위해 지금까지 많은 구조들이 제안되고 제작되었다. MIMD구조는 크게 두 개로 분류할 수 있다. 첫 번째 구조는 복수개의 데이터 처리기가 모두 동일한 구조로 되어 있어 한 데이터 처리기에서 모든 작업을 할 수 있는 것이고, 두 번째 구조는 각각의 데이터 처리기의 구조가 처리하는 작업의 종류에 따라 다른 형태로, 데이터가 여러 데이터 처리기를 거쳐야 한다. 전자의 구조에서는 데이터가 하나의 처리기에서 처리될 수 있어, 그림 3과 같이 영상을 분할하여 병렬 처리하는 경우에 적합하며, 각각의 처리기가

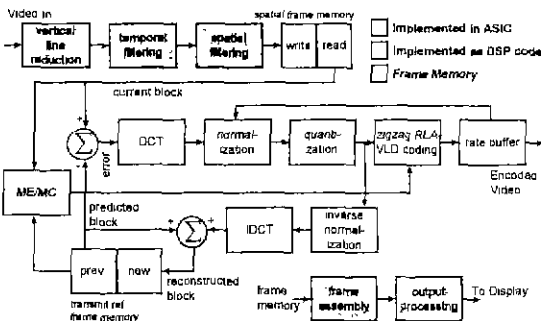


그림 2 Hybrid Coding Scheme의 하드웨어/소프트웨어 분할[3]

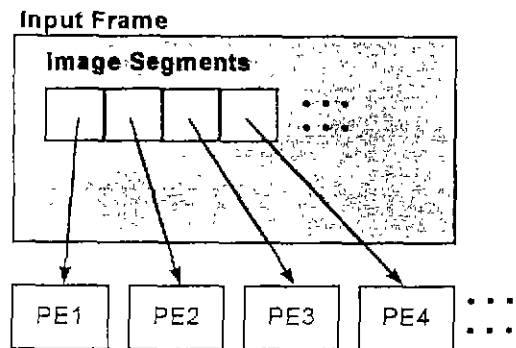


그림 3 Image segment의 독립적인 병렬처리[4]

동일하기 때문에 전체시스템을 제어하기가 비교적 쉬우나 영상 처리를 한 처리기가 모두 처리해야하기 때문에 비효율적일 수 있다. 반면에, 후자의 구조는 각각의 영상 처리가 파이프라인 형태로 처리되는 경우에 적합하며, 각각의 처리기가 영상 처리의 일부분을 담당하기 때문에 데이터 처리기를 최적화 할 수 있으나, 각각의 처리기의 특성이 달라 제어하기가 어렵다.

전자의 구조로 만들어진 것으로 Texas Instruments사에서 만든 Multimedia Video Processor(MVP)가 있다[5]. MVP에는 4개의 32 비트 DSP가 내장되어 있어, 각각은 독립적으로 프로그램이 가능하다. 각각의 DSP는 내부의 메모리에서 Crossbar Switch를 이용하여 데이터를 처리한다.

후자의 구조는 각각의 처리기를 운용하는 방식에 따라 계층적 병렬처리 구조, 데이터 플로우(Data Flow) 구조, 멀티 스레드(Multithread) 구조 등으로 나눌 수 있다.

계층적 병렬처리 구조는 각각의 데이터 처리기를 고수준과 저수준의 두 가지로 구분을 한다[4]. 저수준 처리기(Low level coprocessor)는 local image data segment에서 convolution 형태의 규칙적인 연산을 수행하며 전체 계산의 85%를 처리한다. 고수준 처리기(High Level and Control Processor)는 독립적인 프로그램 메모리를 가지고 각종 파라미터 결정 및 데이터 의존 제어 등의 일을 처리한다.

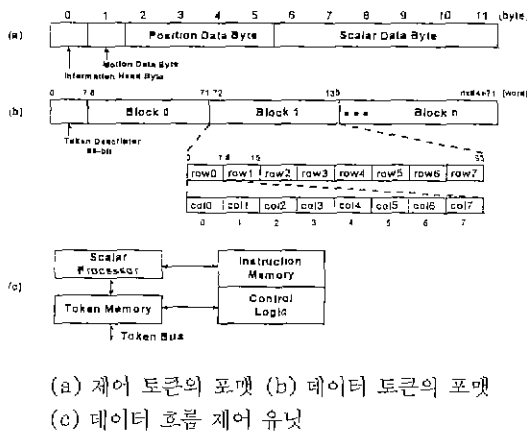


그림 4 데이터 플로우 영상처리 프로세서[6]

데이터 플로우 구조는 프로그램 카운터에 의해 제어되는 기존의 control-driven 방식과 달리 데이터의 유효함을 나타내는 토큰(token)에 따라서 실행된다(그림 4(a), (b))[6]. 프로그램 제어는 토큰에 의해 비동기적으로 수행된다. 비동기적인 병렬성을 가지며 함수 수준의 전용 단위처리기들로 구성되며, 각각은 flow graph로 프로그래밍 한다.

멀티 스레드 구조는 독립적인 처리가 가능한 sequence를 한 가닥(thread)으로 정의하여 이 가닥들 간의 스케줄링을 한다[7]. 따라서, 여러 가닥을 동시에 처리하여 한 가닥에서 발생할 수 있는 순차적인 부분에 의해 발생할 수 있는 남는 자원을 다른 가닥에서 이용하도록 하여 병렬성을 높이면서 한 가닥내의 프로그램을 쉽게 할 수 있도록 했다. 각 가닥은 개별적인 프로그램, 레지스터 셋, 내부 메모리, 벡터 프로세서 등으로 구성되며, 프로그램과 레지스터 셋은 개별적인 가닥에 독립적으로 할당되고 소프트웨어로 제어되며, 내부 메모리와 벡터 프로세서는 여러 개의 가닥이 공유하게 되며 하드웨어로 제어한다(그림 5). 동영상 전환기의 경우 부호화 이미지와 복호화 이미지가 각각 독립적인 스레드가 된다. 가닥들간의 자원활용(Resource Sharing)을 효과적으로 높이기 위하여 다중이슈 벡터 연산과 벡터 스코어 보딩을 사용하였다. 이와 같은 기법으로 스레드의 수행이 데이터나 자원충돌에 의해 정지되었다가 다시 수행되는 경우에는 스레드들 간의 순서가 바뀔 수는 있어도 한 스레드내의 명령어 수행 순서를 유지시키게 하여 실시간 스케줄링

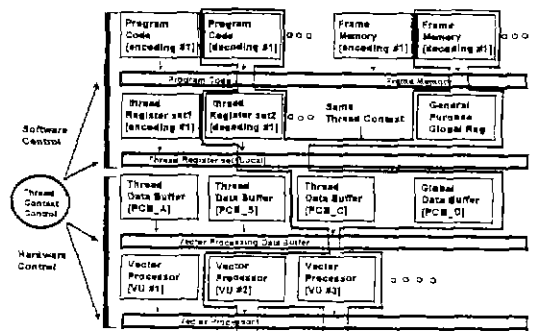


그림 5 멀티 스레드 구조에서의 스레드 구성 계층 다이어그램[7]

이 가능하도록 했다.

2.3 MPEG2 영상 부호화기의 구조

동영상 전화기 및 MPEG2 영상 복호화기에 있어서 복잡도가 보다 큰 MPEG2 영상 부호화기의 개발이 여러 칩 제작사들의 주요 관심사이다. 이미 논문 등을 통해 발표된 MPEG2 MP@ML급 이상의 영상 부호화기는 Mitsubishi사, Matsushita사, C-Cube사, SGS-Thomson사의 네 회사에서 발표된 것들이 있다. 이 네 구조는 각기 다른 특성을 가지고 있어서 좋은 비교가 되고 있다. Mitsubishi사의 영상 부호화기는 연산을 기능에 따라 적당히 분할을 하여 각각을 3개의 칩 세트로 구성한 것이다. 이에 비해 Matsushita사의 구조는 SIMD 구조를 채용하고 있다. C-Cube사의 구조는 이전의 비디오 RISC 프로세서[8]를 확장하여 규칙적으로 배열한 것이다. SGS-Thomson사는 이전에 자사에서 발표한 동영상 전화기나 MPEG2 복호화기 처럼 전용 하드웨어로 부호화기를 구성하였다.

(1) Mitsubishi사의 영상 부호화기

Mitsubishi사의 영상 부호화기는 세 개의 논문 [1,9,10]에 자세히 수록되어 있다. 세 개의 LSI로 이루어진 혼합 구조(homogeneous configuration)의 칩 세트이다(그림 6). MB level pixel processor는 filtering, transform, run-level 변환을 담당하고, 5 GOPS의 처리 능력을 가진다. Controller LSI는 슬라이스 이상의

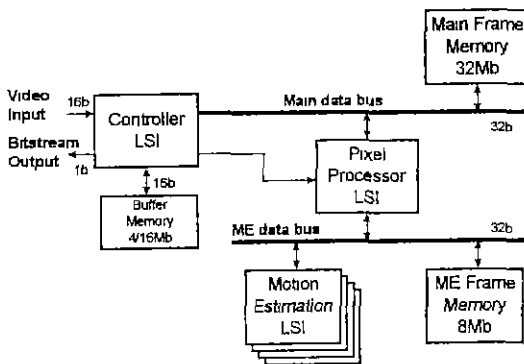


그림 6 Mitsubishi사의 MPEG2 영상 부호화기의 시스템 블록 다이어그램 [9]

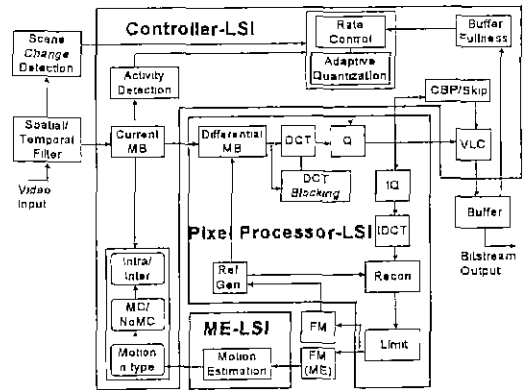


그림 7 MPEG2 부호화 알고리즘의 함수 분할 [10]

layer의 적응 처리를 담당한다. ME LSI는 전용 엔진으로서 완전탐색을 하고, dual-prime 추정은 제외되었다. 그림 7은 각 LSI들이 담당하는 함수 분할을 나타낸다. 각 LSI는 20만에서 30만 게이트급의 복잡도를 가진다. 탐색 영역에 따라 여섯 개에서 열 개의 칩으로 MP@ML 부호화기를 구성할 수 있으며, 두 개의 32 비트 버스를 사용하고 외부 메모리는 SDRAM을 사용한다. 그러나 이 구조는 각 블록들이 담당하는 기능이 정해져 있고 각 블록별로 최적화가 되어있기 때문에 다양한 영상의 크기에는 유연성이 적은 단점이 있다.

(2) Matsushita사의 영상 부호화기

Matsushita사에서 제작한 DSP 칩 세트로는 두 개의 VDSP2와 한 개의 ME 유닛으로는 MPEG2 영상 부호화기로 사용할 수 있고, 한 개의 VDSP2로는 MPEG2 복호화기로 사용할 수 있다[11]. VDSP2는 프로그래머블한 DSP 코어와 VLC/VLD 프로세서, DCT 프로세서로 구성된다(그림 8). DSP 코어는 프로그래머블 컨트롤 유닛인 DPCU와 네 개의 VPU(Vector Processing Unit)로 구성되고, VLC/VLD 프로세서는 VPCU와 전용 VLC/VLD 블록으로 구성되어 있다. 인터페이스 유닛으로는 MIF(DRAM과의 인터페이스)와 SIF(소스 데이터 인터페이스), CIF(칩간의 인터페이스)가 있다.

그림 9와 같은 구조를 가지는 VPU는 다섯 가지 종류의 작은 열세 개 RAM으로 구성되며

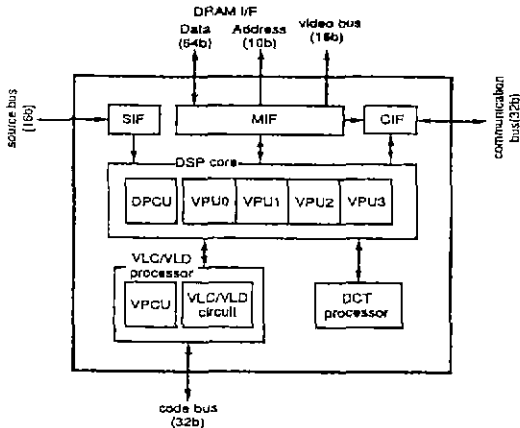


그림 8 Matsushita사의 VDSP2 블록 다이어그램 [11]

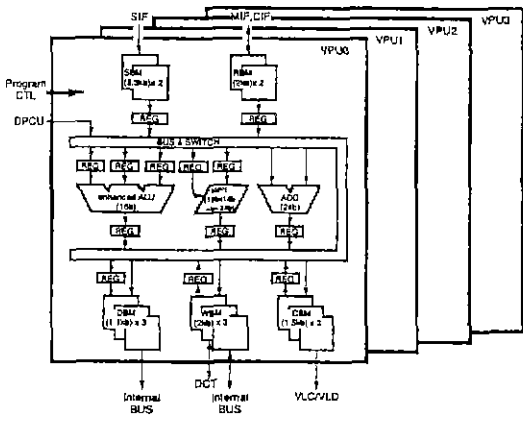


그림 9 Matsushita사의 VPU 블록 다이어그램 [11]

MB-level의 파이프라인을 한다. SIMD 구조로서 벡터 명령을 사용하며, 네 개의 VPU가 동시에 네 개의 블록중의 각각 한 개씩을 처리한다. 모든 프로세서는 MB 데이터를 병렬로 처리한다. 네 개의 VPU에 있는 각종 메모리는 두 개의 MB보다는 큰 크기를 가진다.

(3) C-Cube사의 영상 부호화기

C-Cube사의 영상 부호화기의 구조는 논문에 자세히 발표되지 않았으며, 논문 [1]을 통해 간략한 구조를 알 수 있다. 전체 구조는 그림 10과 같이 독립적인 비디오 RISC 프로세서 (VideoRISC-2 CLM4400) 네 개를 규칙적으로 배열한 Homogeneous Configuration이다.

이 RISC 프로세서는 이전에 자사가 발표한 것을 확장한 것이다. DRAM 제어기, ME, 비디오 인터페이스, VLC, 캐쉬 메모리 등을 내장하고 있다. 여덟 개의 프로세서(두 개의 칩)가 MP@ML급 영상(704x480)을 부호화할 수 있으며, 한 프로세서는 가로 두 개 세로 네 개로 나뉘어진 부분 이미지를 전달하여 처리한다. 비디오 이미지 크기에 매우 유연성 있게 대처 가능하지만 화면 크기가 커지면 중복도(redundancy)가 커지는 단점을 가지고 있다.

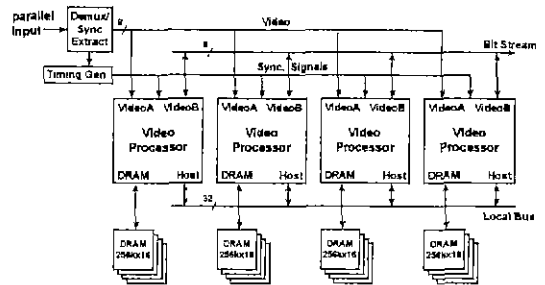


그림 10 C-Cube사의 MPEG2 영상 부호화기 구조 [1]

(4) SGS-Thomson사의 영상 부호화기 [12]

SGS-Thomson사의 영상 부호화기 구조는 전용 구조이다(그림 11). 네 개의 칩 세트로서 전처리 유닛 한 개, 움직임 추정 유닛 두 개, 비트열 부호화 유닛 한 개이다. 외부 상용 마이크로 컨트롤러와 on-chip RISC에 의해 제어되고, 각각의 칩은 각각의 독립적인 DRAM과 연결된다. 움직임 추정은 계층적 탐색을 한다.

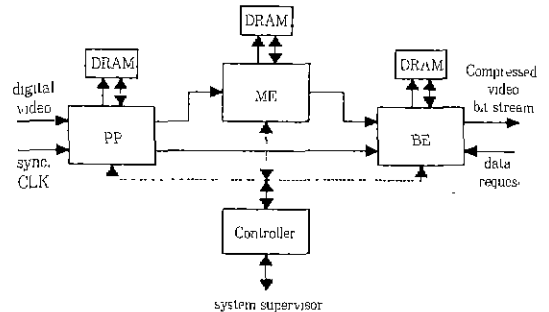


그림 11 SGS-Thomson사의 영상 부호화기 칩 세트 [12]

3. 멀티미디어 엔진의 출현

최근 멀티미디어의 필요성이 증가함에 따라 영상처리 프로세서의 구조가 새로운 방향으로 변화해가고 있다. 지금까지의 영상처리 프로세서는 방대한 연산량과 메모리를 필요로 하는 영상 압축과 복원을 처리하는 것이 주 역할이었으며, 음성이나 기타 데이터 처리는 DSP, MCU와 같은 별도의 프로세서가 처리했다. 그러나, VLSI 기술의 발달로 하나의 프로세서로 영상처리와 음성처리를 모두 처리할 수 있는 것이 가능해졌다. 따라서, 최근의 영상처리 프로세서는 영상 매체와 함께 음성이나 기타 데이터 처리도 할 수 있도록 설계되어 여러 가지 멀티미디어 매체를 처리할 수 있는 멀티미디어 프로세서 형태로 발전하고 있다.

현재 개발중인 멀티미디어 프로세서는 크게 두 가지 형태로 분류할 수 있다. 첫 번째 형태는 기존의 영상처리 IC와 음성처리 IC를 한 칩에 집적시켜 만드는 하이브리드 방식이 있고, 두 번째 형태는 여러 가지 매체를 함께 처리할 수 있는 코어 엔진에 기초하여 프로그램에 따라 필요한 처리를 하는 멀티미디어 엔진 방식이 있다. 전자의 방식은 두 개의 IC를 한 IC에 집적시킨 것과 같기 때문에 기존의 개발 환경에 바탕을 두어 쉽게 제작할 수 있는 장점이 있으나, 각각의 처리기가 주어진 매체만을 처리하고 별도로 동작하기 때문에 자유도와 이용도가 떨어진다. 두 번째 방식은 새로운 구조로 설계해야 하기 때문에 개발 환경을 구축하는데 많은 시간과 노력이 필요하지만, 여러 가지 매체를 효율적으로 처리할 수 있도록 설계되어 좋은 성능을 낼 수 있다. 하이브리드 방식은 기존 영상처리 프로세서의 개량형이 주종을 이루며[13, 14], 프로세서가 크게 영상처리 부분과 음성 처리 부분 나누어진다. 이에 반해, 멀티미디어 엔진은 프로세서가 영상처리 부분과 음성 처리 부분으로 나누어지지 않고 프로그램에 의해 동작이 결정되며, 연산의 적용단위가 덧셈, 곱셈과 같은 단위 연산에 바탕을 두기 때문에 기존의 범용 마이크로프로세서 구조와 유사하다. 이러한 멀티미디어 엔진들은 기존 고성능 마이크로프로세서의 구조, 예를 들면,

수퍼스칼라, 멀티 스프레드, VLJW, 벡터 처리기 구조를 기본으로 하면서, 멀티미디어 데이터 처리의 특징을 반영했다고 보는 것이 더 바람직하다. 그러나, 이들 멀티미디어 엔진은 기존의 범용 마이크로프로세서와는 달리 처리 데이터의 크기를 조절할 수 있도록 데이터 처리기 구조가 가변될 수 있다. 따라서, 상대적으로 값의 동적 범위가 작은 영상이나 음성 데이터를 처리하는 경우에는 여러 개의 데이터 처리기 구조로 분할되어 동시에 여러 멀티미디어 데이터를 처리하게 된다. 물론, 최근에 나오는 고성능 범용 마이크로프로세서에는(UltraSparc, Nx686 등) 64비트 데이터 패스를 8비트 8개의 병렬 처리로 할 수 있는 멀티미디어 명령이 추가되고 있으나 멀티미디어 엔진에서 사용되는 것 보다 자유도가 떨어지고 다양한 기능을 발휘할 수 없어 사용범위 및 성능에 제한이 따른다.

멀티미디어 엔진은 최근 몇몇 외국 회사에서 시제품이 나오고 있으며, 97년 정도에는 상용화될 예정이다. 현재까지 개발되었거나 개발중인 멀티미디어 엔진을 열거하면, Chromatic사의 Mpact[15], MicroUnity사의 MediaProcessor[16], IBM사의 Mfast, Philips사의 Tri-Media 등이 있다. 각각의 멀티미디어 엔진들은 나름대로 특징이 있으며, 영상 및 음성을 동시에 처리하기 위해 기존에 사용되지 않는 많은 기법들을 사용하고 있다. 여기서는 그 중에서도 주목받고 있는 Chromatic사의 Mpact와 MicroUnity사의 MediaProcessor의 기술적 특징에 대해 설명한다.

(1) Chromatic사의 Mpact IC

Mpact IC는 Chromatic사에서 발표한 것으로 PC환경에 사용하기 위한 멀티미디어 엔진이다. 기존의 PC환경에서 멀티미디어 구현은 음성/영상/통신이 서로 다른 칩셋들과 보드로 구성되어 각각 독립적으로 구현되었으나, Mpact는 이와 같은 기능을 통합하여 하나의 칩으로 구현한 것이 특징이다. Mpact 칩으로 구현할 수 있는 멀티미디어 기능은 영상 압축(MPEG1 부호화 및 복호화, MPEG2 복호화), 3D graphic 처리, 음성 처리, 데이터 송/수신기능 등이

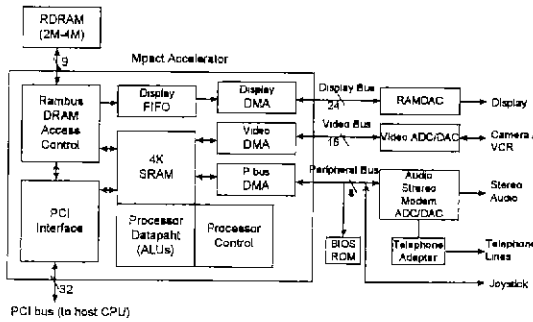


그림 12 Mpact IC를 이용하여 구성된 시스템 블록 다이어그램 [15]

있으며, 다수의 기능들이 동시에 수행이 가능하다. 예를 들며, SVGA 디스플레이와 MPEG1 영상 음성 복호화, 14.4Kbps FAX/모뎀기능을 동시에 할 수 있다. 이와 같은 기능을 동시에 처리하기 위한 Mpact 시스템은 호스트 CPU(Pentium Processor), Mpact IC, 주 메모리 및 영상/음성/주변 기기를 위한 채널 하드웨어로 구성되며, 소프트웨어로 x86 기반 자원 제어기(resource manager), Mpact 실시간 커널, 그리고 각 디바이스에 대한 드라이버로 구성된다. 그림 12는 Mpact IC를 이용한 시스템의 예이다.

Mpact의 외부메모리로 Rambus(16M bits)를 사용하며, 기본 사양은 2M 바이트가 기본이다. Rambus는 500MHz로 동작하고, Mpact는 62.5MHz에 동작하여 한 사이클에 72비트의 데이터가 전송된다(Mpact에서는 기본 바이트는 9비트로, 마지막 1비트는 메모리의 패리티, 또는 내부 연산에서의 부가 비트로 사용된다). MPEG1 부호화나 MPEG2 복호화를 위해서는 두 개의 Rambus가 사용된다. 내부에는 4K SRAM이 내부 버퍼로 사용되는데, 구성은 512 X 72비트이며, 명령어 캐쉬와 데이터 캐쉬로 사용된다. 내부 캐쉬는 가상 메모리 관리를 하지 않고 소프트웨어로 관리되어 데이터 영역과 명령어 영역이 구별되지 않는다. 내부 SRAM은 네 개의 읽기 포트와 네 개의 쓰기 포트 구성되어 동시에 많은 데이터를 이동할 수 있다.

명령어는 8바이트로 구성되며, 각각은 두 개의 명령어가 존재한다. 하나의 명령어는 3,4,5

바이트가 될 수 있으며, 두 개의 명령어 조합이 8바이트가 되도록 해야한다. 이러한 점에서 이 구조를 VLIW 구조라고 한다. 두 개의 명령어는 동시에 수행이 가능하나, 자원 충돌이 발생할 경우에는 순차적으로 실행이 될 수 있다. Mpact에서는 네 개의 함수 처리기가 있으며, 각각을 ALU group으로 부른다(그림 13). 각 처리기는 8바이트(72bits)로 구성되며, 각각은 1,2,4,8바이트로 나누어 동시에 처리할 수 있다. 1바이트가 9비트로 구성되므로 16비트 오디오 응용 분야에서는 2비트의 추가적인 정확도를 주기 때문에 24비트 데이터 처리를 하지 않아도 되는 장점을 주게 된다. 각 ALU group은 하나의 명령어에 의해 실행되며, 곱셈이나 반복 명령어에 의해 여러 ALU group이 동시에 실행될 수 있다. Group 1은 shift/align 유닛이며, group 2는 전형적인 ALU이다. Group 3과 4는 곱셈에 사용되며, Group 4는 wallace tree를 이용하여 부분 product를 만들어 내며, group 3에서 곱셈을 끝내고 나머지 오퍼런드를 더하게 된다. Group 5는 움직임 추정기를 위해 약 400개의 ALU를 사용하여 전용으로 처리하며, 약 20Bops정도를 처리하게 된다.

Mpact를 구동하는 소프트웨어는 응용 프로그램, 드라이버 프로그램, 가상 디바이스 프로그램으로 이루어지는 3단계로 구성된다. Mpact에는 또한 x86 프로세서에서 처리되는 자원 제어기와 Mpact IC에서 처리되는 Mpact 실시간 커널이 부가적으로 있게 된다. 이와 같은 소프트웨어는 호스트 CPU와 Mpact IC사이의 부하량을 조절하여 가능한 멀티미디어 데이터 처리가 Mpact쪽으로 주어지, 호스트 CPU가 다른 작업을 할 수 있도록 한다.

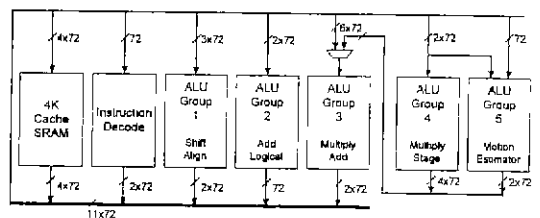


그림 13 ALU group을 사용한 Mpact IC의 블록 다이어그램 [15]

(2) MicroUnity사의 MediaProcessor IC

[16]

MicroUnity사에서는 광대역 통신망에서 사용할 수 있는 세 종류의 멀티미디어 처리 IC를 개발중이다(그림 14). 개발된 IC는 데이터 처리와 제어를 목적으로 하는 MediaProcessor, 여러 멀티미디어와 직접 인터페이스를 하는 MediaCodec, 그리고 상호간의 데이터 교환을 담당하는 MediaBridge로 구성된다. MicroUnity사의 멀티미디어 엔진은 광대역 통신 시스템의 셋탑 박스, 케이블 모뎀, 이동 전화국 기지국의 서버 등으로 폭 넓게 사용될 수 있다.

MediaProcessor의 구조를 살펴보면 64/128 비트 RISC 형태의 설계에 몇 가지 독특한 특징이 첨가된 것이 특징이다. 추가된 특징은 Chromactic사의 Mpact IC와 같이 한 개의 데이터 페스가 목적에 따라 여러 개로 나누어 질 수 있는 것으로 1, 2, 4, 8, 16, 32, 64, 128 비트 등이 모두 처리가 가능하다. 레지스터 파일은 64개의 64비트로 구성되거나 32개의 128비트로 구성될 수 있고, 정수형 타입과 부동 소수점 타입의 구분이 없이 동일하게 사용된다. 명령어는 32비트로 구성되는데 독특한 기능을 가지도록 정의되어 이전의 RISC 프로세서에 비해 다양한 기능을 쉬게 발휘할 수 있다.

또한, 독자적인 공정 개발과 수퍼파이프라인(그림 15)으로 제작된 Bi-CMOS 시작품은 1GHz에서 동작이 가능하여 성능 면에서는 타의 추종을 불허한다. 이와 같은 빠른 동작 주파수에는 최근 고성능 마이크로프로세서에 사용되는 수퍼스칼라 방식은 제어기의 복잡도로 사용하기 힘들기 때문에 MicroUnity사는 개발되는 멀티미디어 IC에서는 수퍼파이프라인과 수퍼스레드 기법을 동시에 사용하였다. 수퍼스레드는 minor사이클이라 불리는 1GHz의 클록 다섯 개가 모여 200MHz대의 major 사이클을 구성하여, 연산기는 minor사이클에 따라 동작하여 한 minor사이클에 한 개의 스레드를 처리하고, 각각의 스레드는 major사이클에 따라 파이프라인을 하는 방식이다. MediaProcessor에는 다섯 개의 스레드를 동시에 처리할 수 있는 레지스터파일이 존재하여 다섯 개의 서로다른 매체를 동시에 처리 할 수 있으며, 각각은

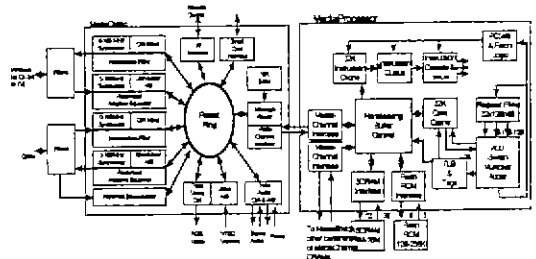


그림 14 MediaProcessor IC를 이용하여 구성된 시스템 블록 다이어그램 [16]

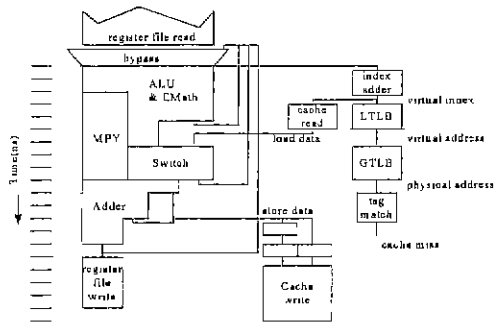


그림 15 MediaProcessor에서 사용한 수퍼파이프라인 다이어그램

200MHz로 처리된다. 예를 들면, 셋탑 박스에 MediaProcessor를 사용하게 되며, 첫 번째 스레드는 수신단 변조에, 두 번째 스레드는 음성 처리, 나머지 세 개의 스레드는 MPEG2 부호화를 처리하도록 구성될 수 있다. 데이터 처리를 전담하는 MediaProcessor뿐만 아니라 직접 미디어에서 데이터를 송/수신, 프로토콜 처리 등을 담당하는 MediaCodec도 동시에 개발하여 Media-Channel이라는 1GHz대의 고성능 버스에 의해 많은 양의 데이터를 전송할 수 있도록 구성되었다.

이와 같은 MediaProcessor는 여러 개가 연결되어 대규모의 네트워크를 형성할 수 있어 소규모의 멀티미디어 서비스뿐만 아니라 대규모의 멀티미디어 서비스를 동시에 처리할 수 있어, 앞으로 이 분야의 판도에 큰 영향을 미칠 것으로 판단된다.

4. 향후 전망

앞으로의 멀티미디어는 지금과 같은 영상과

음성의 단순한 혼합 매체로부터 한 단계 발전한 형태로서, 디지털 포맷을 기초로 하여 상호교환적(interactive)이고 쌍방향 교류를 기본으로 하는 복합적인 기능을 가질 것으로 전망된다. 또한 단순한 매체의 저장이나 전송이 아니라 문자 인식, 음성 인식과 같은 지능 정보 처리로 발전할 것이다. 이를 처리하기 위한 VLSI 기술도 급속히 발전하고 있어, 멀티미디어의 여러 기능을 한 칩에 구현하는 것을 가능하게 하고 있다. 지금까지의 공정 기술 발전을 토대로 미래의 발전을 추측하면 2010년 정도에는 0.1um 정도의 기술이 가능해 질 것이고, 수 천만 게이트가 한 칩에 집적될 수 있어 여러 멀티미디어 기능을 동시에 한 칩에 집적시키는 것이 가능할 것이다[17](그림 16).

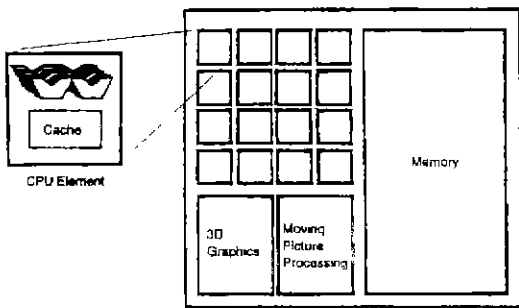


그림 16 2010년대의 멀티미디어 칩의 복잡도 전망[17]

멀티미디어 프로세서의 성능을 나타내는 데에는 MIPS와 MOPS의 두 가지 척도가 사용된다. MIPS는 범용 마이크로프로세서에서의 명령어 처리에 초점을 두며, MOPS는 멀티미디어 기능에 초점을 둔 것으로 데이터 처리를 분할하는 SIMD기법이나 multiply-and-accumulate기능을 고려한 척도이다. 지금까지 VLIW, 다중 스트레드, 단일 칩 내에서의 병렬처리 등의 새로운 설계 기법을 적용하여 프로세서의 MIPS는 꾸준히 발전하였으나, 명령어 수준에서의 병렬성의 한계, 실리콘의 물리적인 한계에 의한 속도 제한, 수천만 트랜지스터를 집적시키는 데에서 오는 복잡도 등의 어려움 때문에 공정기술이 예상대로 발전한다 하더라도 MIPS척도에 의한 프로세서의 성능 향상의

비율은 줄어들 것이다. 그러나, 명령어 수준에서의 병렬성의 한계에 영향을 덜 받고, 보다 많은 멀티미디어 기능을 추가함에 따라 MOPS 척도에 의한 프로세서의 성능 향상은 계속될 것이다(그림 17).

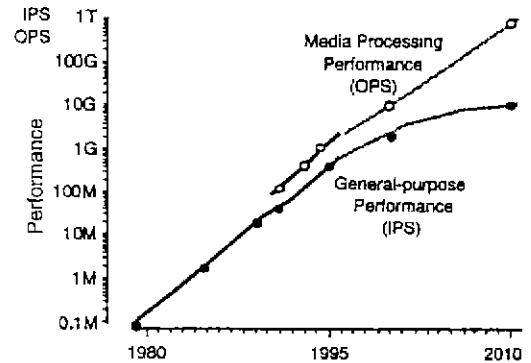


그림 17 MPU의 성능 전망[17]

앞으로는 단일 칩에 범용 마이크로프로세서, 멀티미디어 엔진, 대용량 메모리가 동시에 집적되어 지금까지 생각하지 못했던 방향으로 발전할 가능성도 있다. 따라서, 현재 멀티미디어 처리에서 문제로 생각되는 메모리 내역폭 문제는 더 이상 문제가 되지 않으며, 오히려 여러 기능이 복합되어 있는 IC의 복잡도를 어떻게 관리할 수 있는가에 더 큰 문제로 떠오를 것이다. 그리고, 무선 통신망의 발달에 따른 무선망을 이용한 멀티미디어 서비스도 새로운 시장으로 등장할 것이며, 이렇게 되며, 성능뿐만 아니라 주어진 시간에 최대의 전전지 수명연장을 위한 저전력 기술이 새롭게 요구된다.

5. 결 론

본 논문에서는 최근의 영상처리 프로세서의 구조에 대하여 조사 및 분석을 하였다. 갈수록 더 많은 처리 속도와 복잡한 프로세싱이 요구되기 때문에 프로세서는 더욱 빠르게 설계되고 고집적화되고 있다. 그러나 VLSI technology의 한계 때문에 여러 칩으로 구현되고 있으며, 구조면에서도 여러 상반된 구조의 장점들이 서로 혼용되는 hybrid 구조를 이용하고 있다. 가격 측면에서는 저렴한 DSP를 이용하여 칩 세

트를 구성하는 것이 효과적이나, 보다 많은 프로세싱이 요구되는 HDTV급에서는 전용 엔진이 반드시 필요하며, 시스템이 커지기 때문에 제반되는 제어문제와 소프트웨어의 지원 문제도 쟁점화 되고 있다.

향후 영상처리 프로세서는 MP@ML 급에서 HDTV를 처리할 수 있는 MP@HL 급으로 수준이 올라갈 것이며, 궁극적으로는 국제 표준에 권고되어 있는 Scalability 등을 지원하는 초고급 멀티미디어 영상 서비스가 가능한 수준까지 이르게 될 것이다. 최근에는 본문에서 언급하였듯이 영상 매체만을 처리하지 않고 음성이나 기타 데이터 처리를 함께 할 수 있는 복합적인 멀티미디어 엔진이 이미 등장하고 있다. 이들 멀티미디어 엔진은 기존의 고성능 범용 마이크로 프로세서 구조에 멀티미디어 데이터 처리의 특징을 반영한 것으로서 지원하는 소프트웨어의 성능이 매우 중요하다. 따라서, 향후 영상처리 프로세서는 지금과 같은 영상과 음성의 단순한 혼합 메체가 아닌, 상호 교환적이고 쌍방향 교류를 기본으로 하는 지능적이면서 복합적인 형태로 발전할 것이 확실하다.

따라서, 기존 구조의 단순한 확장으로는 그 한계가 있기 때문에 구조적인 재검토가 있어야 한다. 또한 복잡한 멀티미디어의 요구에 부응하고 많은 계산량을 효과적으로 분산시키기 위해서는 스케줄러 및 컴파일러의 기술도 병행되어야 한다. 그리고 소프트웨어에 의한 프로그래밍 기법도 점차 그 중요성이 커지고 있다고 볼 수 있다.

참고문헌

- [1] M. Yoshimoto, et. al., "ULSI Realization of MPEG2 Realtime Video Encoder and Decoder-An Overview," *IEICE Trans. Electron.*, vol. E78-C, no. 12, pp. 1668-1681, Dec. 1995.
- [2] M. Harrand, et. al., "A Single Chip Videophone Video Encoder/Decoder," *ISSCC Digest of Technical Papers*, pp. 292-293, 1995.
- [3] S. Azim, et. al., "A Low Cost Application Specific Video Codec for Consumer Video Phone," *Proceedings of CICC*, pp. 115-118, 1994.
- [4] K. Gaedke, H. Jeschke, P. Pirsch, "A VLSI Based MIMD Architecture of a Multiprocessor System for Real-Time Video Processing Application," *Journal of VLSI Signal Processing*, 5, 159-169, 1993.
- [5] K. Balmer, et. al., "A Single Chip Multimedia Video Processor," *Proceedings of CICC*, pp. 91-94, 1994.
- [6] B. W. Lee, et. al., "Data Flow Processor for Multi-standard Video Codec," *Proceedings of CICC*, pp. 103-106, 1994.
- [7] J. M. Kim, et. al., "Multithread Video Coding Processor for the Videophone," *IEEE Signal Processing Workshop*, pp. 470-480, 1995.
- [8] Ano, K., et. al., "A Video Digital Processor," *ISSCC Digest of Technical Papers*, pp. 36-37, Feb. 1993.
- [9] T. Matsumura, et. al., "A Chip Set Architecture for Programmable Real-Time MPEG2 Video Encoder," *Proceedings of CICC*, pp. 393-396, 1995.
- [10] S. Nakagawa, et. al., "A Single Chip, 5 GOPS, Macroblock-Level Pixel Processor for MPEG2 Real-Time Encoding," *Proceedings of CICC*, pp. 397-400, 1995.
- [11] M. Toyokura, et. al., "A Video DSP with a Macroblock-Level-Pipeline and a SIMD Type Vector-Pipeline Architecture for MPEG2 CODEC," *ISSCC Digest of Technical Papers*, pp. 74-75, 1994.
- [12] J. Armer, et. al., "A Chip Set for MPEG-2 Video Encoding," *Proceedings of CICC*, pp. 401-404, 1995.
- [13] 김태근, "동화상 및 음성신호의 압축 표준인 MPEG2를 지원하는 복호기 칩 (HDM8211M)", *전자공학회지*, 제6호, pp. 17-26, 1995.
- [14] Douglas B., et al, "A Programmable Audio/Video Processor for H.320, H.324, and MPEG", *ISSCC Digest of Technical Papers*, pp.244-255, Feb. 1996.

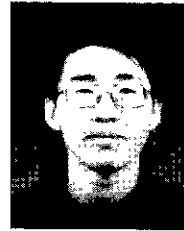
- [15] Microprocessor Report, "MicroUnity Lifts Veil on MediaProcessor", pp.11-18, vol. 9, no 14.
- [16] Microprocessor Report, "Chromatic Raises the Multimedia Bar", pp.23-28, vol. 9, no 14.
- [17] Hajime Sasaki, et. al., "Mutimedia Complex on A Chip", ISSCC Digest of Technical Papers, pp.16-19, Feb. 1996.

임 준 호



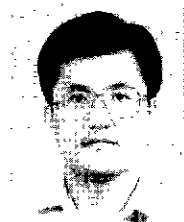
1992 한국과학기술원 학사과정
전기및전자공학과 졸업
1995 서울대학교 전자공학과 석사졸업
1995~현재 서울대학교 전기공학부 박사과정 재학 중
관심분야: VLSI 시스템 설계, 신경회로망

김 정 민



1993 서울대학교 전자공학과 졸업
1995 서울대학교 전자공학과 석사졸업
1995~현재 서울대학교 전기공학부 박사과정 재학 중
관심분야: VLSI 시스템 설계, 컴파일리

채 수 익



1976 서울대학교 전기공학과 졸업
1978 서울대학교 전기공학과 석사졸업
1987 Stanford University Ph.D
1990~현재 서울대학교 전기공학부 및 반도체공동연구소 부교수
관심분야: VLSI 시스템 설계, 신경회로망

● '96 춘계 전산교육 워크숍 ●

- 일 자 : 1996년 6월 14일
- 장 소 : 한국교원대학교 교양학관 1층
- 주 제 : 교육 세계화에 따른 컴퓨터교육
- 주 최 : 전산교육연구회
- 문 의 처 : 한국교원대학교 컴퓨터교육학과 김성식 교수
T. 0431-230-3740