

DTC 방법을 사용한 nMOSFET 의 공정파라메터 추출및 소자특성에 관한 연구.

논문
9-8-4

A Study on Process Parameter Extraction and Device Characteristics of nMOSFET using DTC Method

이철인*, 장의구*
(Cheol-In Lee, Eui-Goo Chang)

Abstract

In short channel MOSFET, it is very important to establish optimal process conditions because of variation of device characteristics due to the process parameters. In this paper, we used process simulator and device characteristics caused by process parameter variation. From this simulation, it has been derived to the dependence relations between process parameters and device characteristics. The experimental result of fabricated short channel device according to the optimal process parameters demonstrate good device characteristics.

key words(중요용어) : DTC (Design Trend Curve, 디자인 경향곡선), Process parameter (공정파라메터), Threshold Voltage (문턱전압)

1. 서 론

VLSI chip 제조에 있어서 공정중에 발생하게 되는 예상할 수 없는 여러변수들로 인하여 chip 내의 각 개별소자의 특성이 변하게 되어 chip의 성능이 매우 감소할 수 있다. 그러므로 공정중에 발생할 수 있는 소자의 특성저하나 소자들의 불균일성을 최대한 감소시켜야 한다.¹⁾ VLSI 설계자가 설계한 특성에 알맞은 VLSI chip을 제작하기 위해서는 그에 합당한 개별소자의 제작공정을 개발해야 한다. 이를 위한 실험적, 경험적 접근법은 수많은 시행착오로 인한 시간적낭비를 초래할 뿐만 아니라 비경제적이어서 적당치 못하다. 공정및 소자설계자는 회로설계자의 요구를 만족시키기 위한 필요조건을 알고 있어야 할 뿐만 아니라 이상적인 집적회로공정의 실현을 위한 각 공정들의 호환성및 복합적인 한계성을 인식해야 한다.^{2,3,4)}

VLSI chip의 제조를 위해서는 소자파라메터와 설계법칙및 공정조건등이 집적회로 설계자에게 제공되어야 하고 이를 위한 공정과 소자 모델링이 필요하다. 공정과 소자모델링은 컴퓨터를 사용한

시뮬레이션의 반복수행으로 실험적인 공정의 수행 없이 VLSI의 설계가 가능하게 되었다.^{5,6,7)} 집적회로에 있어서 고집적화되고 고속의 동작특성을 얻기위해서 채널길이, 게이트산화막두께, 접합깊이등은 스케일다운(scale down) 되는 반면, 채널 도핑은 스케일 업(scale up) 되고 있으나 서브마이크론 영역에서는 감소된 채널길이, 산화막두께, 접합깊이 및 증가된 채널도핑사이의 여러가지 디자인 트레이드 오프(design trade off)는 아직까지도 명백하게 정립되어 있다고 할 수 없다.⁸⁾ 긴 채널 MOSFET에 대한 이론 및 실험적연구^{4,9)}가 있었고, 최근에는 서브마이크론 MOSFET의 성능, 짧은 채널특성, 열전자에 대한 신뢰성문제등이 연구되었다.^{2,3,10)}

본 논문에서는 짧은 채널 nMOSFET의 공정파라메터에 대한 소자특성의 저하를 최소화할 수 있는 최적의 공정파라메터의 추출을 위해 공정시뮬레이터인 TSUPREM-4를 사용하여 얻은 공정시뮬레이션 결과를 소자시뮬레이터인 MEDICI에 입력으로 사용함으로써 공정파라메터와 소자특성사이의 의존성을 고찰하였다.

2. DTC(Design Trend Curve)

MOSFET의 기본특성을 고려한 제작공정을 예

* : 중앙대학교 전기공학과

접수일자 : 1995년 11월 2일

심사완료 : 1996년 7월 20일

상하여 기본설계를 한 다음 이 공정조건에 근거한 공정조건을 초기추측용으로 TSUPREM-4 를 사용하여 얻은 2차원(2D) 공정시뮬레이션 결과를 소자시뮬레이션을 위해 MEDICI 에 입력으로 사용하고 그 결과에 의한 소자특성에 적합한 공정조건을 구하는 공정시뮬레이션을 반복수행하였다. 공정과라미터와 소자과라미터사이에는 서로 상호의존성이 강하므로 상호의존성을 특성화하였다.¹¹⁾ MOSFET의 기본특성을 고려한 소자시뮬레이션 데이터로부터 얻어진 대표적인 소자특성으로서 임계소자과라미터를 S.S(substrate swing) 값, 오프상태의 누설전류(I_L), 문턱전압(V_T), 트랜스컨덕턴스(g_m), 드레인 포화전류($I_{D,sat}$)로 하였다. 공정과라미터중 임계소자과라미터와 상호의존성이 강한 벌크농도(N_B), 이온주입량(D_C), 채널길이(L), 게이트 산화막두께(T_{ox}), 접합깊이(x_j)로 하고 이들 공정과라미터가 소자특성에 미치는 영향을 조사하였다.

공정조건에 따른 소자의 임계과라미터를 구하고 최대값을 1로 하여 정규화(normalization) 시킨 후 (그림 1), 선택된 공정과라미터의 공정조건의 변화에 따라 임계소자과라미터들이 증가하거나 감소하므로 이들 소자특성을 동시에 만족시킬 수 있는 공정조건을 구하기 위해 DTC 에서 증가곡선과 감소곡선의 교차점으로 이루어진 폐곡선을 DTC 영역으로 하였다. DTC 영역들은 공정과라미터에 따라 공정조건의 영역이 정의되기도 하였으나 게이트 산화막두께의 경우에는 폐곡선을 형성하지 못하였다. DTC에서 구한 공정과라미터들의 공정조건을 소자특성 시뮬레이터에 입력으로 한 시뮬레이션을 반복시행함으로써 공정과라미터와 임계소자과라미터의 의존성경향은 표1과 같았다.

3. 공정조건 및 소자특성

소자의 동작특성변화를 예측할 수 있고 추정하기 어려운 소자내의 전위, 전류 및 캐리어의 분포를 알 수 있는 등 소자의 특성해석이 가능한 MEDICI 를 사용하여 공정과라미터의 변화에 따른 소자특성의 의존성을 고찰하고 이 결과를 공정시뮬레이터인 TSUPREM-4 의 입력으로 사용하였다. 많은 소자과라미터 중 소자특성에서 중요한 S.S 값, 오프상태에서의 누설전류(I_L), 문턱전압(V_T), 트랜스컨덕턴스(g_m), 드레인 포화전류($I_{D,sat}$)와 공정과라미터에서는 벌크농도(N_B), 이온주입량(D_C), 채널길이(L), 산화막두께(T_{ox}), 접합깊이(x_j) 등과의 연관성을 유도하고 DTC 에 의하여 최적 공정과라미터의 허용범위를 결정하였다.

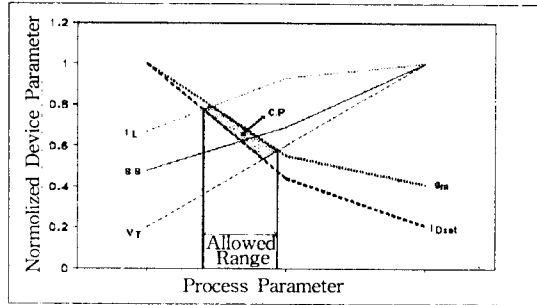


그림 1. 디자인 경향 곡선(DTC)의 예

Fig. 1. DTC example

표 1. 공정과라미터에 따른 임계 소자과라미터의 의존성 경향

Table 1. Dependence trend of device parameter with process parameter.

	$N_B \uparrow$		$D_C \uparrow$		$L \downarrow$		$T_{ox} \downarrow$		$x_j \downarrow$	
	nMOS	pMOS	nMOS	pMOS	nMOS	pMOS	nMOS	pMOS	nMOS	pMOS
S.S	↑	↓	↑	↑	↓	↑	↓	↓	↑	↑
I_L	↓	↓	↓	↑	↑	↑	↓	↓	↓	↑
V_T	↑	↑	↓	↓	↓	↑	↑	↑	↓	↑
g_m	↓	↓	↓	↓	↓	↑	↑	↑	↓	↑
I_{Dsat}	↓	↓	↓	↑	↑	↑	↑	↑	↓	↑

임계소자과라미터(S.S, I_L , V_T , g_m , $I_{D,sat}$)의 결정은 MOSFET의 기본특성을 고려한 소자시뮬레이션 데이터에 의거하였으¹¹⁾, 공정시뮬레이션에서는 CMOS 구조를 택하였¹²⁾, 공정조건에서 n-well 및 p-well의 벌크농도(N_B)의 증가에 따라서 I_L 은 증가하게 되지만, 농도가 고농도가 되면, 농도의 증가에 따른 캐리어의 이동도감소로 인한 구동전류의 감소현상이 일어나고, N_B 가 낮을 경우에는 기생쌍극성효과에 기인하는 래치업, 펀치쓰루 등의 문제점이 있으므로 최적의 벌크농도(N_B)를 결정하는 것이 중요하다. 시뮬레이션에 의한 DTC에서는 벌크농도(N_B)가 증가함에 따라서 nMOS와 pMOS에서 소자과라미터들의 재특성의 변화는 비슷하였으나 변화폭은 서로 다르게 나타났다. N_B 의 변화에 따라 소자의 임계과라미터가 증가 및 감소 경향을 나타내므로 이들 특성을 동시에 만족시킬 수 있는 벌크농도 N_B 는 DTC 영역이 차지하는 범위를 최적의 N_B 범위로 하였다.

CMOSFET 소자로 우수한 논리회로를 구현하기 위해서는 nMOS와 pMOS 소자의 특성이 같으면 이상적이다. 특히 각 소자의 문턱전압(V_T)은 절대값이 같고 부호가 다르면 이상적인 논리회로를 설

게할 수 있으나 nMOS 및 pMOS 소자의 기판농도가 같을 때, 게이트 재료와의 임함수차가 서로 다르므로 문턱전압(V_T)의 절대값이 같지 않다. 이를 보상하여 문턱전압을 대칭적으로 만들기 위해 nMOS 소자의 p형 벌크농도를 증가시키고 pMOS 소자의 n형 벌크농도를 낮추기 위해 문턱전압조정을 위한 이온주입(V_T adjusting ion implant)은 역도핑이 되어¹³⁾ pMOS 소자의 표면농도를 반전시키게 되며 pMOS 소자의 채널이 반도체 표면아래에 생기는 매몰채널을 형성하게 된다.^{13,14)} 또한 nMOS 소자에 비해 pMOS 소자의 짧은 채널 특성에 의해 열화시키게 되므로^{15,16)} 매몰채널의 특성을 향상시키면서 동시에 nMOS와 pMOS 소자의 대칭적인 문턱전압을 결정하기 위한 이온주입조건을 최적화시켜야 한다. 문턱전압 조정을 위한 이온주입량에 따른 소자특성의 변화는 이온량이 증가함에 따라 nMOS 소자의 경우 S.S 값과 문턱전압(V_T)은 증가하는 반면에 누설전류(I_L), 트랜스컨덕턴스(g_m)와 드레인 포화전류($I_{D,sat}$)는 감소하는 경향이었으나 pMOS의 경우에는 V_T 와 g_m 은 증가하는 반면에 S.S 값, I_L 및 $I_{D,sat}$ 는 감소하였다. 이와 같은 현상은 역도핑으로 인한 매몰채널이 형성되어 DIBL의 영향이 표면쪽이 아닌 벌크에서 일어나기 때문이며 또한 이온주입량의 증가에 따라 벌크에서 펀치쓰루가 발생하게 되었으며, 캐리어 이동도의 감소로 인한 것으로 생각된다.

소자의 크기가 scale down 되면서 채널길이가 감소하게 되면 구동전류는 증가하게 되지만, 채널길이의 감소로 인한 DIBL, 펀치쓰루 등과 같은 짧은 채널효과로 소자특성이 저하되므로¹⁵⁾ 채널길이를 줄이는데는 한계가 있다. 드레인 전류에 영향을 주는 파라미터 중, 채널폭을 증가시키면 드레인 전류는 선형적으로 증가하므로 채널폭을 증가시키면 되지만 최대집적밀도를 위해서는 채널폭의 증가에 의한 구동전류의 증가는 제한을 받게 된다. 드레인 전류는 채널에서의 트랜스컨덕턴스, 캐리어 이동도와 게이트 산화막의 정전용량이 중요한 변수이므로 구동력을 향상시키기 위해서는 게이트 산화막이 얇을수록 좋지만 정전용량 증가에 따른 스위칭특성의 저하, 산화막의 브레이크다운과 같은 신뢰성이 문제가 된다. 그러므로 게이트 산화막의 두께 변화에 따른 소자 특성의 의존성 고찰을 위해 산화막두께를 20 nm를 기준으로 하여 DTC에 의한 소자파라미터의 변화는 nMOS와 pMOS가 약간 차이를 보였다. 산화막두께의 감소에 따라 S.S는 감소하고 g_m 및 $I_{D,sat}$ 가 증가하는 경향은 nMOS와 pMOS가 같았으나 I_L 은 서로 반대경향이며 특히

문턱전압 V_T 는 nMOS에서는 산화막두께의 감소에 따라 감소하였으나 pMOS에서는 증가하였다.

채널길이가 감소함에 따라 구동전류는 증가하지만 드레인부근에서의 고전계로 인한 열전자, 소오스와 드레인 사이의 기생쌍극성, 래치업, 펀치쓰루 등과 같은 짧은 채널 특성을 완화시키기 위해서는 얇은 소오스-드레인 접합깊이가 필요하다.^{14,15,16,17)}

소자시뮬레이션에 의하면 nMOS 소자의 경우에 있어서는 접합깊이가 감소함에 따라 I_L , g_m 및 $I_{D,sat}$ 는 감소하고 S.S는 증가를 하였으나 문턱전압 V_T 는 증가를 하나 0.2 μm 이하에서는 일정한 경향이였다. pMOS의 경우에는 접합깊이 x_j 의 감소에 따라 S.S 값과 I_L 은 증가를 하였으나 $I_{D,sat}$ 는 증가하다가 0.4 μm 이하에서는 오히려 감소하였고 g_m 은 증가후 일정하였으며 문턱전압 V_T 는 x_j 에 무관하였다. 이러한 경향으로 미루어 볼 때 매몰채널의 영향으로 짧은 채널효과가 예상되므로 이온주입시 고려해야 할 사항으로 생각된다.

MOSFET의 특성은 공정조건에 의하지만, 고밀도 고집적화를 위한 스케일 다운에 의하여 소자의 크기가 작아짐에 따라서 나타나게 되는 짧은 채널효과등이 소자의 동작특성에 부정적인 영향을 주게 되므로^{2,3,10)} 이를 최소화시켜야 한다. 이를 위한 공정 및 소자 시뮬레이션은 이미 발표한바 있으며¹¹⁾ 이를 토대로 TSUPREM-4와 MEDICI에 의하여 공정 및 소자 시뮬레이션을 반복 수행하였다.

채널길이 변화에 따른 소자 특성의 변화에 있어서 S.S 값, I_L , g_m 및 $I_{D,sat}$ 의 경향은 비슷하였으나 문턱전압 V_T 는 채널길이가 감소함에 따라 감소하였다. 채널길이가 1 μm 이상 2 μm 에서는 거의 변화가 없었으나 1 μm 이하에서는 감소하였는데, 이는 짧은 채널 효과때문이라 생각되며 실험결과도 같은 경향을 나타냈다. 채널길이의 한계점은 소오스와 드레인에서의 공핍층폭, 산화막두께와 접합깊이에 의하여 제한을 받게 되는데¹⁷⁾ 이는 이들 설계조건 및 공정에 따라 DIBL(Drain Induced Barrier Lowering)에 의한 짧은 채널 효과에 의한 것으로 생각된다.

4. 결과 및 검토

비저항이 20-cm이고 p-Si(100)인 웨이퍼에 n-well 및 p-well을 형성하기 위한 이온주입의 시뮬레이션은 그림 2와 같다. 채널길이 L은 0.5 μm 를 목표로 하였으며, 산화막두께 T_{ox} 는 8-10nm, 접합깊이 x_j 는 0.2 μm 로 하였다. 이온주입공정은 문턱전압 V_T 의 조정에 두가지 하였으며, 시뮬레이션에

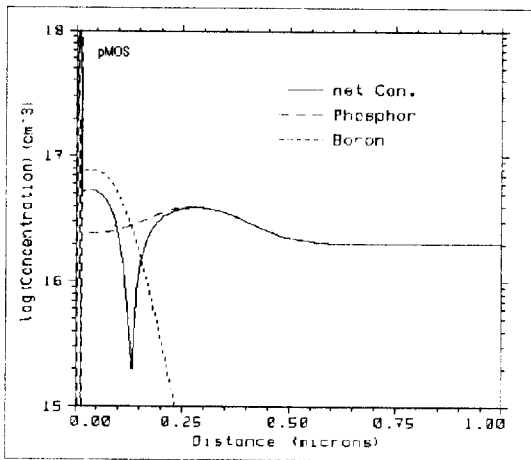
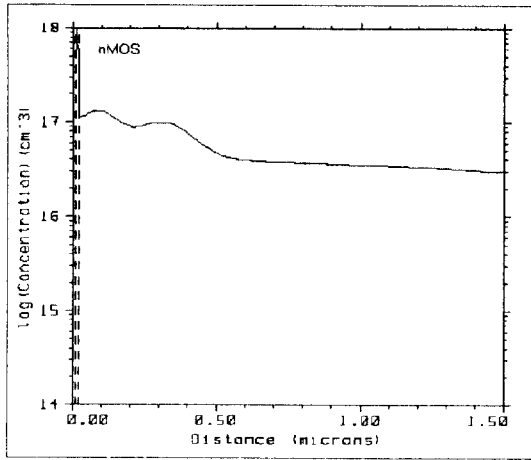


그림 2. TSUPREM-4 시뮬레이션한 채널 불순물 분포

Fig. 2 TSUPREM-4 simulated channel doping profile

의한 peak 농도는 그림 2와 같다. p-well을 형성하기 위한 불순물도핑은 B₁₁, 35keV로 $7.0 \times 10^{12} \sim 1.5 \times 10^{13} \text{ cm}^{-2}$ 로 하였으며 문턱전압 조정을 위한 이온주입(D_c)은 BF₂, 80keV로 $1.7 \times 10^{12} \sim 2.3 \times 10^{12} \text{ cm}^{-2}$ 로 하였을 때 peak 농도에 따른 문턱전압 V_T는 그림 3과 같이 되었다.

이온주입공정과 peak 농도의 깊이보다는 peak 농도가 증가함에 따라서 문턱전압 V_T는 증가하는 경향이였다. n-well을 형성하기위한 불순물도핑은 P₃₁, 100keV, $1.1 \times 10^{13} \sim 2.0 \times 10^{13} \text{ cm}^{-2}$ 로 하였고 문턱전압조정을 위한 이온주입은 BF₂, 80keV, $1.3 \times 10^{12} \sim 1.7 \times 10^{12} \text{ cm}^{-2}$ 로 하였을 때의 peak 농도에 따른 문턱전압 V_T는 peak 농도가 증가함에 따라 절대값이 증가하는 경향으로 nMOS와 같았다.

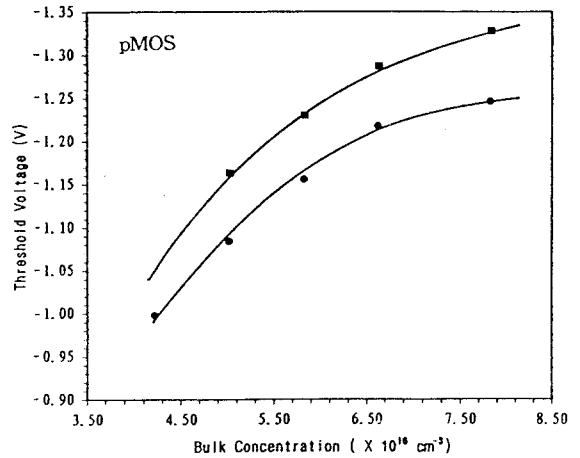
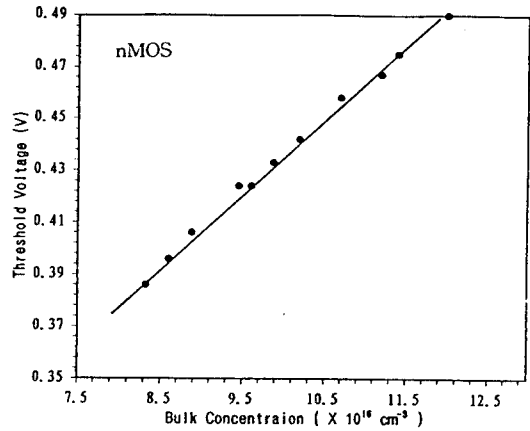


그림 3. 벌크농도에 따른 문턱전압

Fig. 3. Threshold voltage as a function of bulk concentration variation.

그러나 pMOS의 경우에 peak 농도의 깊이에 따라서 V_T는 다르게 되었다. 문턱전압조정을 위한 이온(D_c) 주입이 $1.3 \times 10^{12} \text{ cm}^{-2}$ 일 경우 peak 농도는 $5.84 \times 10^{12} \text{ cm}^{-3}$, 깊이가 $0.312 \mu\text{m}$ 일 때 V_T는 -1.23V 이지만, D_c주입이 $1.7 \times 10^{12} \text{ cm}^{-2}$ 일 경우 peak 농도는 $5.83 \times 10^{12} \text{ cm}^{-3}$, 깊이가 $0.322 \mu\text{m}$ 일 때 V_T는 -1.156V 였다. 이와 같은 차이는 매몰채널이 형성되었거나 문턱전압을 위한 불순물(BF₂) 때문으로 추측된다.

채널에서의 도핑공정조건(N_B, D_c, LDD 등)과 게이트길이에 따른 문턱전압 V_T의 변화는 그림 4와 같이 되었다. 그림 4(a)는 p-well을 위한 이온주입(N_B)은 B₁₁, 80keV, $2.0 \times 10^{13} \text{ cm}^{-2}$ 으로 하고 문턱전압조정을 위한 이온주입(D_c)은 BF₂, 80keV, $2.4 \times 10^{12} \text{ cm}^{-2}$ 스페이스(spacer)는 180 nm로 하였을 때 양측 소오스/드레인의 공핍층으로 인한 채

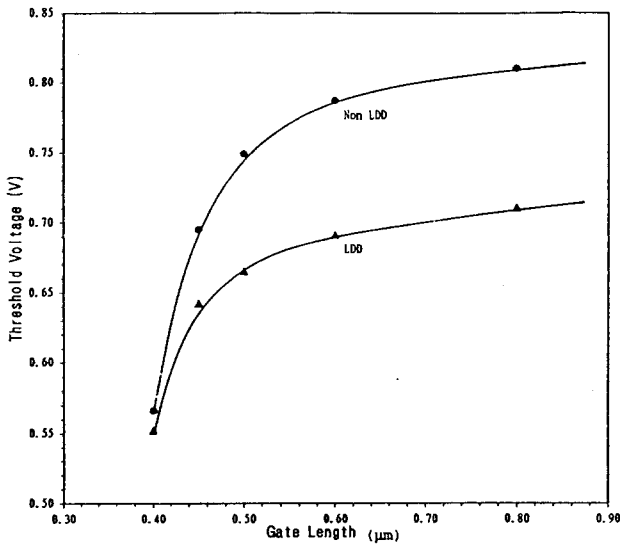


그림 4. 게이트 길이에 따른 문턱전압
Fig. 4. Threshold voltage as a function of gate length variation.

널길이의 감소가 $2\Delta L = 0.176\mu\text{m}$ 일 때의 게이트 길이에 따른 문턱전압 V_T 의 변화이다.

그림 4(b:LDD)는 p-well의 이온주입 (N_B)은 B_{11} , 80keV, $2.0 \times 10^{13} \text{ cm}^{-2}$ 으로 하고 N-채널 문턱전압조정을 위한 이온주입(D_C)은 BF_2 , 80keV, $1.9 \times 10^{12} \text{ cm}^{-2}$ 깊은 이온주입(Deep Implantation)을 BF_2 , 100keV, $3.0 \times 10^{12} \text{ cm}^{-2}$ 을 한 다음 또한 LDD 이온주입을 P_{31} , 40keV, $2.0 \times 10^{13} \text{ cm}^{-2}$ 스페이서를 180nm, 게이트 산화막을 10 nm, N^+ S/D 이온주입은 As_{75} , 40keV, $6 \times 10^{15} \text{ cm}^{-2}$ 이고 채널감소가 $2\Delta L = 0.055\mu\text{m}$ 인 경우의 게이트길이의 변화에 따른 문턱전압 V_T 의 변화이다. 짧은 채널효과가 나타나기 시작하는 게이트 길이 $1\mu\text{m}$ 이하에서의 문턱전압의 변화를 나타내고 있다. 그림 4에서 게이트길이가 $0.5\mu\text{m}$ 이상에서의 문턱전압의 변화보다 $0.5\mu\text{m}$ 이하에서 급격히 변함을 알 수 있는데 이는 짧은 채널효과에 기인한다고 생각된다.

문턱전압 V_T 의 변화는 표 1에 보인바와 같이 N_B , D_C , L , T_{ox} 에 증감을 나타내지만 소자의 스케일다운에 의하여 제한을 받게 된다. 채널길이는 드레인 전압 V_{DS} 에 의한 공핍층의 변화로 유효채널길이 L_{eff} 가 변하게 되며 L_{eff} 에 따른 문턱전압 V_T 의 변화는 그림 5와 같다. 채널길이 $0.5\mu\text{m}$ 에서 드레인전압에 따라 L_{eff} 가 $0.381 \sim 0.444\mu\text{m}$ 일 때의 문턱전압 V_T 의 변화인데 그림에서 보는 바와 같이 L_{eff} 의 감소가 $0.4\mu\text{m}$ 까지는 V_T 의 변화

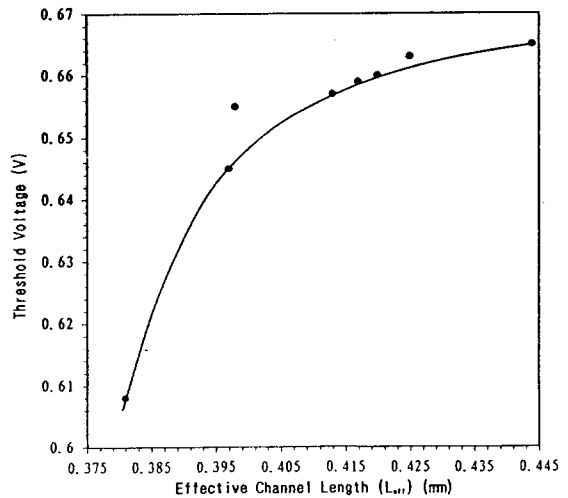


그림 5. 유효채널길이에 따른 문턱전압
Fig. 5. Threshold voltage as a function of effective channel length variation.

가 작지만 $0.4\mu\text{m}$ 미만에서 급격히 V_T 가 감소하게 되며 이는 짧은 채널효과에 기인하는 것이라고 추측된다.

이와 같이 L_{eff} 의 감소는 LDD와 접합깊이(x_j)의 조절이나 기판전압을 조절하여 L_{eff} 의 감소를 최소화시켜야 한다고 생각된다.

그림 6은 시뮬레이션 결과(그림 4 b:LDD)에 따라 채널을 $W/L = 50/0.5\mu\text{m}$ 로 하여 제작한 nMOSFET의 $I_{DS}-V_{DS}$ 특성으로서 양호한 결과로 볼 수 있다. 특성이 시뮬레이션 결과와 거의 일치함은 DTC에 의한 공정조건을 최적화함으로서 실험에 의하지 않고서도 공정파라미터에 따라 짧은 채널효과를 최소화하여 소자제작을 할 수 있다고 사료된다.

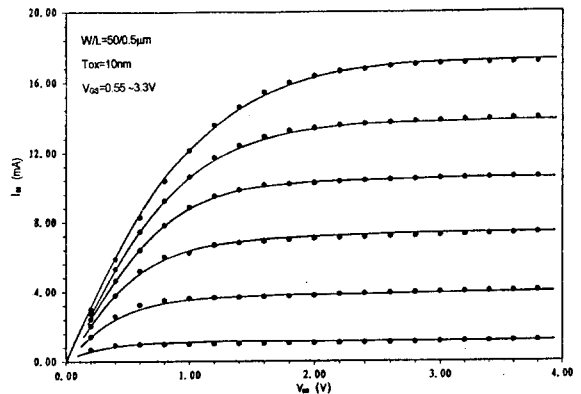


그림 6. nMOSFET의 $I_{DS}-V_{DS}$ 특성
Fig. 6. $I_{DS}-V_{DS}$ characteristics of nMOSFET.

5. 결 론

짧은 채널 nMOSFET의 공정파라미터에 대한 소자특성의 저하를 최소화할 수 있는 최적의 공정파라미터 추출을 위해 TSUPREM-4 와 MEDICI 시뮬레이터를 사용하여 DTC 를 구함으로서 공정파라미터와 소자특성 사이의 의존성을 검토하였다. 표 1은 DTC 에 의한 소자특성의 의존성을 보인 것이다. DTC 에 의한 공정조건에 따라 제작한 nMOSFET의 I_{DS} V_{DS} 특성은 양호하므로 DTC에 의한 공정개발 및 소자설계가 타당함을 알 수 있었다. 구동전류를 향상시키기 위해서는 N_B 와 D_C 는 낮게 하고 L 을 감소시켜야 하지만 소오스와 프레임에서의 공핍층 증가로 인하여 L_{eff} 의 감소로 짧은 채널효과에 의하여 V_T 가 급격히 감소하게 됨을 알 수 있었다.

* 본 연구는 서울대학교 반도체공동연구소의 교육부 반도체분야 학술연구조성비(과제번호:ISR C-94-E-5073) 에 의해 수행되었습니다.

참 고 문 헌

1. S. Sharifzadeh, J. R. Koehler, S. B. Owen and J. D. Shott, "Using Simulator to Model Transmitted Variability in IC Manufacturing", IEEE Trans. Semicon. Manufacturing, vol. 2, No. 3, pp. 82-93, 1989
2. A. Toriumi, M. Iwase and M. Yoshimi, "On the Performance Limit for Si MOSFET's : Experimental Study," IEEE Tans. Electron Dev., vol. ED-35, No. 7, pp. 999-1003, 1988.
3. E. Takeda, G. Jones and H. Ahmed, "Constraints on the Application of 0.5 μ m MOSFET's to ULSI Systems," IEEE Trans. Electron Dev., vol. ED-32, No.2, pp. 322-327, 1985.
4. Y. El-Mansy, "MOS Device and Technology Constraints in VLSI, " IEEE Trans. Electron Dev., vol ED-29, No. 4, pp. 567-573, 1982.
5. R. J. Sokel and D. B. Macmillen, "Pratical Integration of Process, Device and Circuit Simulation," IEEE Trans. Electron Dev., vol ED 32, No. 10, pp. 2110-2116, 1985.
6. K. M. Cham, S. Y. Oh and J. L. Moll, "Computer Aided Design in VLSI Device Development," IEEE J. Solid State Circuits, vol. SC-20, No. 2, pp. 495-500, 1985.
7. J. Y. Chen, "CMOS Devices and Technology for VLSI," Prentice Hall International, Inc., Ch. 3, pp. 38-41, 1990.
8. J. E. Chung, M. C. Jeng, J. E. Moon, P. K, Ko and C. Hu, "Performance and Reliability Design Issues for Deep-Submicrometer MOSFET's", IEEE Trans. Electron Dev. vol. ED-38, No. 3, pp. 545-553, 1991.
9. H. Masuda, M. Nakai and M. Kudo, " Characteristics and Limitation of Scaled-down MOSFET's due to Two-Dimensional Field Effect," IEEE Trans. Electron Dev., vol. ED-26, No. 6, pp. 980-986, 1979.
10. E. Takeda, Y. Nakagome, H. Kume, N. Suzuki and S. Asai, "Comparison of Characteristics of n-Channel and p-Channel MOSFET's for VLSI's," IEEE Trans. Electron Dev., vol. ED-30, No. 6, pp. 675-680, 1983.
11. 박용진, 장의구, "서브마이크론 MOSFET의 파라미터 추출 및 소자특성(I)," 한국전기전자재료학회지, vol. 7, No. 2, pp. 107-116, 1994
12. A. E. Schmitz and J. Y. Chen, " Design, Modeling and Fabrication of Subhalf-Micrometer CMOS Transistor," IEEE Trans. Electron Dev., vol. ED-33, No. 1, pp. 148-153, 1986.
13. G. Hu and R. Bruce., "Design Tradeoffs between Surface and Buried Channel FET's," IEEE Trans. Electron Dev., vol. ED-32, No. 3, pp. 584-588, 1985.
14. M. P. Brassington and R. R. Razouk, " The Relationship between Gate Bias and Hot-Carrier Induced Instability in Buried and Surface Channel pMOSFET," IEEE Trans. Electron Dev., vol. ED 35, No. 3, pp. 320-324, 1988.
15. H. B. Bakoglu, "Circuits, Interconnections and Packaging for VLSI," Addison- Wesley Pub. Co., Ch. 2, pp. 28-43, 1990.
16. J. J. Barnes, K. Shimohigashi and R. W. Dutton, "Short Channel MOSFET's in Punchthrough Current Mode," IEEE Trans. Electron Dev., vol. ED-26, pp. 446-453, 1979.
17. K. K. Ng, S. A. Eshraghi and T. D. Stanik, "An Improved Generalized Guide for

MOSFET Scaling," IEEE Trans. Electron Dev., vol. ED-40, No. 10, pp. 1895-1897, 1993.

저자소개



이철인

1962년 6월 20일생. 1986년 중앙대학교 전기공학과 졸업. 1988년 동 대학교 전기공학과 석사졸업. 1996년 중앙대학교 전기공학과 박사. 현재 대전산업대학교 전기공학과 시간강사.



장의구

1943년 3월 9일생. 1972년 중앙대학교 공대 전기공학과 졸업. 1975년 2월 중앙대학교 대학원 전기공학과 석사. 1983년 2월 동 대학원 전기공학과(공학박). 1987년 1월~88년 1월 Arizona주립대학 연구교수. 현재 중앙대학교 공대 전기공학과 교수. 본 학회 총무이사.