

다공성 실리콘 산화막의 C-V 특성

김 석·최두진

연세대학교 세라믹공학과
(1996년 2월 7일 접수)

C-V Characteristics of Oxidized Porous Silicon

Seok Kim and Doo-Jin Choi

Dept. of Ceramic Eng., Yonsei Univ.
(Received February 7, 1996)

요 약

전류밀도, 70 mA/cm²와 전류인가시간, 5초, 10초 조건의 양극반응으로 다공성 실리콘을 제작하여 800~1100°C에서 열산화시킨 후 Al 전극을 증착시켜 만든 MOS(Metal Oxide Semiconductor) 구조의 C-V(Capacitance-Voltage) 특성을 조사하였다. 800, 900°C의 저온과 20~30분 이내의 단시간 산화에서는 산화막의 유전상수가 보통의 열산화막보다 크게 나타나고, 산화온도가 1100°C의 고온과 60분 이상의 장시간 산화의 경우에는 3.9에 근접한 값을 갖는다. 이는 다공성 실리콘 산화막내에 존재하는 산화되지 않은 silicon들에 의한 효과와 표면적 증가에 의한 정전용량의 증가 효과가 복합적으로 작용하는 것이 그 원인이라 생각된다.

ABSTRACT

The porous silicon was prepared in the condition of 70 mA/cm² and 5, 10 sec and then oxidized at 800~1100°C. MOS (Metal Oxide Semiconductor) structure was prepared by Al electrode deposition and analyzed by C-V (Capacitance-Voltage) characteristics. Dielectric constant of oxidized porous silicon was large in the case of low temperature (800, 900°C) and short time (20~30 min) oxidation and was nearly the same as thermal SiO₂, 3.9 in the case of high temperature (1100°C) and long time (above 60 min). It is thought to be caused by unoxidized silicon in oxidized porous silicon film and capacitance increase due to surface area increment effect.

Key words: Anodization, Porous silicon, Oxidized porous silicon, C-V characteristics, MOS structure

1. 서 론

다공성 실리콘은 이미 30여년 전에 Uhler와 Turner^{1,2)}가 전기화학적 방법으로 제조할 수 있음을 보고한 것이다. 즉, 불산 용액을 전해질로 하고 단결정 실리콘을 양극으로 하여 일정한 전류나 전압을 인가하는 양극반응(anodization)을 일으키면, 불산 용액과 닿아 있는 실리콘 표면에 수 십~수 백 Å 크기의 미세기공이 생성, 확장되어 다공성 구조가 형성되는 것이다. 이때, 기공의 형태나 다공성층의 구조는, 인가하는 전류밀도, 불산 용액의 농도, 실리콘 기판의 결정 방향, doping type과 농도 정도 등의 제작 조건에 따라 다양하다³⁾. 이렇게 형성된 다공질층은 비표면적 증가에 의해 매우 큰 reactivity를 갖게 되는데, 이 때문에 전자 산업 분야에서 그 응용 가능성이 풍부한 새로운 물질로 인식되어 많은 연구가

진행되어 왔고, micromachining 분야에서 sacrificial layer로서 그 사용 가능성이 연구되기도 했었다⁴⁾. 최근에는 다공성 실리콘에서 고효율의 가시광 발광 현상이 발견되면서, 양자물리학적 측면이 부각되어 발광 소자로서 개발 가능성에 연구가 집중되고 있다⁵⁻⁹⁾. 또, 다공성 실리콘의 독특한 형상은 화학적 미세 센서 제작에 이용되기도 했고, 다공성 실리콘 산화막을 silanization 시켜 이온 감지 분리막(ion-sensitive membranes, ISFETs)을 제작하기도 하였다¹⁰⁾.

최근에 전자산업 분야에서 고집적화가 진행되면서 ISOPLANER, LOCOS, SOI, FIPOS¹¹⁾ 등의 절연막 기술(isolation technique)이 중요한 과제가 되고, 이를 위해서 두꺼운 산화막이 요구되고 있다. 두꺼운 산화막은 대개 고온에서 습식산화에 의해 얻어진다. 그러나 상당한 고온에서조차도 2 μm 이상의 산화막을 얻는 데는 매우

오랜 시간이 필요하고, 고온에서의 장시간 열처리하는 불순물의 재확산이나 silicon wafer의 변형 등 많은 문제를 야기시킨다. 이러한 문제들은 집적회로의 성능을 저하시키는 요인이 된다.

이에 Watanabe¹²⁾ 등은 bulk silicon을 직접 산화시키는 대신에 양극반응에 의해 형성된 다공성 실리콘을 산화시켜 매우 짧은 시간에 두꺼운 산화막을 얻을 수 있는 방법을 제안했고, 그 후 다공성 실리콘 열산화막을 집적회로에서 절연막으로 응용하고자 하는 목적으로¹³⁾ 다공성 실리콘의 산화 특성과 산화막의 성질에 대한 연구가 진행되어 왔다¹⁴⁻¹⁶⁾. 그러나 발표된 연구들마다 여러 가지 다른 산화 공정을 제안하고 있는데, 이는, 제작조건에 따라 다공성층의 미세구조가 다양하고³⁾ 이 다공성층 미세구조의 특성상 bulk silicon의 산화 경우와는 다른 kinetics에 의해 산화 공정의 변수가 달라지기 때문인 것으로 설명될 수 있다.

다공성 실리콘 산화막을 실제 소자에 적용하기 위해서는 그 산화 기구의 확립뿐만 아니라 산화막의 여러 가지 물성에 대한 연구도 필수적이다. 특히 집적회로에서 절연막으로서의 응용을 위해서는 그 전기적 성질이 알려져야 하고 bulk silicon 산화막과의 차이가 분석되어야 한다. 본 연구에서는 몇 가지 조건으로 다공성 실리콘을 제작한 후, 건식 산화공정을 통해 형성시킨 다공성 실리콘 산화막의 산화 온도별, 시간별 유전상수(dielectric constant)를 조사하고자 하였다.

2. 실험방법

2.1. 예비 실험

다공성 실리콘은 앞서 언급한 전기화학적인 방법, 즉 양극반응을 통해 제작되었다. 양극반응의 회로도는 Fig. 1과 같다. 양극반응시의 전류밀도는 다공성 구조에 영향을 주는 중요한 변수인데, 큰 전류밀도는 다공성층을 electropolishing 하게 된다¹⁷⁾. 본 실험에서의 전류밀도는 electropolishing이 일어나지 않을 정도의 범위에서 70 mA/cm²로 고정하였다. 양극반응 시간도 중요한 변수인데 시간이 길어질수록 다공성층의 깊이가 두꺼워진다. 또한 전해질의 종류와 농도도 다공성 구조에 영향을 미치는데, 일반적으로 사용되는 불산 수용액에 ethanol을 첨가시키면 다공성 구조의 균일성이 향상되는 것이 보고되고 있다¹⁸⁾. 따라서 본 연구에서는 예비 실험으로서, DI water (8 M Ω)와 반도체용 고순도 HF를 섞은 15 volume% HF 용액과 25% HF와 ethanol을 7:3의 부피 비로 섞은 용액, 두 가지를 전해질로서 사용하고, 양극반응 시간을

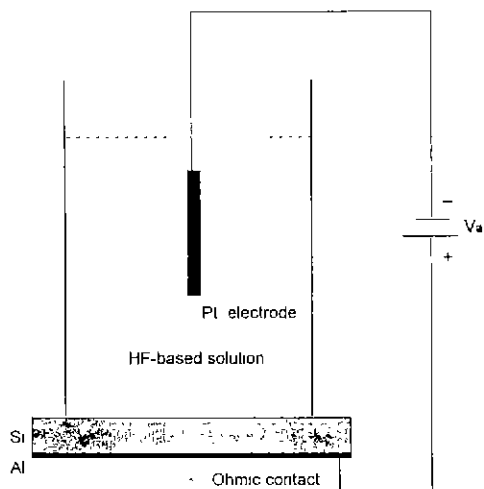


Fig. 1. A schematic diagram of the anodization circuit.

각각 10초, 40초로 하여 다공성 실리콘을 제작한 후 광학현미경을 통해 거시적인 관찰을 하였다. Fig. 2와 Fig. 3을 보면 표면에 매우 넓고 긴 trench 형태의 pore channel이 존재하는데, 이는 국부적으로 전류밀도가 집중되어 형성된 것으로 생각되고 전류의 흐름 방향을 따라 나타나고 있는 듯이 보인다. Fig. 3에서 처럼 ethanol이 첨가된 전해질 경우에 이 pore channel의 분포뿐만 아니라 다공성층 표면 형상의 균일성이 향상된 것을 알 수 있다. 또한, channel의 폭도 양극반응 시간이 길어질수록 증가하고 있다. 이러한 pore channel의 존재는 이후 산화공정과 C-V 측정용 MOS 구조 제작에 있어서 defect로서 작용할 가능성이 있으므로 이후 실험에서는 pore channel의 크기를 가능한 한 최소로 하기 위해 양극반응 시간은 5초, 10초로 정하였으며, 전해질은 균일성을 보장하기 위하여 ethanol이 첨가된 용액을 사용하였다.

2.2. 다공성 실리콘의 제작 및 열산화

본 실험에서 사용된 silicon wafer는 10~20 Ω ·cm의 (100) p-type silicon이며 양극반응 시에 Ohmic contact을 위해 뒷면에 Al 5000 Å를 sputtering 하고 N₂ 분위기, 420°C에서 30분 열처리한 것이다. 양극반응의 전류밀도는 70 mA/cm², 시간은 5초, 10초, 전해질은 25% aqueous HF : ethanol=7:3 용액이었다. 양극반응 후 DI water rinse를 하고 뒷면에 있는 Al을 10% HF로 제거한 후 80°C에서 건조시키고 1.5×1.5 cm로 절단하였다.

제작된 모든 시편들은 sintering이나 coarsening effect를 방지하기 위해 50 sccm O₂, 300°C에서 60분간 pre-

Electrolyte : 15 % aqueous HF

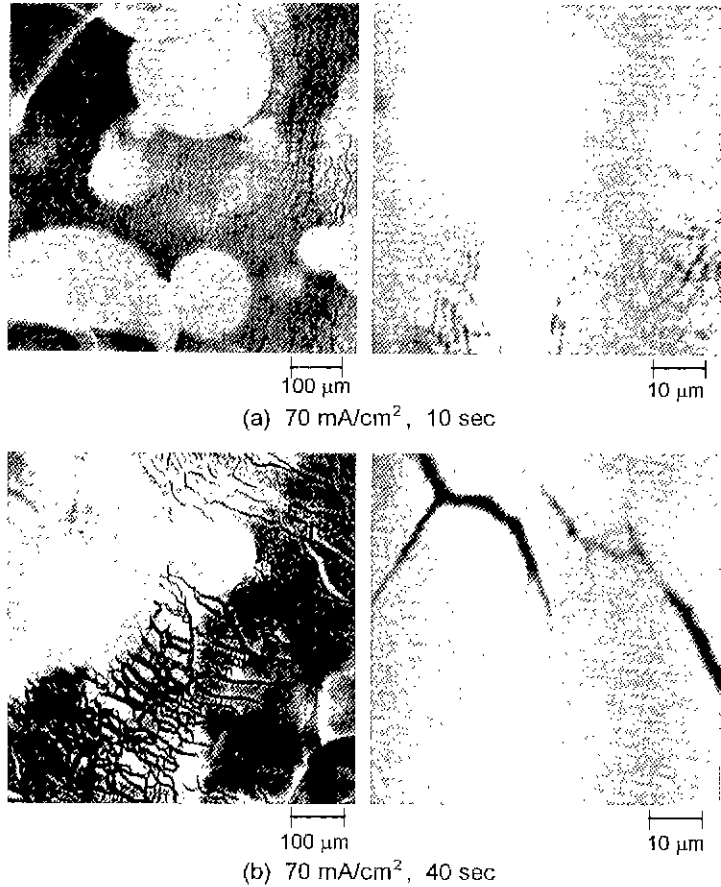


Fig. 2. Surface morphology of the porous silicon anodized in 15% aqueous HF.

oxidation 과정을 수행한 후¹⁴⁾, 각각 800, 900 1100°C에서 5~100분간 dry O₂를 50 sccm 흘리면서 산화시켰다.

산화된 각 시편들의 산화막 두께는 ellipsometer(Gaertner, L117)로 측정하고 주기를 확정하기 위해 SEM으로 보정하였다.

2.3. C-V 측정용 MOS 구조의 제작 및 측정

산화공정 후, 각 시편의 뒷면에 형성되어 있을 산화막을 10% HF로 제거하고 evaporation에 의해 upper/bottom electrode Al을 증착시켜 MOS 구조를 제작하였다. 이 때 상부 전극은 원형으로서 시름은 1 mm였다. source Al은 99.999% 순도의 ingot 형태를 사용했으며 증착시 압력은 3×10^{-5} Torr였고 W boat에 흘린 전류는 0.5~0.6 A였다.

이렇게 제작된 MOS 구조의 C-V 특성을 1 MHz C meter/C-V plotter(HP 4280A model)로 측정하고 측정된

정전용량으로부터 유전상수를 계산하였다.

2.4. SEM에 의한 미세구조 관찰

70 mA/cm², 5초, 10초의 조건으로 제작된 다공성 실리콘을 SEM으로 관찰하여 표면 형상 및 다공성층의 두께를 조사하였다. 또한 각 조건에서 산화시킨 후에도 SEM을 통하여 산화된 다공성층의 표면 형상을 관찰하고 단면 사진으로부터 두께를 측정하여 ellipsometer에 의한 두께 측정을 보정하였다.

3. 결과 및 고찰

3.1. 다공성 실리콘 산화 특성 및 정전용량 변화

Fig. 4는 70 mA/cm², 5초의 조건으로 제작된 다공성 실리콘을 800°C에서 10, 20, 60분간 산화시킨 후 형성시킨 MOS 구조의 C-V 곡선이다. 전형적인 p-type silicon에

Electrolyte : 25 % aqueous HF : Ethanol = 7 : 3

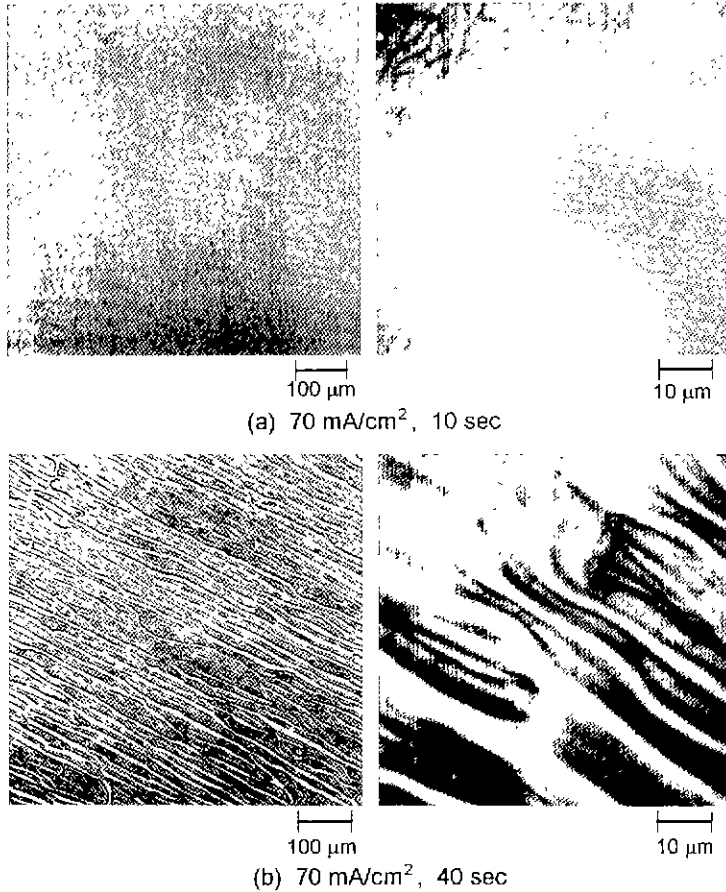


Fig. 3. Surface morphology of the porous silicon anodized in 25% aqueous HF:ethanol=7:3.

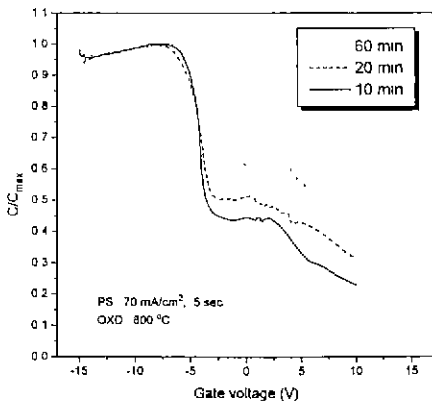


Fig. 4. High-frequency (1 MHz) capacitance-voltage characteristics of M/OPS/S (metal/oxidized porous silicon/p-type silicon) structure. Porous silicon was prepared in the anodizing condition of 70 mA/cm², 5 sec and oxidized at 800°C for 10, 20, 60 min, respectively.

서의 C-V 곡선과 비슷한 양상을 보이고 있으며, 산화 시간이 증가되면서 C_{min} 값이 증가되고 depletion bias region이 약간씩 넓어지고 있다. 이는 산화막이 두꺼워지면서 나타나는 일반적인 현상으로서 산화 시간이 증가되면서 산화막의 두께가 증가되고 있음을 나타낸다¹⁹⁾. 그러나 양의 전압이 커지면서는 누설(leakage)이 발생하여 C 값이 급격히 감소하고 있다²⁰⁾. 일단은 다공성층 표면에 존재하는 매우 넓고 긴 pore channel들이 이 누설의 원인인 것으로 생각되어진다.

Fig. 5와 Fig. 6은 각각 70 mA/cm², 5초, 10초로 다공성 실리콘을 제작한 후, 800, 900, 1100°C에서 시간별로 산화시켜 ellipsometer로 측정된 산화막의 두께와 C-V 곡선에서 나타난 최대 정전용량(C_{max}) 값의 변화이다. 5초의 조건으로 제작된 다공성 실리콘층의 두께는 SEM으로부터 측정된 결과 약 2250 Å이었는데 Fig. 5의 (a), (b), (c)에서 보이듯 산화 초기에도 약 3000 Å에 이르는 원래

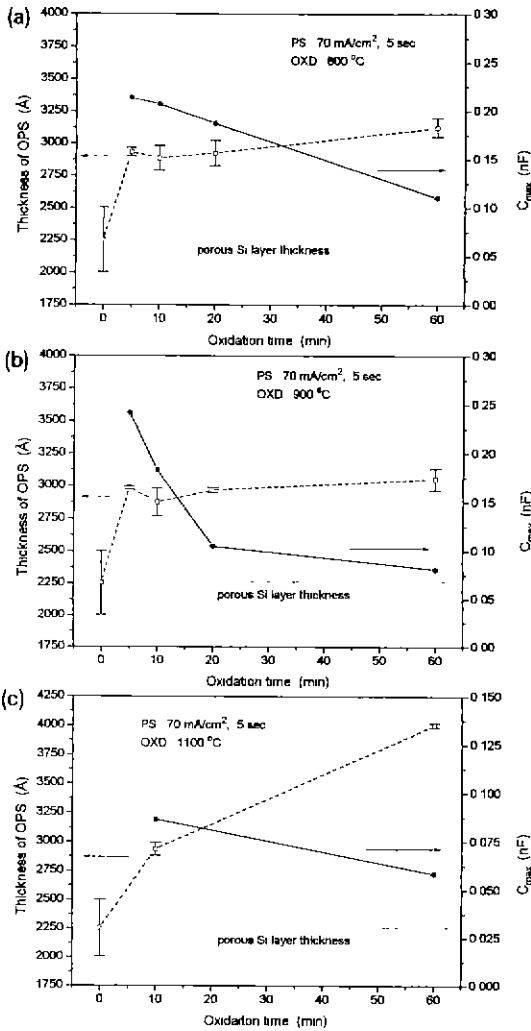


Fig. 5. The thickness of oxidized porous silicon (OPS) and C_{max} of OPS as a function of the oxidation time at oxidation temperature of (a) 800°C, (b) 900°C, and (c) 1100°C, respectively. Porous silicon was prepared in the condition of 70 mA/cm², 5 sec.

다공성 실리콘의 두께 이상의 두꺼운 산화막이 측정되고 계속적인 두께 증가가 관찰되었다.

습식산화의 경우에도 800, 900°C의 온도에서 bare silicon 위에 3000 Å 정도의 산화막을 성장시키기는 불가능한데, 다공성 실리콘을 산화시킬 경우에는 짧은 시간 안에 상당한 두께의 산화막 성장이 가능하다. 다공성층은 표면적이 매우 커서 산화 반응성이 매우 높고, 다공성 구조로 인하여 산화 초기부터도 다공성층 표면뿐만 아

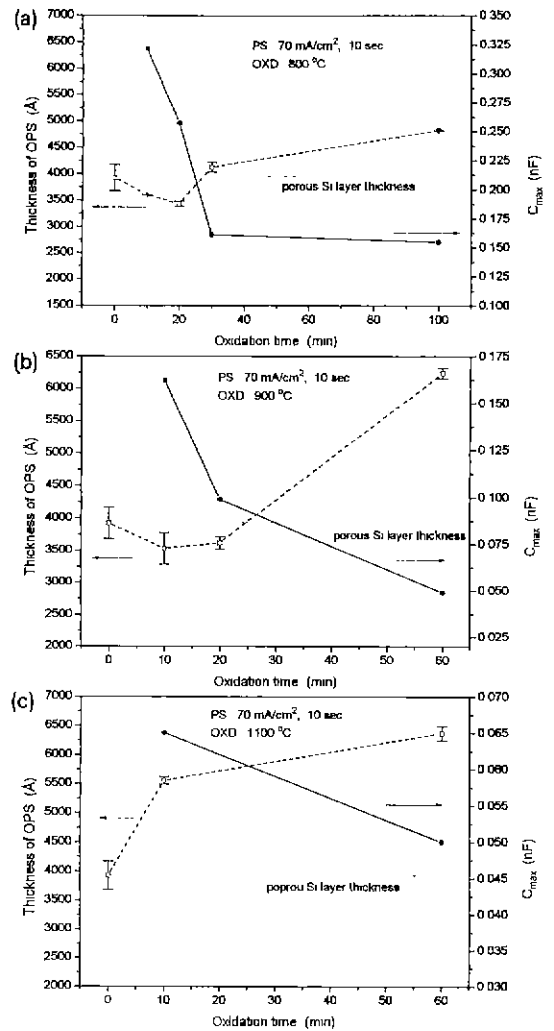


Fig. 6. The thickness of oxidized porous silicon (OPS) and C_{max} of OPS as a function of the oxidation time at oxidation temperature of (a) 800°C, (b) 900°C, and (c) 1100°C, respectively. Porous silicon was prepared in the condition of 70 mA/cm², 10 sec.

니라 다공성층 내부에서도 산화가 진행될 수 있다. 즉, 1 단계로, 산화 초기에는 다공성층 내부의 전표면에서 동시에 linear rate의 산화가 진행되면서 얇은 SiO₂의 피막이 입혀지게 되면, 본 실험에서 ellipsometer로 측정된 산화막의 두께는 SiO₂ 피막이 입혀진 전체 다공성층의 두께로 볼 수 있다. 그러므로 단시간 산화에 의해서도 다공성층 두께 이상의 산화막을 얻어질 수 있다. 한편, SiO₂ 피막의 존재는, Liu²¹⁾ 등이 산화시킨 silicon

nanostructure의 TEM image를 비파괴적인 방법으로 얻은 결과에서도 확인되고 있다. 이후 단계에서는 산소 원자의 확산에 좌우되는 parabolic rate의 산화법칙을 따라, 수평방향의 산화에 의해 SiO₂ 피막 안부분의 잔존 silicon의 산화와 SiO₂ 피막의 성장에 따른 기공 plugging이 발생되고 동시에, 산화된 다공성층 표면 위와 실리콘 기판 아래로의 수직방향의 산화에 의해 전체 다공성 실리콘 산화막의 두께가 증가될 것으로 생각할 수 있다. Fig. 5의 다공성 실리콘 산화막의 두께가 원래 다공성층의 두께보다 큰 것으로 보아, 본 실험에서 측정된 다공성 실리콘 산화막의 두께는 수직방향 산화가 진행된 이후의 산화막 두께로 생각할 수 있다. Unagami¹⁵⁾ 등이 무게 변화에 의해 다공성 실리콘의 산화량을 계산한 결과에도, 다공성 실리콘의 산화 초기 3분 안에 매우 빠른 무게 증가를 보이고 이후에는 둔화되는 것이 보고되고 있다.

그러나, Fig. 6의 (a)와 (b)의 70 mA/cm², 10초의 양극

반응 조건과 800, 900°C의 산화 조건의 시편에서는 산화 초기에 다공성 실리콘 산화막의 두께가 오히려 산화시키기 이전의 다공성층의 두께보다 감소함이 나타나고 있는데, 이는 다공성층의 구조 차이 때문인 것으로 생각된다. 즉, 양극반응의 시간이 길수록 비교적 큰 기공들과 거대한 pore channel이 존재하고 다공성층도 깊기 때문에 전체 표면적은 더 크므로^{10,22)} 다공성 내부에서의 산화가 수직 방향의 산화보다 우세했던 것으로 생각된다. 그러나 시간이 경과하면 수직 방향으로의 산화 경향이 다시 증가되고 있다.

한편, Fig. 5와 Fig. 6의 (c)에서 보면 1100°C의 고온에서는 산화 초기부터 급격한 산화막 두께의 증가가 보이고 이후로도 지속적인 증가 경향을 보이고 있다. 1000°C 이상의 고온에서는 silicon 원자의 viscous flow가 가능해지므로¹⁴⁾ 전체적인 기공 구조의 변화에 의해 산화기구가 기공에 영향받는 정도가 작아질 것으로 생각된다. 그러므로 수평방향의 산화보다는 수직방향의 산화가 우

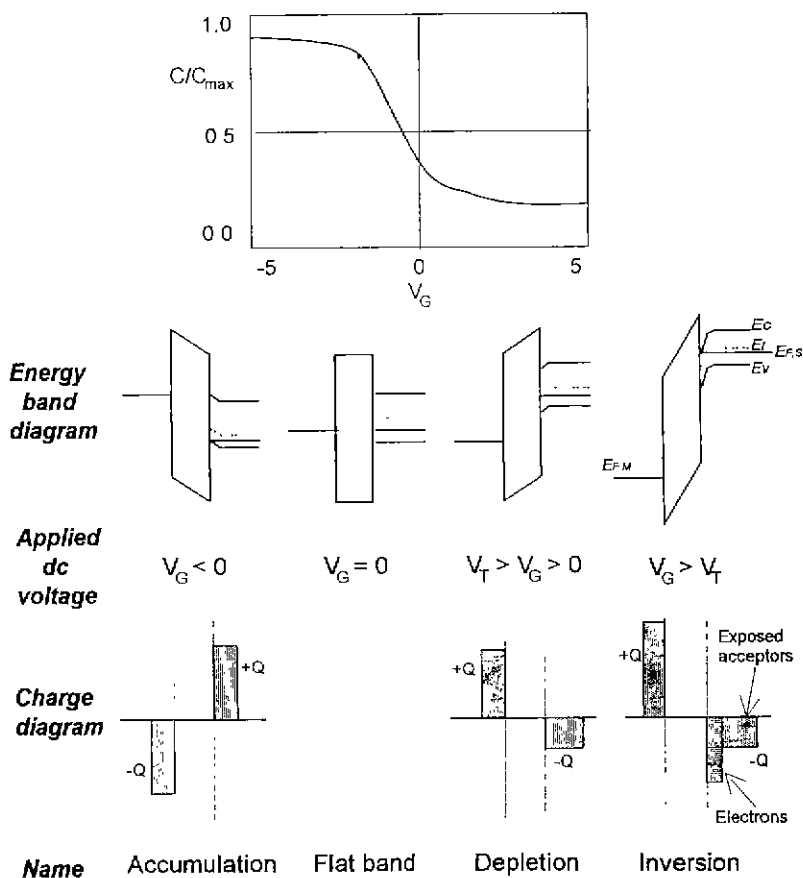


Fig. 7. Energy band and block diagrams for a p-type silicon²³⁾

세하여, parabolic rate을 따르며 계속적인 산화막 성장이 가능했던 것으로 여겨진다.

Fig. 5, Fig. 6의 모든 경우에 있어서 최대 정전용량은 산화 시간이 길수록 감소함을 보여주고 있다. 이는 산화막의 두께가 증가함에 따라 각 계면의 전하가 다른 쪽의 전하에 미치는 힘이 감소하고 따라서 전원으로부터 공급되는 전하의 양이 감소하여 정전용량이 작아지는 것으로서 평행판 축전기(parallel plate capacitor) 모델에서의 일반적인 현상으로 이해될 수 있다.

3.2. 다공성 실리콘 산화막의 유전상수

p-type silicon 기판 위에 형성된 산화막의 전형적인 C-V 곡선은 Fig. 7과 같이 최대 정전용량 영역(accumulation)이 있고, 정전용량이 변하는 영역(depletion), 최소 정전용량 영역(inversion)이 있다. p-type silicon의 gate에 음의 전압을 가하면 정공이 표면으로 이끌리게 되어 산화막만의 정전용량, C_{ox} 가 측정된다. 점점 표면 전압이 양의 값을 가짐에 따라 정공이 밀려나서 공간 전하 영역(space charge region)의 정전용량, C_S 가 산화막 정전용량과 직렬로 나타난다. 따라서 $(1/C_{ox} + 1/C_S)^{-1}$ 로 주어지는 전체 정전용량은 감소하게 된다. 여기서 표면 전압이 계속 증가함에 따라 C_S 는 감소하며, 따라서 전체 정전용량 역시 감소한다. 그러다가, 어떤 표면 전압에서는 intrinsic energy level(E_i)이 Fermi level(E_F) 아래로

굽어지게 되고, 반도체 표면에 전자들의 반전층이 나타나게 된다. 이 반전층이 차단막이 되어 더 이상 공간 전하 영역이 증가하지 못하게 한다. 따라서 반전층이 생길 때 C_S 는 최소값에 도달하게 되고 전체 정전용량 역시 최소값으로 유지된다. 이것은 고주파 C-V 곡선에서만 나타나는데, 그 이유는 AC 신호가 전자들의 생성-재결합(generation-recombination) 속도보다 매우 빠르기 때문이다. 여기서 최대 정전용량 값이 산화막의 정전용량이므로 이 값으로부터 아래 식과 같이 산화막의 유전상수를 계산할 수 있다²³⁾.

$$C_{max} \approx C_{ox} = \frac{K_{ox} \epsilon_0 A G}{t_{ox}} \quad (1)$$

여기서, K_{ox} 는 산화막의 유전상수, ϵ_0 는 진공의 유전율(permittivity), A_G 는 gate의 면적, t_{ox} 는 산화막의 두께이다.

앞의 결과에서 다공성 실리콘 산화막의 두께와 최대 정전용량의 반비례 관계가 나타나고 있고, 식 (1)에 의해서도 예상이 되는데, 이때 계산된 유전상수는 Fig. 8과 Fig. 9에서 보이듯이 일정한 값으로 나타나고 있지 않다. 산화 온도와 산화 시간에 따라 유전상수 값도 변화하고 있음을 알 수 있다. 산화 온도가 높을수록 그리고 산화 시간이 길수록 다공성 실리콘 산화막의 유전상수가 본래 열산화막의 유전상수 값 3.9에 근접하고 있으며, 산화

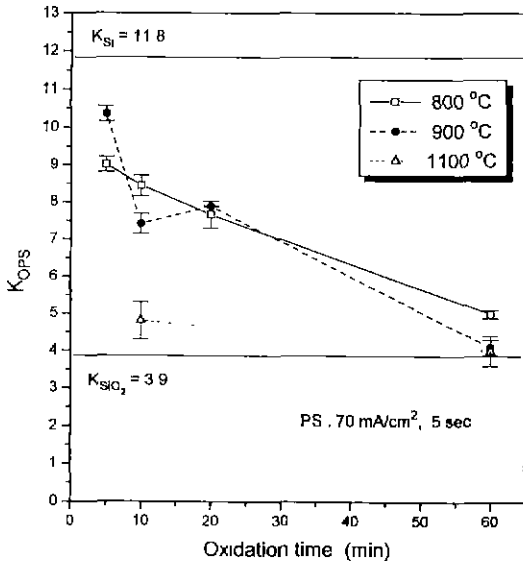


Fig. 8. Dielectric constant of OPS as a function of oxidation time when the porous silicon was prepared in the anodizing condition of 70 mA/cm², 5 sec.

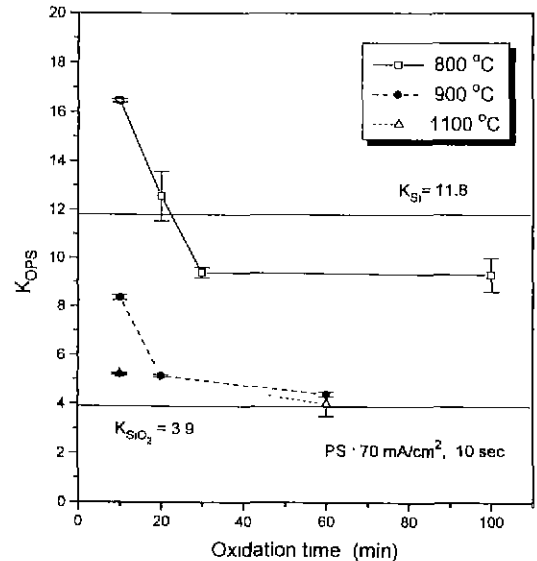


Fig. 9. Dielectric constant of OPS as a function of oxidation time when the porous silicon was prepared in the anodizing condition of 70 mA/cm², 10 sec.

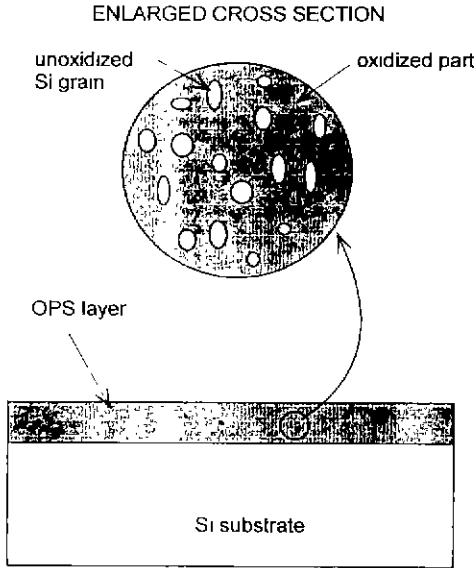


Fig. 10. Schematic diagram of OPS layer structure.

시간이 짧을수록, 산화 온도가 낮을수록 높은 유전상수 값을 보이고 있다. 어떤 조건에서는 산화가 완전히 진행되지 않아 다공성 실리콘 산화막내에 미처 산화되지 않은 silicon 부분들이 존재할 수 있으므로²¹⁾ 계산된 유전상수는 apparent dielectric constant라고 할 수 있다. SiO₂ 내의 free silicon은 산화막의 유전상수를 높이는 원인이 되는데²⁴⁾, Fig. 10에서와 같이 다공성 실리콘 산화막내에 산화되지 않고 남아 있는 silicon들이 존재하면 다공성 실리콘 산화막의 유전상수는 free silicon의 유전상수 11.8과 SiO₂의 유전상수 3.9의 중간값으로 나타나게 된다. Fig. 8에서도 유전상수 값들이 이 값들 사이에 분포하고 있다. 또한, 잔존하는 silicon들에 의해 산화막의 effective oxide thickness는 ellipsometer로 측정된 산화막의 두께보다 작아지게 된다. 그러므로 측정된 두께로서 계산된 유전상수 값은 크게 나타나는 것으로 생각할 수도 있다. 이는 산화 온도가 높고 산화 시간이 길수록 산소 원자의 확산에 의한 완전산화가 이루어지면서 유전상수 값이 감소하고 있는 결과를 뒷받침한다.

한편, Fig. 9에서 800°C에서 20분내로 산화시킨 시편은 다른 조건의 시편에 비해 13~17 정도의 큰 유전상수를 보이고 이 값은 silicon의 유전상수 11.8보다도 큰 값이다. 이는 양극반응의 조건이 70 mA/cm², 10초로서 5초의 경우에 비해 표면적이 클 것이고 Fig. 6에서 설명한 바와 같이, 다공성층 내부에 SiO₂ 피막이 성장하여 아직 기공을 plugging한 상태가 아니라면, 상부전극 Al이 증착

되면서 pore 내부로 어느 정도 들어간 형태가 되어 실제의 gate 면적은 지름 1mm 원형 전극의 면적보다 더 증가된 효과가 나타나게 되고, 이로 인해 식 (1)에서 알 수 있듯이 정전용량이 증가될 수 있고, 따라서 정전용량 값으로부터 계산된 유전상수도 silicon의 유전상수 11.8 이상으로 증가할 수 있다. Watanabe²⁵⁾ 등도 다공성 구조로 인한 표면적 증가 효과에 의해 정전용량이 증가함을 보고하고 있는데, 본 실험에서 상기 조건의 시편의 경우에는 전술한 effective oxide thickness의 감소 효과와 더불어 표면적 증가 효과가 복합적으로 작용한 것으로 생각된다.

3.3. SEM에 의한 미세구조 관찰

Fig. 11의 (a), (b)는 전류밀도 70 mA/cm²에서 각각 10초, 5초의 조건으로 양극반응시켜 제작한 다공성 실리콘의 표면 및 단면 SEM 사진이다. 광학현미경 관찰 시에도 보였던 거대한 pore channel들이 나타나고 있고 미세 기공들의 존재도 관찰된다. 다공성층의 두께는 5초의 경우 2250 Å 정도이고 10초의 경우는 약 4000 Å로서 양극반응 시간이 길어질수록 다공성층의 깊이가 증가되고 있다. (c)는 (a)시편의 고배율 사진으로서 수 백 Å 크기의 미세기공들이 잘 보이고 있다.

Fig. 12는 다공성 실리콘층을 산화시킨 시편의 SEM 사진으로서, (a)는 70 mA/cm², 5초의 조건으로 다공성 실리콘을 제작하고 800°C에서 10분간 산화시킨 시편의 표면과 단면이고, (b)는 다공성 실리콘 제작 조건, 70 mA/cm², 10초, 산화 조건, 800°C, 100분인 시편이다. 앞의 3.1.절에서 다공성 내부에서 수평방향의 산화에 의해 기공이 plugging 될 것으로 추측했었는데, (a)의 10분간 산화시킨 시편에서는 수 백 Å 정도의 미세기공들도 간헐적으로 보이고 있다. 그러나 (b)의 100분의 경우에는, 양극반응 시간이 10초로서 5초의 경우보다는 기공 크기가 더 컸을 것임에도 불구하고, 미세기공들이 거의 plugging 된 것이 보이고 있다. 이것으로부터 앞서 언급한, 단시간 산화의 경우에 plugging 되지 않은 기공 내부로의 Al 침투에 의한 표면적 증진 효과의 기능성을 알 수 있다.

한편, 폭이 수 천 Å에 이르는 거대 pore channel들은 장시간 산화에도 여전히 존재하고 있다. 앞서 C-V 측정에서 산화막내 누설의 원인으로 이 pore channel을 추정하였었는데, 산화공정 이후에도 여전히 거대 pore channel은 plugging 되지 않고 존재하는 것으로 보아 이것이 산화막내 누설의 원인이 된 것으로 생각할 수 있다.

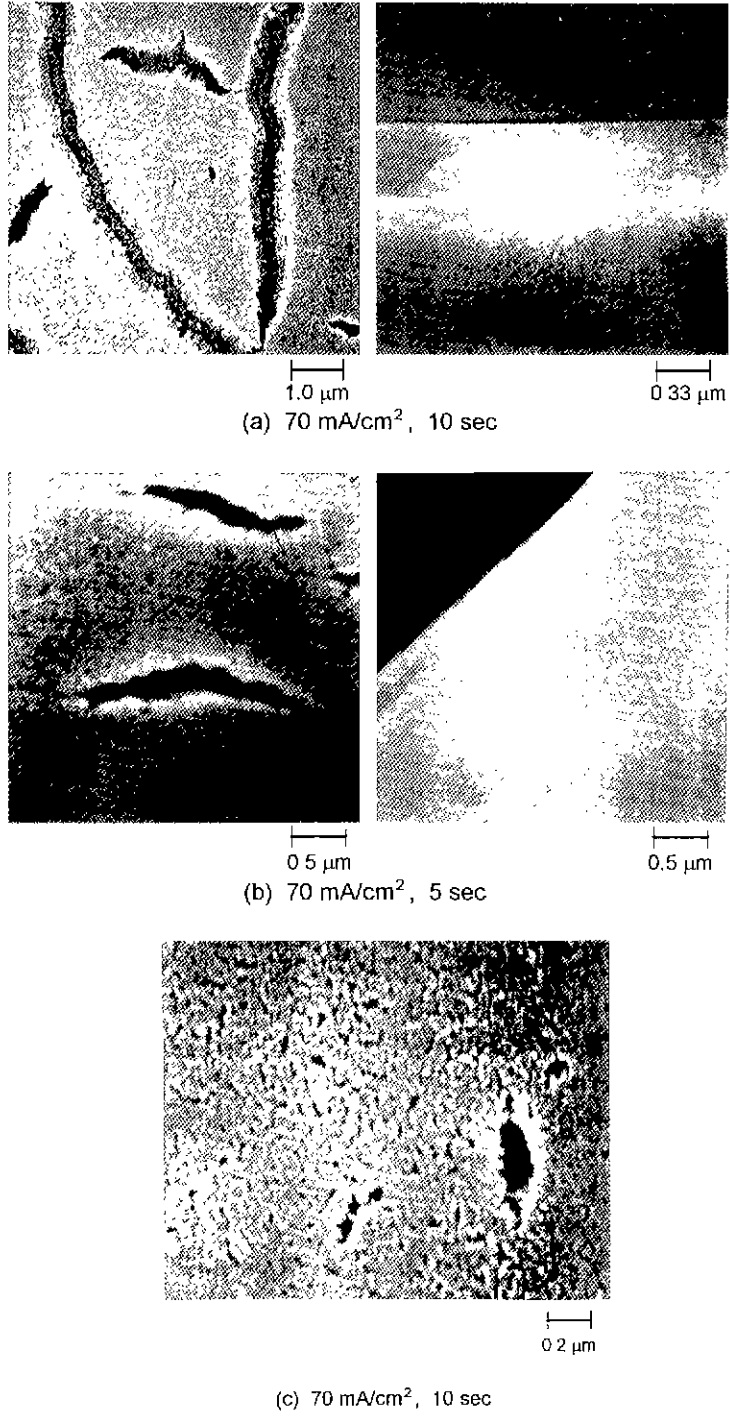


Fig. 11. SEM micrographs of surface morphology and cross section view of the porous silicon.

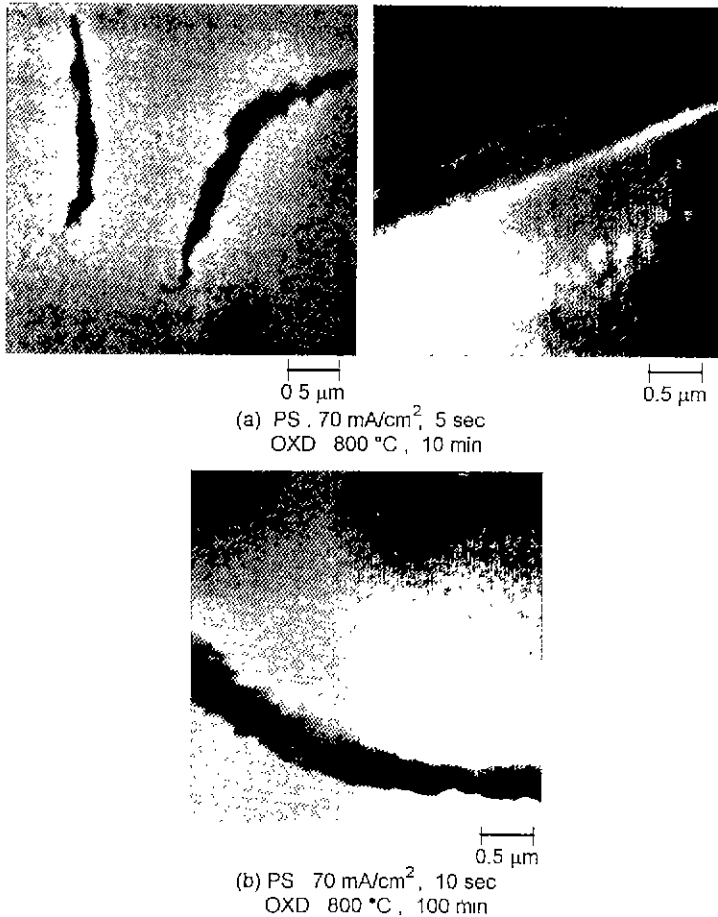


Fig. 12. SEM micrographs of surface morphology and cross section view of the OPS.

4. 결 론

다공성층의 산화에 의해 100분 이내의 시간에 산화 온도와 다공성 실리콘 제작 조건에 따라 3000~6000 Å에 이르는 산화막을 얻을 수 있으나 산화 온도가 800, 900°C의 저온과 20~30분 이내의 단시간 산화에서는 산화막의 유전상수가 보통의 열산화막 보다 크게 나타나고 산화 온도가 1100°C의 고온과 60분 이상의 장시간 산화의 경우에는 3.9에 근접한 값을 갖는다. 이는 다공성 실리콘 산화막내에 존재하는 산화되지 않은 silicon들에 의한 유전상수의 증가와 effective oxide thickness의 감소효과에 의한 것으로 생각할 수 있으며, 표면적이 보다 큰 70 mA/cm², 10초의 조건으로 제작된 다공성 실리콘에 얇은 산화막이 입혀진 경우는 표면적 증진 효과에 의한 정전용량의 증가가 부가적인 원인이 될 수 있다.

끝으로, 다공성 실리콘 제작시 인가되는 전류의 분포에

따라 다공성층 표면에 trench 형태의 거대 pore channel이 존재하게 되고 이것은 산화공정 이후에도 잔존하여 leakage의 source 역할을 한다. 크기가 수 백 Å의 미세 기공들은 장시간 산화에 의해 plugging 된다.

REFERENCES

1. A. Uhler, "Electrolytic shaping of germanium and silicon," *Bell Syst. Tech. J.*, **35**, 333 (1956).
2. D.R. Turner, "Electropolishing silicon in hydrofluoric acid solutions," *J. Electrochem. Soc.*, **105**, 402 (1958).
3. M.I.J. Beale, N.G. Chew, M.J. Uren, A.G. Cullis, and J.D. Benjamin, "Microstructure and formation mechanism of porous silicon," *Appl. Phys. Lett.*, **46**(1), 86 (1985).
4. 조찬섭, 심준환, 이석수, 이종현, "HF 양극반응을 이용한 단결정 실리콘 미세구조의 제조," *센서학회지*, **1**(1), 183 (1992).

5. L.T. Canham, "Silicon quantum wire array fabrication by electrochemical and chemical dissolution of wafers," *Appl. Phys. Lett.*, **57**(10), 1046 (1990).
6. A.G. Cullis and L.T. Canham, "Visible light emission due to quantum size effects in highly porous crystalline silicon," *Nature*, **353**, 335 (1991).
7. C. Tsai, K.H. Li, D.S. Kinosky, R.Z. Qian, T.C. Hsu, J.T. Irby, S.K. Banerjee, A.F. Tasch, J.C. Campbell, B.K. Hance, and J.M. White, "Correlation between silicon hydride species and the photoluminescence intensity of porous silicon," *Appl. Phys. Lett.*, **60**(14), 1700 (1992).
8. C. Tsai, K.H. Li, J. Sarathy, S. Shih, J.C. Campbell, B.K. Hance, and J.M. White, "Thermal treatment studies of the photoluminescence intensity of porous silicon," *Appl. Phys. Lett.*, **59**(22), 2814 (1991).
9. K.H. Li, C. Tsai, S. Shih, T. Hsu, D.L. Kwong, and J.C. Campbell, "The photoluminescence spectra of porous silicon boiled in water," *J Appl. Phys.*, **72**(8), 3816 (1992).
10. R.L. Smith and S.D. Collins, "Porous silicon formation mechanisms," *J. Appl. Phys.*, **71**(8), R1 (1992).
11. S. Wolt, Silicon Processing for the VLSI Era Volume 2-Process Integration, ch. 2, by LATTICE PRESS, Sunset Beach, California (1990).
12. Y. Watanabe, Y. Arita, T. Yokoyama, and Y. Igarashi, "Formation and properties of porous silicon and its application," *J. Electrochem. Soc.*, **122**, 1351 (1975).
13. M. Yamana, N. Kashiwazaki, A. Kinoshita, T. Nakano, M. Yamamoto, and C.W. Walton, "Porous silicon oxide layer formation by the electrochemical treatment of a porous silicon layer," *J. Electrochem. Soc.*, **137**(9), 2925 (1990).
14. J.J. Yon, K. Barla, R. Herino, and G. Bomchil, "The kinetics and mechanism of oxide layer formation from porous silicon formed on p-Si substrate," *J. Appl. Phys.*, **62**(3), 1042 (1987).
15. T. Unagami, "Oxidation of porous silicon and properties of its oxide film," *Jpn. J. Appl. Phys.*, **19**(2), 231 (1980).
16. Y. Arita, K. Kuranari, and Y. Sunohara, "Thermal behavior of porous silicon," *Jpn. J. Appl. Phys.*, **15**, 1655 (1976).
17. X.G. Zhang, S.D. Collins, and R.L. Smith, "Porous silicon formation and electropolishing of silicon by anodic polarization in HF solution," *J. Electrochem. Soc.*, **136**, 1561 (1989).
18. R. Herino, G. Bomchil, K. Barla, and C. Bertrand, "Porosity and pore size distribution of porous silicon layers," *J. Electrochem. Soc.*, **134**(8), 1994 (1987).
19. S.M. Sze, Physics of Semiconductor Devices, 2nd ed., ch.7.2, p. 375, by A WILEY-INTERSCIENCE PUBLICATION, John Wiley & Sons Inc., New York, Chichester, Brisbane, Toronto (1981).
20. 이종덕, 실리콘 침적회로 공정기술, 2nd ed., p.56, 대영사, 서울 (1991).
21. H.I. Liu, N.M. Maluf, R.F.W. Pease, D.K. Biegelsen, N.M. Johnson, and F.A. Ponce, "Fabrication of Si nanostructures for light emission study," Stanford University Center for Intergrated Systems, Catalog of Laboratory Projects, pp. 87, October 1993.
22. D. Brumhead, L.T. Canham, D.M. Seekings, and P.J. Tufton, "Gravimetric analysis of pore nucleation and propagation in anodised silicon," *Electrochimica Acta*, **38**(2/3), 191 (1993).
23. R.F. Pierret and G.W. Neudeck, Modular Series on Solid State Devices Volume IV Field Effect Devices, 2nd ed., ch. 2.4, p. 49, by Addison-Wesley Publishing Company Inc. (1990).
24. S.M. Sze, VLSI Technology, 2nd ed., ch. 6.4.5, p. 259, by McGraw-Hill International Editions (1988).
25. H. Watanabe, I. Honma, S. Ohnishi, and H. Kitajima, "A novel stacked capacitor with porous-Si electrodes for high density DRAMs," Symposium on VLSI Technology Digest of Technical Papers, pp. 17, Kyoto (1993).