

인쇄 회로 기판의 결함 검출 및 인식 알고리즘

A Neural Network Approach to Defect Classification on Printed Circuit Boards

안상섭, 노병옥, 유영기, 조형석
(Sang Sub Ahn, Byung Ok Roh, Young Kee Ryu, Hyung Seok Cho)

Abstract : In this paper, we investigate the defect detection by making use of pre-made reference image data and classify the defects by using the artificial neural network. The approach is composed of three main parts. The first step consists of a proper generation of two reference image data by using a low level morphological technique. The second step proceeds by performing three times logical bit operations between two ready-made reference images and just captured image to be tested. This results in defects image only. In the third step, by extracting four features from each detected defect, followed by assigning them into the input nodes of an already trained artificial neural network we can obtain a defect class corresponding to the features. All of the image data are formed in a bit level for the reduction of data size as well as time saving. Experimental results show that proposed algorithms are found to be effective for flexible defect detection, robust classification, and high speed process by adopting a simple logic operation.

Keywords : printed circuit board, neural network defect detection, defect classification

I. 서론

전자, 정보 통신 기기의 고용량화 및 고기능화가 요구됨에 따라 이들 부품의 고정밀도, 고생산성이 절실히 요구되고 있다. 특히 전자, 정보 통신 기기의 기본 소자인 인쇄회로기판(printed circuit board)의 품질 및 회로의 정밀도가 제품의 성능에 결정적인 영향을 미치고 있다.

인쇄회로기판(PCB)의 정확도 판정 및 수정을 위하여 선진 각국에서는 자동 검사 장치를 개발하여 제조 공정에 투입하고 있고, 핵심 기술인 화상 인식 기술 및 메카니즘 기술을 축적하여 원천적으로 보호하고 있으며, 첨단 제품의 경우 고가격화 정책 등으로 무기화하고 있어 국내 PCB 제조 산업 및 전자, 정보 통신 산업의 보호 측면에서도 컴퓨터 화상 처리를 이용한 PCB의 결함 검출 시스템의 연구는 반드시 확보되어야 할 기술임에 틀림없다.

자동 검사 장치의 사용에 있어서도 기술상의 문제가 많이 발생하고 있다. 기판이 고밀도화 되고 검사하여야 할 검사 항목이 많아짐에 따라 장치의 인식 분해능을 높이고 동시에 처리 시간을 단축할 수 있는 고속화된 검사 알고리즘이 요구되어지고 있다. 또한 패턴의 형태 및 이에 따른 불량률의 형태도 다양하므로 적응성과 신뢰성 그리고 유연성을 높일 수 있는 검사 알고리즘이 절실히 요구된다. 기존의 연구 결과들을 살펴보면 결함이 없는 표준 화상(reference image)과 검사 대상 화상을 직접 비교함으로써 표준 화상과 같지 않은 부분을 결함으로써 추출해 내는 화상 뺄셈(image subtraction)방법, 화상 전체를 모두 비교하지 않고 도선(conductor)의 길이, 폭, 구멍, 패드(pad)지름, 이웃도선 사이의 거리 등 특징들을 추출하여 비교하는 특징 비교(feature match)방법, 도선의 가장자리(edge)를 미리 정의해 놓은 기본요소(primitive)의 집합으로 표현하여 문법 관계를 살펴보는 구문론적접근(syntatic approach), 그리고 화상을 분할하고 해석하여 이미 세워 둔 회로 구성 규칙(rule)과 비교하여

결함을 찾아내는 rule based approach 등이 있다.

이들 중에 화상 뺄셈 방법은 결함을 빠짐없이 찾아내고 빠른 속도로 검사를 할 수 있으며 원리가 간단하다는 장점들을 지니고 있어 산업용 검사 시스템에 응용 가능성이 높다. 반면에, 사용자가 선택적으로 결함을 추출할 수 있도록 하는 유연성이 부족한 단점이 존재한다. 예를 들어 산업 현장에서는 흔히 도선의 가장자리(edge)로 부터 도선 폭의 25%를 초과하거나 미달된 영역에 생긴 기형상을 결함으로서 인정한다. 또한 결함을 추출하기는 하지만 추출한 결함의 종류는 판별할 수 없다는 단점을 안고 있다.

본 연구에서는 morphology를 이용하여 표준 화상을 사용자가 원하는 두께만큼 각기 팽창과 수축시킨 후, 이와 같이 생성된 두개의 표준 화상을 이용하여 화상 뺄셈을 함으로써 사용자가 정한 허용 범위를 벗어난 결함을 찾아내고자 한다. 또한 검출된 결함 화상을 이용하여 특징 값을 추출한 후 신경회로망을 학습시키고 이와 같이 학습된 신경회로망을 통하여 결함의 종류를 판별해 내고자 한다. 본 연구에서는 신경회로망을 학습시키기 위한 특징값(feature)을 4가지로 선정하였으며 이를 이용하여 결함의 종류를 판별하였다.

II. 검사 대상 PCB와 결함의 종류

1. 검사 대상 PCB 형태

본 연구에서는 PCB 제조 중간 단계인 드라이 필름(DF)과 에칭 보드(EB)를 검사하기로 한다. 중간 단계의 PCB를 검사함으로써 완성품의 상태에서는 검사할 수 없는 다층 기판의 내층도 검사할 수 있고 완성되기 이전에 결함을 검출함으로써 완성품의 불량률을 줄일 수 있다는 큰 장점이 있다. 그림 1에 hole이 없는 부위를 중심으로 드라이필름(DF)과 에칭보드(EB)의 단면 형상을 나타내었다.

DF는 3층 구조로서 base material 위에 구리가 도금되어 있고 그 위에 파란색의 polyimide 수지가 라미네이팅되어 있다. 그림에서 보듯이 polyimide가 없는 부위는 구리가 외부에 노출되며 이 부분이 도선(conductor)에 해당된다.

EB는 base material 위에 도선에 해당하는 구리만이 놓여 있는 2층 구조이다. 본 연구에서는 각각의 재료에 대해 광반사 특성 실험을 통해 실험 장치의 화상 입력부에 해당

접수일자 : 1996. 2. 14., 수정완료 : 1996. 10. 14.

안상섭 : (주)카스 로드셀 사업부

노병옥 : 선문대학교 산업공학과

유영기 : 선문대학교 전자·정보통신학부

조형석 : 한국과학기술원 기계공학과

하는 조명 장치를 설계하였으며 다양한 원판 보드를 검사하기 위하여 길이 300~610 mm, 폭 250~510 mm, 두께 0.2~2.0 mm 의 원판보드를 검사토록 실험 장치를 구성하였다.

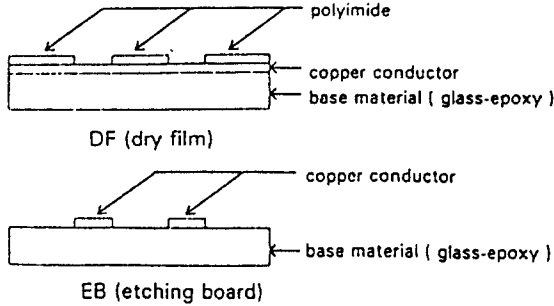


그림 1. DF와 EB의 단면 형상.
Fig. 1. Sectional view of DF and EB.

2. 결함의 종류

제조 공정상 발생할 수 있는 결함의 형태는 다양하며 대표적인 결함은 그림 2 와 같다.

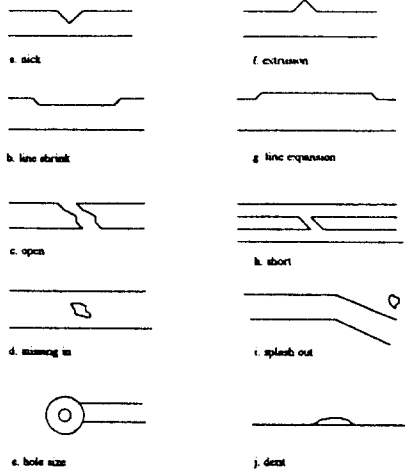


그림 2. 결함의 종류.
Fig. 2. Kind of defects on printed circuit.

편의상 결함들을 세 가지로 나누어 설명하여 보면

- 1) 표준 화상의 도선 부위(conductor region)에 해당하는 결함으로는 도선 패임(nick), 도선의 일률적인 수축(line Shrink), 도선 단락(open), 도선 내부상의 흠(missing in)이 있고,
- 2) 표준 화상의 절연체 부위(insulator region)에 해당하는 결함으로는 도선 돌출(extrusion), 도선의 일률적인 팽창(line expansion), 도선사이의 쇼트(short), 도선 외부상의 흠(splash out) 의 결함들이 있다.
- 3) 한편 구멍(hole)과 패드(pad)에 해당하는 결함들로는 구멍 크기 불량(hole size defect)과 구멍 위치 불량(hole clearance defect)이 있다.

본 연구에서는 이상과 같은 다양한 형태의 불량을 신뢰성 있게 검출해 낼 수 있는 알고리즘을 제시하고자 한다.

III. 검사 알고리즘

결함을 검출하고 분류하기 위한 전체 검사 과정은 그림 3 의 진행 순서도에서 보는 바와 같이 크게 3 단계로 나누어진다. 1 단계에서는 결함이 없는 보드를 이용하여 검사에 기준이 될 표준 화상 데이터를 구축하여 저장하고, 2 단계는 이미 구축하여 둔 표준 화상 데이터를 이용, 실제 검사

대상과 비교하여 결함을 추출한다. 마지막으로, 3 단계에서는 추출된 결함 이미지로부터 결함의 종류를 판별한다.

각 단계별로 구체적 내용을 살펴보면 다음과 같다.

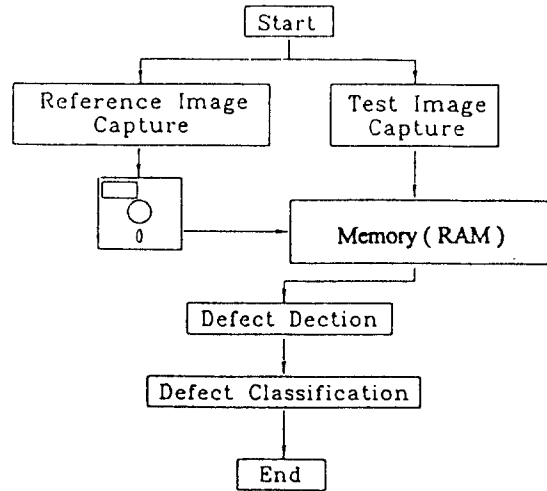


그림 3. 검사 진행 순서도.
Fig. 3. Inspection flow.

1. 표준 화상 구축 (Reference Image Making)

결함 검출을 위한 표준 화상을 만드는 과정은 다음과 같다. 먼저 결함이 없는 표준 PCB를 대상으로 화상을 획득한다. 획득된 화상데이터로부터 이진화를 거쳐 이진 화상을 얻는다. 이진 화상을 원하는 두께로 팽창하고 또한 수축시킨다. 각각의 팽창 및 수축된 화상데이터를 압축하여 저장하고 이후 결함 검출시 이용한다.

- 1) 화상 포착과 이진화(image capture & threshold) : 렌즈를 통해 들어온 빛은 CCD array sensor에 집광되고 각각의 sensor cell은 빛의 강도에 비례하는 전하(charge)를 발생시킨다. 화상처리보드에서는 센서에서 발생하는 아날로그 전류 신호를 실시간으로 이산화(digitize)하여 메모리에 저장한다. 이때의 화상 데이터는 0~255의 밝기 값을 갖는 농담 화상(gray scale image)이다. 주어진 조명 상태에서 농담 화상의 히스토그램을 구한 후 문턱값(thresh value)을 정한다. 모든 화소를 래스터 스캔하면서 문턱값 이상은 255로 그 이하는 0 으로 만든다. 그 결과로 이진 화상을 얻을 수 있다.
- 2) 이진 화상 팽창과 수축(binary image dilation and erosion) : 화상데이터를 한 화소 두께로 팽창 혹은 수축하기 위한 과정은 다음과 같다. A 와 B 를 R² space 상의 두 집합(set)이라 할 때 B에 의한 A 의 dilation 은

$$A \oplus B = \{ x | (B)_x \cap A \neq \emptyset \} \quad (1)$$

로 표현된다. 여기서, B 는 B 의 대칭 집합 (reflection set), (B)_x 는 B 의 대칭 집합을 x 만큼 translation 시킨 집합이다. 즉 B에 의한 A 의 dilation 은 B 와 A 의 교집합이 공집합(empty set)이 되지 않도록 하는 모든 변위 x 의 집합이다. B는 흔히 structuring element라 불리고 실제 화상 처리에서는 convolution mask 가 이에 해당한다. 한편 B에 의한 A 의 erosion은

$$A \ominus B = \{ x | (B)_x \subseteq A \} \quad (2)$$

로 표현된다. 즉 x 만큼 translation 된 집합 B 가 A 의 부분집합이 되도록 하는 모든 변위 x 의 집합이다.

- 3) 이진 화상 압축(binary image compression) : 화상을

팽창하고 수축하여 만든 각기의 화상데이터는 640x480 크기의 화상 1장(frame)에 대해 640x480x8 bit = 307200 byte 로써 매우 크다. 따라서 데이터 전송 시에 많은 시간을 요한다. 본 연구에서는 그림 4 에서와 같이 x축 방향으로 8개의 화소를 1 byte 단위로 저장하였다. 즉 압축하기 전에는 각 화소가 255 아니면 0 의 값을 가지고서 1 byte의 크기였지만 압축 후에는 각 화소가 1 아니면 0 의 값을 갖는 1 bit의 크기인 것이다. 따라서 640x480의 화상을 정보의 왜곡 없이 80x480 의 화상으로 만들었다. 결과적으로 87.5%의 data 크기 감소 효과를 가져왔다.

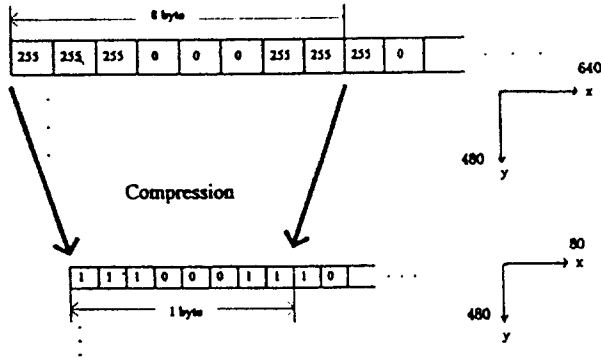


그림 4. 이미지 압축.
Fig. 4. Image compression.

2. 결함 추출

결함 추출의 알고리즘 흐름 도는 그림 5 와 같다. 이미지를 입력받아 이진 영상을 얻는 과정은 앞 절 표준 화상을 만들 때의 원리와 같다. 2 개의 표준 화상은 압축된 상태로 저장되어 있으므로 검사할 화상을 압축할 필요가 있다. 검출 과정을 살펴보면 다음과 같다. 먼저 팽창된 표준 영상과 결함이 있는 이미지를 XOR 하며 다시 수축된 표준 영상과 결함이 있는 이미지를 XOR 한다. XOR 하여 나온 각각의 결과 이미지들을 AND 하면 오차 상한과 하한을 벗어나는 이상 부분만이(결함에 해당) 위치, 방향, 크기에 관계없이 결함으로써 나타나게 되는 것이다. 그림 6 은 돌출과 패임이 있는 경우 결함 검출 원리를 보여준다. 이진 논리 연산(Bit Operation)을 살펴보면 Exclusive OR 논리 연산은 두 입력 값이 같으면 1 다르면 0 을 출력한다. AND 논리 연산은 두 입력 값이 같을 때만 1 을 출력한다. 이상과 같은 과정으로 결함을 검사하면서 결함이 없으면 처음으로 돌아가 다음의 새로운 image를 검사하고 결함이 발견되면 검사 다음 단계인 분류 과정으로 가게 된다.

3. 결함 분류를 위한 알고리즘

3.1 신경회로망에 의한 결함 분류

결함 검출 알고리즘을 수행하여 얻은 결함 이미지에서 직접 결함의 종류를 판별하는 것은 매우 힘들다. 그 원인으로 는 농담 화상으로부터 이진 화상으로의 전환 시에 많은 정보의 손실이 있고 또한 최종 결함 이미지 자체에는 주위환경에 대한 정보가 이미 상실되었기 때문이다. 한편 결함의 형태가 그 종류에 상관없이 매우 다양하기 때문에 특징 값을 잘 선정하더라도 선형적으로 패턴을 분류해 낼 수 있는 결정 방정식(deterministic equation)을 찾는 것은 불가능하다. 따라서 본 연구에서는 이러한 비선형적인 패턴 분류(nonlinear pattern classification)를 위해, 특징 값을 잘 선정하고 선정된 특징 값을 이용하여 결함을 판별하는 신경회로망 분류기를 이용하고자 한다.

3.2 Back Propagation Learning Algorithm

신경회로망의 학습규칙중에 가장 많이 사용되어지는 역전

파 알고리즘(BPLA)은 gradient descent law를 다층네트워크(multi-layer perceptron)[9]에 확장 적용한 것으로서 [Rumelhart & McClelland, 1987] 비선형 패턴 분류에 탁월한 성능을 발휘하는 일종의 supervised 학습 규칙이다.

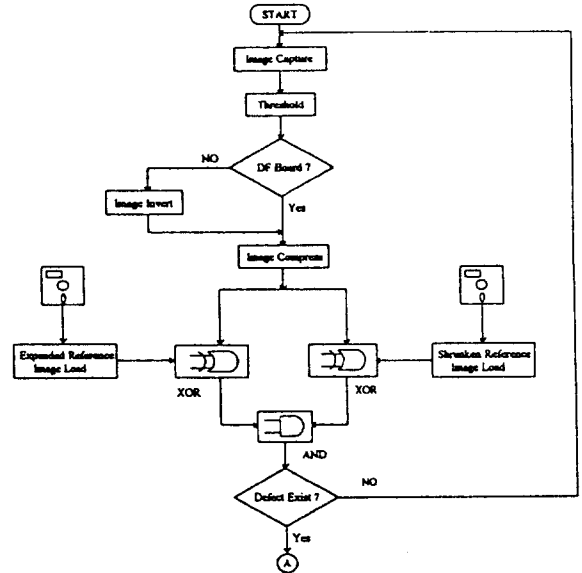


그림 5. 결함검출 알고리즘 흐름도.
Fig. 5. Defect detection algorithm.

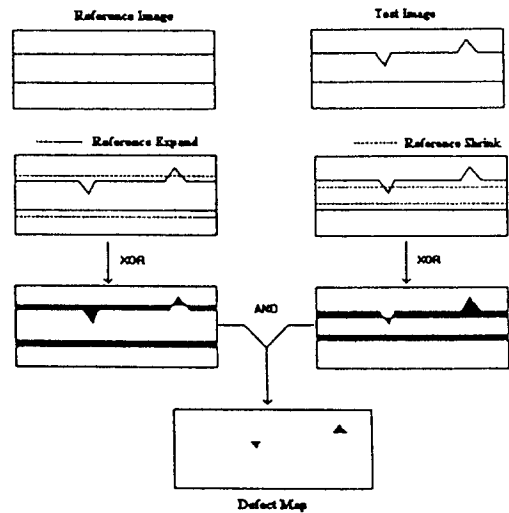


그림 6. 결함검출 원리.
Fig. 6. Principle of defect detection.

학습 단계에서는 초기에 가중치가 주어지고 일련의 입력 패턴과 원하는 출력 패턴(desired output)이 공급되어진다. 주어진 입력 패턴에 대한 실제 출력 패턴(actual output)이 나오면 원하는 출력 값과의 오차를 계산하여 이 오차가 작아지는 방향으로 초기 가중치가 조절되어 간다. 오차가 허용범위내에 들어오면 학습이 종료되고 이때의 함수 관계를 기억하여 이후 생산 단계에 적용되는 것이다. 신경회로망은 그림 7 에 표시된 것처럼 여러 개의 layer내에 수많은 node 들로 구성된다.

학습 과정을 살펴보면 다음과 같다. P번째 layer의 j node에서의 net 값은 다음과 같이 계산되어진다.

$$net_j^{(p)} = \sum_i \omega_{ij}^{(p)} x_i^{(p-1)} + \theta_j^{(p)} \quad (3)$$

여기서 $\omega_{ij}^{(p)}$ 는 P-1 번째 layer의 i node 와 P 번째 layer

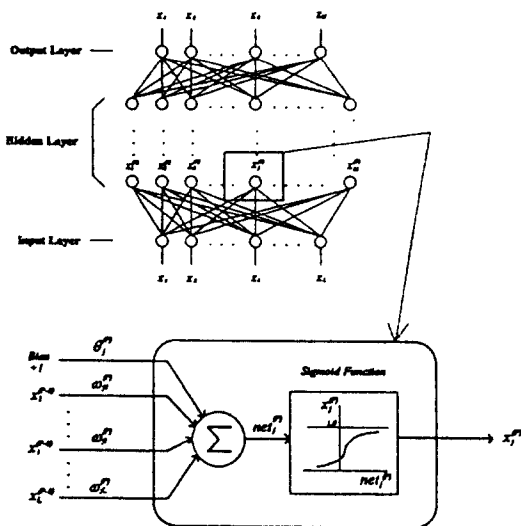


그림 7. 신경회로망 구조.
Fig. 7. Schematic diagram of the implemented neural network.

의 j node 사이의 가중치이고 $x_i^{(P-1)}$ 는 P-1 번째 layer의 i node에서 출력된 값이다. 그리고 $\theta_j^{(P)}$ 는 P번째 layer의 j node에서의 bias 값이다. 주어진 node에서의 activation 함수로는 sigmoid 함수를 사용하였으므로 그림 7 에서 보다시피 node에서의 activation value는

$$x_j^{(P)} = \frac{1}{1 + \exp(-\sum t_j^{(P)})} \quad (4)$$

이다.

만약 i node가 input layer에 속해 있다면 x_i 는 input value 값 그 자체이다. output node에서의 output 값은 desired 값과 비교되며 오차는 다음과 같이 계산된다.

$$E = \frac{1}{2} \sum_j (d_j - x_j)^2 \quad (5)$$

즉 weights는 이 오차 값을 줄이는 방향으로 변화되는 것이다. 따라서 변화될 가중치 값은 오차를 가중치로 미분한 양에 비례하게 된다.

$$\Delta \omega_{ji} \propto -\frac{\partial E}{\partial \omega_{ji}} \quad (6)$$

(4) 식의 우변에서

$$\frac{\partial E}{\partial \omega_{ji}} = \frac{\partial E}{\partial \sum t_j} \frac{\partial \sum t_j}{\partial \omega_{ji}} \quad (7)$$

여기서, $\frac{\partial \sum t_j}{\partial \omega_{ji}} = \frac{\partial}{\partial \omega_{ji}} \sum_k \omega_{jk} x_k = x_i$

한편 $\delta_j = -\frac{\partial E}{\partial \sum t_j} \quad (8)$

라 정의하면

$$\delta_j = -\frac{\partial E}{\partial x_j} \frac{\partial x_j}{\partial \sum t_j} \quad (9)$$

여기서, $\frac{\partial x_j}{\partial \sum t_j} = \frac{\partial}{\partial \sum t_j} \left[\frac{1}{1 + \exp(-\sum_i \omega_{ji} x_i - \theta_j)} \right] = x_j(1 - x_j) \quad (10)$

그러나 (6) 의 첫 번째 term은 node 가 위치하는 layer에

관계된 값이다.

즉 output layer에서는

$$\frac{\partial E}{\partial x_j} = \frac{\partial}{\partial x_j} \left[\frac{1}{2} \sum_i (d_i - x_i)^2 \right] = -(d_j - x_j) \quad (11)$$

이고 hidden layer에서는 더욱 세분되어

$$\begin{aligned} \frac{\partial E}{\partial x_j} &= \sum_k \frac{\partial E}{\partial \sum t_k} \frac{\partial \sum t_k}{\partial x_j} \\ &= \sum_k \frac{\partial E}{\partial \sum t_k} \frac{\partial}{\partial x_j} \sum_i \omega_{ki} x_i \\ &= \sum_k \frac{\partial E}{\partial \sum t_k} \omega_{kj} \end{aligned}$$

이다.

(8)의 정의에 따라 $-\frac{\partial E}{\partial \sum t_k}$ 대신에 δ_k 를 대입하면

$$\frac{\partial E}{\partial x_j} = -\sum_k \delta_k \omega_{kj} \quad (12)$$

따라서 output node에서는 (8)과 (9)를 (7)에 대입하면

$$\delta_j^{(P)} = (d_j^{(P)} - x_j^{(P)}) x_j^{(P)} (1 - x_j^{(P)}) \quad (13)$$

이고 hidden node에서는 (8)과 (10)을 (7)에 대입하면

$$\delta_j^{(P)} = x_j^{(P)} (1 - x_j^{(P)}) \sum_k \delta_k^{(P+1)} \omega_{kj}^{(P+1)} \quad (14)$$

이다.

앞의 (6), (7) 및 (8)에서 layer를 고려한 표준 델타 규칙 (standard delta rule)은 다음과 같이 표현될 수 있다.

$$\Delta \omega_{ji}^{(P)} = \eta \delta_j^{(P)} x_i^{(P-1)} \quad (15)$$

여기서 η 는 학습 상수(training rate)로써 클수록 빠른 속도로 학습이 이루어지지만 반면에 진동(oscillation)을 수반하는 경우가 있으므로 흔히 모멘텀 항을 첨가한다.

$$\Delta \omega_{ji}^{(P)}(n+1) = \eta \delta_j^{(P)} x_i^{(P)} + \alpha \Delta \omega_{ji}^{(P)}(n) \quad (16)$$

즉 가장 최근의 가중치 변화 값을 첨가함으로써 가중치 공간에서 현재의 가중치가 움직이는 방향을 바꾸어 준다. 여기서 α 는 모멘텀의 비중에 나타내 주는 상수이고 n 은 학습 단계를 나타낸다.

흔히 η 는 0.1 ~ 0.9 , α 는 0.1 ~ 0.7 의 값들로 학습시킨다.

3.3 신경회로망의 학습 표본 선정

패턴의 형상 인식은 인식 대상에 따라 요구되는 특징요소(feature)들을 추출하여 특징 공간(feature space)을 구성하고, 학습 단계에서 등록된 특징 공간들과 비교하여 인식 대상의 형상을 결정하는 것이다. 따라서 본 연구에서 사용하는 신경회로망 분류기(neural network classifier)의 성능을 좌우하는 요소는 바로 이러한 특징 값을 여하히 잘 선택하느냐에 달려 있다 할 수 있겠다.

그림 8 에서 (a)는 표준 이미지, (b)는 결함이 있는 이미지, (c)는 검출 알고리즘에 따라 나온 결과 이미지이다.

먼저 (c)의 결함 이미지를 3 화소 팽창한다. 팽창한 결함 이미지의 경계를 따라서 (a) 화상과 (b) 화상을 참조하여 feature를 추출하게 되는데 이때 경계(boundary)에서 화소 간 연결(connectivity)에 의한 오차를 없애기 위함이다. 이제 경계를 따라서 border following[4] 알고리즘을 수행하면서 동시에 (b)의 화상을 참조하여 3가지 특징 값을 추출하

고 (a)의 화상을 참조로 한가지 특징 값을 추출하게 되며 추출하는 특징 값에 대해 살펴보면 다음과 같다.

특징 값 1 : 기호 f_s 로 정의

(b) 화상에서 결함 경계를 따라서 변한 밝기 변화 회수

(ex) 그림(d)에서 보는바와 같이 boundary를 따라 0과 255의 밝기 변화 회수는 두번이므로 $f_s = 2$ 이다.

특징 값 2 : 기호 f_N 으로 정의

결함의 경계를 따라 밝기값 255를 갖는 화소수 대한 밝기 값 0을 갖는 화소수의 비율

(ex) 그림(d)에서 보는바와 같이 boundary를 따라 0의 화소와 1의 화소 개수의 비율은 $f_N = 0.43$ 이다.

특징 값 3 : 기호 f_P 로 정의

결함의 원주 길이

(ex) 3 화소 패장시킨 결함의 둘레는 $f_P = 78$ 이다.

특징 값 4 : 기호 f_C 로 정의

결함이 도선 부위(conductor region)에 있을 때는 1의 값을 절연체 부위(insulator region)에 있을 때는 0으로 한다.

(ex) (c)의 결함이 중심(centroid)과 같은 위치에 해당하는 표준 이미지(a)의 화소값이 255 이면 도선부위의 결함이므로 이 경우 $f_C=1$ 을 할당한다. 만약 절연체 부위의 결함일 경우 표준 이미지(a)의 화소는 0이 되고 $f_C = 0$ 의 값을 할당한다.

이상의 4개의 특징 값이 각 결함에 대한 input vector의 구성 요소가되며 신경회로망의 input node로 입력되어 학습이 이루어지며 학습이 이루어질 때에는 정규화되어 입력된다.

input vector

$$x_i = \{ f_s, f_N, f_P, f_C \} \text{ 이다.}$$

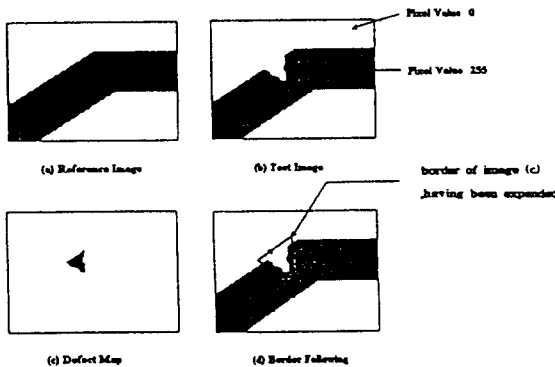


그림 8. 특징 값 추출 과정.
Fig. 8. Feature extraction procedure.

IV. 실험 및 결과

본 실험의 목적은 앞에서 제시한 결함 추출과 분류에 관한 알고리즘의 원리를 확인하고 그 성능을 평가함에 있다. 실험 장치는 속도 향상을 위하여 두 대의 카메라를 이용하도록 구성되었다. 실험 결과에서는 한 대의 카메라를 사용한 경우의 결과를 나타내었다.

1. 실험 장치

그림 9에 시스템 전체의 장치간 입출력 흐름도를 보였다. 조명 상태가 최적으로 설계되었을 때 대상 물체인 PCB로부터 반사된 빛은 줌렌즈에 집광되어 CCD array sensor로 입력된다. CCD는 빛의 세기에 비례하는 analog 전류 신호를 내어 준다. 이미지 보드(frame grabber)로 입력된 이 전류 신호는 이산화(digitize)되어 frame buffer에 저장된다. 메인 CPU에서는 frame buffer에 저장된 데이터를 이용하여

검사 알고리즘을 수행한다. 줌렌즈 콘트롤러(zoom lens controller)는 검사 전에 카메라의 줌과 포커스를 수행해 준다. PC에 연결되어 있는 모니터는 검사 진행 상태를 나타내어 주고 또하나의 RGB 모니터는 frame grabber에 연결되어 live 영상을 디스플레이 해준다. X-Y Table은 5 μ m의 정밀도를 가지고, X축 350 mm Y축 350 mm 까지 구동되며, CPU에서 지령을 내려 주면 축제어 controller에 의해 위치 제어는 자동적으로 수행된다.

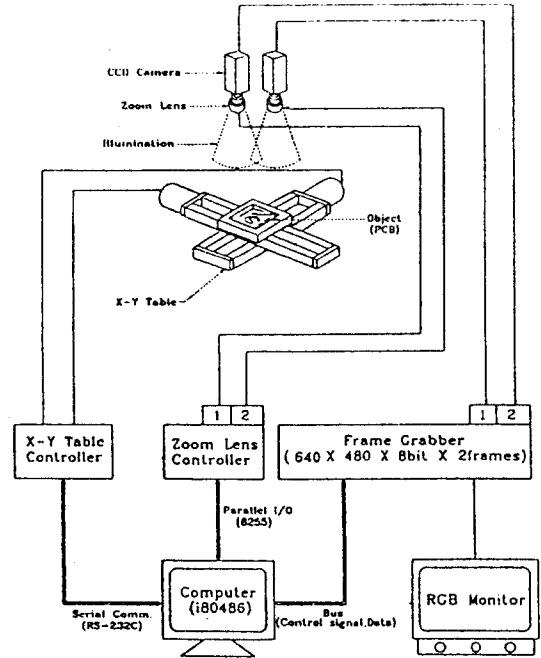


그림 9. 장치간 입출력 흐름도.
Fig. 9. System layout.

2. 결과 및 토의

2.1 결함 검출

검사 단계는 화상 포착과 이진화, 2개의 표준 화상 데이터 로드, 검사 대상 화상 압축, 3번의 비트 연산, 그리고 결함 분류의 순서로 이루어진다.

실험 결과 간혹 noise에 의한 한두 화소의 에러를 제외하고는 허용 오차 상한과 하한의 범위를 벗어나는 결함을 100% 검출하였다.

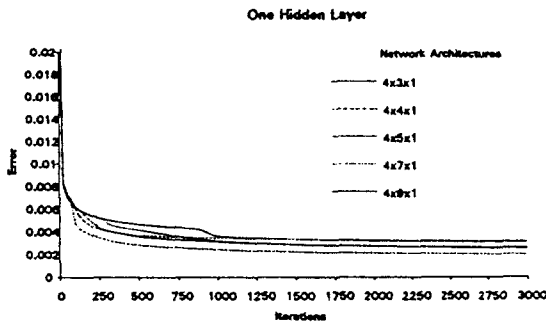
2.2 결함 분류

1) 학습 표본 선정 : 실제 보드의 결함은 많지 않기 때문에 신경회로망의 학습에 필요한 결함은 고의로 발생시켰다. 신경회로망의 input node에 들어가는 특징 값은 정규화되어 들어가게 되므로 카메라의 해상도와 보드의 종류, 패턴의 형태에 무관하다. 따라서 결함 종류별로 40 개씩 모두 360 개의 결함을 만들어 학습을 시켰다.

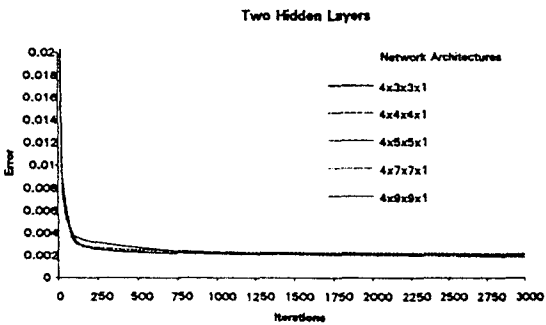
2) network 구조 결정 : network의 구조와 변수를 결정하는 것은 일반적인 규칙이 없기 때문에 많은 경험과 시행착오를 바탕으로 한다. 결정해야 할 파라미터는 hidden layer의 개수와 node의 수, learning constant η , momentum constant α 이다. hidden layer의 개수는 1개부터 3개로 변화시켰으며 node의 개수를 3부터 9까지 변화시켜 가며 오차의 수렴률을 조사하였다. 그림 10 (a)~(c)은 $\eta=0.9$, $\alpha=0.7$ 로 고정을 하고 hidden layer를 변화시켰을 때 360개를 1 set 로 하여 3000 번의 반복 수행까지의 오차 수렴을 보여준다. hidden layer 가 1개 일 때와 3개 일 때는 최종 오차 수렴 값이 거의 비슷하지만 hidden layer 2개 일 때가

수렴 속도가 빠름을 알 수 있다. 한편 hidden layer가 3개

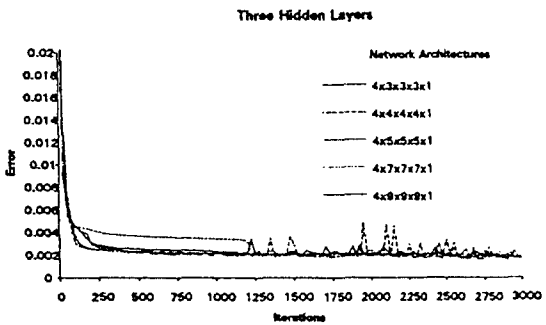
있다. 따라서 $\eta=0.9$, $\alpha=0.7$ 을 파라미터 값으로 선정하였다.



(a)



(b)



(c)

그림 10. (a) 1 hidden layer 일 때 오차 수렴, (b) 2 hidden layers 일 때 오차 수렴, (c) 3 hidden layers 일 때 오차 수렴.

Fig. 10. (a) error convergence at 1 hidden layer, (b) error convergence at 2 hidden layers, (c) error convergence at 3 hidden layers.

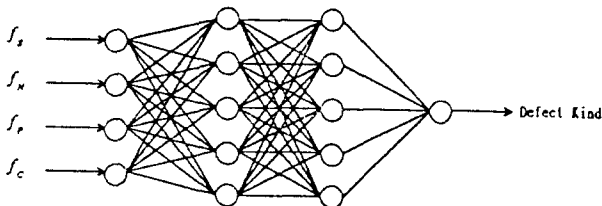


그림 11. 연구에 사용된 network 구조. Fig. 11. Implemented neural network structure.

일 때는 진동을 하므로 바람직하지 않다. hidden layer가 두 개일 경우 node 의 개수는 5개 일 때 오차가 가장 작으므로 수렴한다. 따라서 최종적으로 4 x 5 x 5 x 1 의 구조로 결정하였으며 그림 11 와 같다.

3) 학습 파라미터 선정 : 결정된 network 구조에서 η 와 α 를 변화시켜 가며 오차수렴률을 보았을 때 예상한대로 표 1 에서 볼 수 있듯이 값이 클수록 오차가 적어짐을 알 수

표 1. alpha 와 etha에 따른 최종 오차.

Table 1. Error result for the variation of alpha and etha.

$\alpha \backslash \eta$	0.3	0.5	0.7	0.9
0.1	0.002738	0.00248	0.00231	0.002108
0.3	0.002599	0.00231	0.002086	0.002014
0.5	0.002441	0.002101	0.002015	0.002024
0.7	0.002205	0.002028	0.002036	0.002

4) 성능 시험 : 학습이 끝난 뒤 실제 보드의 결함을 대상으로 성능 실험을 하였다. 각각의 결함별로 40 개씩 하였을 때 표 2 와 같은 분류 오차를 classification error percentage)을 보였다. 오차의 원인으로는 nick와 line shrink을 구분할 경우 특정 값의 유사성으로 인하여 구분이 어렵고 역시 extrusion과 line expansion의 경우도 마찬가지이다. 예를 들어 그림 12 에서 보이는 결점을 nick로 볼 것인지 line shrink로 판단할 것인지는 인간의 지식으로도 힘들다는 것을 알 수 있다.

표 2. 결함 분류 오차율.

Table 2. Classification error for each defects.

defect	classification error
nick	10%
line shrink	10%
inner missing	0%
open	0%
extrusion	10%
line expansion	10%
outer splash	0%
short	0%
hole size	0%

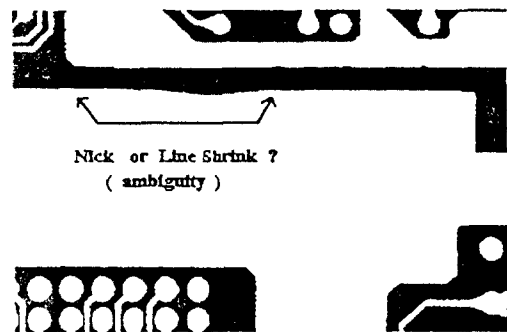


그림 12. 분류의 애매함. Fig. 12. Ambiguity of defect classification.

V. 결론 및 향후 연구 방향

본 연구에서는 유연성을 고려한 결함 추출 알고리즘, 신경회로망에 의한 결함 분류 알고리즘을 제시하고 실험을 통하여 그 원리를 확인하였으며 다음과 같은 결론을 얻었다.

(1) 결함 추출 알고리즘의 경우, 원리의 명확함에서 알 수 있듯이 좋은 결과를 낼 수 있었다. 하지만 후처리에 의하여 노이즈 성분을 결함에서 제외시키는 것보다는 화상 입력 부분에 해당하는 조명 장치를 잘 설계하고 구동 장치도 충분히 잘 설계해야 함을 알 수 있다.

(2) 결함 분류의 경우, 좋은 특징 값(feature)을 선정하여 좀 더 개선된다면 만족할 만한 성과를 내리라 기대된다. 즉 화상의 크기 및 해상도에 무관한 특징 값들로만 구성을 한다면 zoom에 관계없이 한번 학습된 회로망으로도 성능을 높일 수 있을 것이다. 참고로 본 연구에서 채택한 특징 값 중 f_p 값은 화상의 크기에 무관한 특징 값이다.

참고문헌

[1] G. A. W. West, "A system for the automatic visual inspection of bare-printed circuit boards," *IEEE Trans. on Systems*, vol. SMC-14, no. 5, Sep., 1984.
 [2] Chin & Harlow, "Automated visual inspection : a survey," *IEEE Trans. on Pattern Analysis and Machine Intelligence*, vol. PAMI-4, no. 6, Nov., 1982.
 [3] Hara, "Automatic inspection system for printed circuit boards," *IEEE Trans. on Pattern Analysis and*

Machine Intelligence, vol. PAMI-5, no. 6, Nov., 1983.
 [4] Darwish, "A rule based approach for visual pattern inspection," *IEEE Trans. on Pattern Analysis and Machine Intelligence*, vol. 10, no. 1, Jan., 1982
 [5] 나 현찬, "PCB 패턴검사를 위한 시각인식 장치부 설계", KAIST, 1994.
 [6] Gonzalez, "Digital image processing," *Addison Wesley*, 1992.
 [7] Pitas, "Digital image processing algorithms," *prentice hall*, pp 189-206, 1993.
 [8] Zurada, "Introduction to artificial neural systems," *West Publishing Company*, 1992.
 [9] Haralick, "Computer and robot vision vol 2," *Addison-Wesley company*, 1992.



안 상 섭

1969년생, 1992년 한국과학기술원 기계공학과(학사), 1994년 한국과학기술원 자동화 및 설계공학과(석사), 1994년 ~ 현재 (주) 카스 로드셀 사업부 근무. 주관심사는 산업용 비전 검사 시스템, Force Measurement System, 정밀

측정 시스템.



노 병 옥

1960년생. 1986년 한양대학교 기계공학과(학사), 1988년 한양대학교 정밀기계 공학과(공학석사), 1991년 한양대학교 정밀기계공학과(공학박사), 1988년 ~ 1990년 日本 KOSSAKA 연구소 객원 연구원, 1991년 ~ 1992년 현대전자(주) 산업전자 연구

소 선임연구원, 1992년 ~ 1994년 전자부품 종합기술 연구소 정밀기기팀 선임연구원, 1995년 ~ 현재 선문대학교 공과대학 산업공학과 조교수, 주 관심 분야는 생산자동화 시스템, Robot Vision, 화상공학.



유 영 기

1964년생. 1987년 한양대학교 기계공학과(학사), 1989년 한국과학기술원생산공학(석사), 1996년 한국과학기술원자동화 및 설계공학과(박사), 1984년 ~ 1992년 삼성종합기술원 전자기기 연구소 근무, 1996년 ~ 현재 선문대학교

전자·정보통신공학부 전임강사. 주관심사 분야는 화상처리, 광 응용 계측 시스템 및 자동화 시스템.



조 형 석

1944년생. 1971년 서울대학교 공업교육학과(학사). 1973년 Northwestern Univ. 기계공학과(석사). Univ. of Calidormia at Berkely(박사). 1978년 ~ 현재 한국과학기술원 기계공학과 교수. 1990년 ~ 1993년 IFAC Manufacturing Committee의 부

회장. 현재 국제 Journal 인 Robotics 의 편집위원. 주 관심 분야는 인공지능 응용, 비전시스템, 공정제어, 로보틱스, 그리고 조립자동화위.