

저항성 단락과 개방 결함을 갖는 메모리에 대한 동작분석과 효율적인 테스트 알고리즘에 관한 연구

(A Study on Behavioral Analysis and Efficient Test Algorithm for Memory with Resistive Short and Open Defects)

金大翊*, 裴晟桓*, 李相泰*, 李昌基**, 田炳實*

(Dae Ik Kim, Sung Hwan Bae, Sang Tae Lee, Chang Ki Lee, and Byoung Sil Chon)

요 약

기존의 메모리 테스트는 기능성을 높이기 위해 발생 가능한 모든 고장모형을 정의하고 적은 시간내에 많은 고장모형을 찾아내는 기능 테스트 알고리즘에 대해 활발한 연구가 수행되었고, 이 테스트 방식에 높은 의존도를 보였다. 그러나 전압 테스트 방식으로는 신뢰성에 커다란 영향을 주는 게이트 옥사이드 단락과 반점 결점에 의해 발생하는 단락과 개방 결점을 검출할 수 없다. 따라서 결함을 검출하여 신뢰성을 높일 수 있는 전류테스트 방식인 IDDQ 테스트가 필요하게 되었다. 본 논문에서는 메모리를 구성하는 MOS FET의 각 단락에 저항성 단락이 있는 경우와 개방이 발생한 경우에 따른 메모리의 동작상태를 전압레벨과 전원에 흐르는 전류량을 SPICE 시뮬레이션을 통해 분석하였고, 그 결과를 이용하여 높은 기능성과 신뢰성을 얻기위해 기능테스트와 IDDQ 테스트에 동시에 적용 가능한 O(N)의 복잡도를 갖는 테스트 알고리즘을 제안하였다.

Abstract

To increase the functionality of the memories, previous studies have defined fault models and proposed functional testing algorithms with low complexity. Although conventional testing depended strongly on functional(voltage) testing method, it couldn't detect short and open defects caused by gate oxide short and spot defect which can affect memory reliability. Therefore, IDDQ(quiescent power supply current) testing is required to detect defects and thus can obtain high reliability. In this paper, we consider resistive shorts on gate-source, gate-drain, and drain-source as well as opens in MOS FET and observe behavior of the memory by analyzing voltage at storage nodes of the memory and IDDQ resulting from PSPICE simulation. Finally, using this behavioral analysis, we propose a linear testing algorithm of complexity O(N) which can be applicable to both functional testing and IDDQ testing simultaneously to obtain high functionality and reliability.

I. 서 론

메모리의 경우 초고집적화를 위한 미세화 패턴 공정

* 正會員, 全北大學校 電子工學科

(Dept. of Electronic Eng., Chonbuk Nat'l Univ.)

** 正會員, 西南大學校 電算情報學科

(Dept. of Computer and Information Science, Seonam Univ.)

접수일자:1996年1月18日, 수정완료일:1996年6月17일

으로 새로운 형태의 고장이 발생되고 비트 결함들의 상호관계를 고려할 때, 복잡화되기 쉬운 테스트 알고리즘을 실제적으로 메모리에 적용할 수 있도록 테스트 시간을 단축시킨 알고리즘이 필요하다^{[1], [4]}. 그리고 메모리는 현대 사회에서 필수적인 컴퓨터의 중요한 요소이기 때문에 사용중 예상하지 못한 고장이 야기될 경우, 많은 손실이 발생된다. 따라서 메모리의 기능 테스트와 신뢰성 테스트^{[2], [3]}에 대한 연구가 필요하다. 메모리의 기능 테스트를 위해 먼저 고장모형이 정의되

어야 한다. 고착고장(Stuck-At Fault:SAF), 천이고장(Transition Fault:TF), 결합고장(Coupling Fault : CF), 패턴감응고장(Pattern-Sensitive Fault : PSF) 등의 고장모델과 이를 검출하기 위한 테스트 알고리즘이 여러 논문에서 각각 정의되었고 제안되었다^{[5]-[11]}.

그러나, PSF를 검출하기 위한 테스트 알고리즘은 소요되는 테스트 시간이 비현실적으로 증가되어 실제적으로 메모리에 적용시킬 수 없다. 따라서 현실적인 테스트를 위해 반점 결점(spot defect)으로 인한 메모리의 고장을 유도하는 IFA(Inductive Fault Analysis) 방식을 사용하여 고장모델을 정의하고 테스트 알고리즘을 제안하게 되었다^[12].

반점 결점과 게이트 옥사이드 단락(gate oxide short) 결점은 소자의 각 단(terminal)간, 선간의 단락(short)과 개방(open)을 야기시킨다^[13]. 단락은 집적 회로에서 흔히 관찰할 수 있으며 공정 또는 사용 기간 중에 전기적, 환경적 조건에 의해 발생된다^[13]. 지금까지 사용된 단락과 개방에 대한 개념은 각각 R=0 (hard short)과 R=∞(hard open)로 가정하였다. 특히 발생하는 모든 단락을 출력단에서 비정상적인 동작의 형태로서 관찰할 수 있는 것은 아니기 때문에 전압테스트로서 이를 검출하는 것 보다 IDDQ(quiescent power supply current) 테스트를 이용하는 것이 더욱 효율적이다^[3]. 그리고 발생한 반점 결점에 따라 단락의 저항이 변화될 수 있으므로 좀더 정확하고 현실적인 모델을 정의하기 위해 단락의 저항 성분을 고려해야 한다^[13].

기존의 논문에서는 메모리의 기능테스트를 위한 고장모델과 테스트 알고리즘 개발에 관점을 두었고^{[5]-[11]}, IDDQ 테스트의 경우에는 단락과 개방에 의한 메모리의 동작분석^[14]이 미흡하였을 뿐더러 IFA를 이용한 고장해석 방법^[12]에 있어서도 저항성 단락을 전혀 고려하지 않았다.

본 논문은 일반적인 메모리 셀을 이용하여 저항성 단락(resistive short)을 CMOS FET의 게이트-소오스(gate-source), 게이트-드레인(gate-drain), 소오스-드레인(source-drain)에 적용시키고 또한 각 단자에서 발생 가능한 개방 결함을 고려하여 그 영향에 따른 메모리의 동작을 SPICE 프로그램으로서 해석하고, 메모리의 기능성과 신뢰성을 향상시키기 위해 기능 테스트와 IDDQ 테스트에 적용할 수 있는 알고리즘을 제안한다.

II. 메모리의 구조 및 동작 분석

기본적인 메모리셀^[15]은 그림 1과 같이 두개의 교차 결합(cross-coupled) 인버터가 통과(pass) 트랜지스터를 통해 상보적인(complementary) BL과 BLB라인에 대칭적으로 연결되어 있다.

셀을 구성하는 MOS FET 4, 5개의 Tr을 사용한 SRAM셀이 사용되기도 하지만, 6개 트랜지스터 SRAM셀은 최소한의 회로 디자인과 공정 지식을 갖고 구현할 수 있으며, 대기상태(standby)에서 전력소모가 적고 α 입자에 대한 면역성이 높고 잡음과 예상하기 어려운 다른 영향들에 대한 안정성의 장점^{[15],[16]}을 가지고 있다.

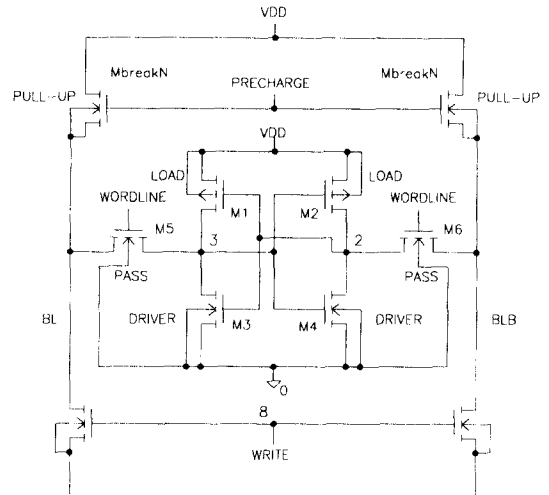


그림 1. 기본 메모리셀 구조
Fig. 1. Structure of Basic RAM cell.

셀을 구성하는 MOS FET의 동작은 다음과 같이 세 가지 영역^[15]으로 나눈다.

차단영역(cutoff region):

$$I_{ds} = 0, \quad V_{gs} \leq V_t \quad (1)$$

선형영역(linear region):

$$I_{ds} = \beta [(V_{gs} - V_t)V_{ds} - \frac{V_{ds}^2}{2}], \quad 0 < V_{ds} < V_{gs} - V_t \quad (2)$$

포화영역(saturation region):

$$I_{ds} = \beta \left[-\frac{(V_{gs} - V_t)^2}{2} \right], \quad 0 < V_{gs} - V_t < V_{ds} \quad (3)$$

여기에서, $\beta = \frac{\mu \epsilon}{t_{ox}} \left[\frac{W}{L} \right]$ 이고 I_{ds} 는 드레인과 소오스 사이에 흐르는 전류, V_{gs} 는 게이트와 소오스 사

이의 전압차, V_{ds} 는 드레인과 소오스 사이의 전압차이고, V_L 는 임계전압이다. β 는 MOS FET의 이득이며, 채널에서 캐리어의 유효 표면이동도인 μ , 게이트 절연체의 두께 t_{ox} 와 채널 길이인 L 과 반비례 관계를 이룬다.

앞에서 수식으로 나타낸 MOS FET의 동작 상태 영역을 그림 2에 도시하였다. V_{ds} 와 V_{gs} 의 변화에 따라 드레인과 소오스간에 흐르는 전류 I_{ds} 를 나타내 주고 있다. 여기에서 모든 값들이 절대치의 형태로 표현되어 있기 때문에 게이트와 소스간 전압인 V_{gs} 가 문턱 전압인 V_L 보다 작아서 I_{ds} 가 흐르지 못하게 되는 차단영역은 표시되지 않고 있다.

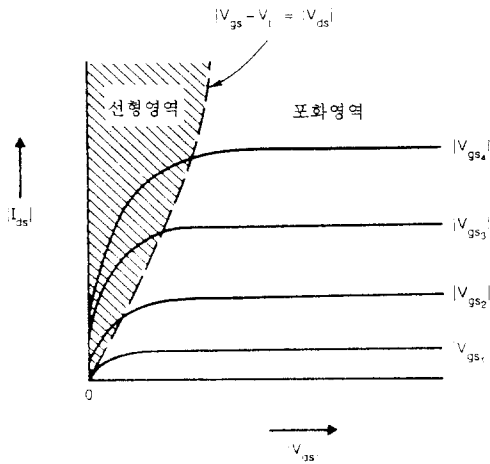


그림 2. MOS FET의 동작 상태 영역^[15]
Fig. 2. Behavioral regions of MOS FET.

메모리 셀을 디자인할 때 고려해야 할 사항은 데이터를 읽는 동안 셀에 저장된 내용이 변화되지 않도록 해야 하고, 읽기/쓰기 동작이 빨라야 하며 셀 면적이 최소화되어야 한다는 것이다^[15].

또한, 셀의 저항노드의 전압은 정적(static)일 경우(저장 할 경우) 셀의 부하(load) Tr과 구동(driver) Tr의 비율로서 결정되고, 동적(dynamic)일 경우(읽고 쓸 경우)에는 비트라인(BL) 상의 풀업(pull-up) Tr의 크기, 비트라인의 커패시턴스 그리고 통과 Tr의 전류에 영향을 받는다.

읽기동작 :

초기 상태에 비트라인과 연결된 노드가 논리 $V_L(0)$ 저장하고 있다고 가정하자. 데이터를 읽기위해 BL과 BLB가 $V_H(1)$ 로 충전(precharge)되어 있고 워드라인

이 5V가 될때 BL과 BLB에 연결된 풀업 Tr은 선형 영역으로 동작한다. 그리고 통과 Tr은 선형영역에서 동작하고 BLB와 연결된 노드가 V_H 를 저장하고 있으므로 부하 Tr M1과 구동 Tr M3은 차단영역과 선형영역에서, 그리고 부하 Tr M2와 구동 Tr M4는 선형영역과 차단영역에서 각각 동작된다. 따라서 BL은 0V에 가까운 전압으로 방전되고 센스 증폭기(sense amp)는 BL과 BLB의 차이로 출력 전압 레벨로 변환시켜 준다^[15].

쓰기 동작 :

초기 상태에 BL과 연결된 노드가 논리 V_H 를 BLB에 연결된 노드는 V_L 를 저장하고 있다고 가정하자. 쓰기동작 동안 두 노드에 전압과 반대값을 쓰기 위해 BL에 V_L 를 BLB에 V_H 를 인가시킨다. 이때 통과 Tr은 선형영역에서 동작하고, M2와 M3은 온-상태가 되고 M1과 M4는 오프-상태가 된다^[15].

저장 동작 :

두개의 인버터가 교차되어 결합된 구조이므로 쓰기 동작시 두 노드에 입력된 반대값에 의해 래치(latch)를 이루게된다. 즉, BL에 연결된 노드에 V_H 를 쓰고 BLB에 연결된 노드에 V_L 를 인가한 후, 통과 Tr을 오프시키면 V_H 에 의해 M3은 차단영역, M4는 선형영역으로 동작하고 V_L 에 의해 M1은 선형영역, M2는 차단영역에서 동작되어 V_L 과 V_H 를 유지하게 된다^[15].

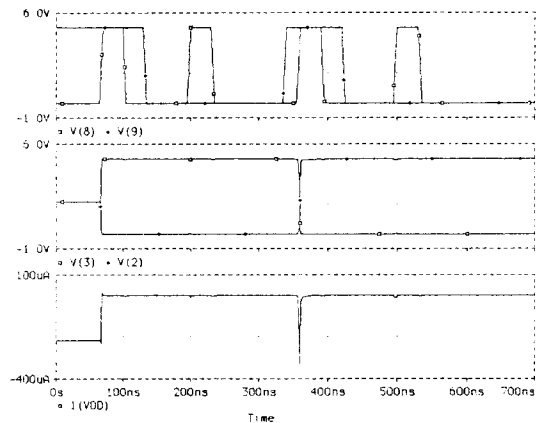


그림 3. 정상적인 메모리 셀의 동작
Fig. 3. Simulation waveform of fault- & defect-free memory.

기본 셀의 동작에 대한 시뮬레이션 파형을 그림 3에 보였다. 메모리를 구성하는 PMOS와 NMOS의 공정

파라미터 값은 ORBIT사의 1.2 μ m double poly double metal n-well 공정을 채택하여 레벨 2에서 SPICE 시뮬레이션을 실행하였다.

동작상태에서 70~360ns 구간은 V_H 를 360~700ns 동안에는 V_L 을 쓰고 읽고 저장하는 동작을 수행한다. V(8)이 V_H 일때 데이터를 쓰고 워드라인 신호인 V(9)가 V_H 일때에는 통과 T_r 를 동작시킨다. V(2)는 BLB와 연결된 노드의 전압을 의미하고 V(3)은 BL과 연결된 노드의 전압을 뜻하며 I(VDD)는 전원 VDD에 흐르는 전류값을 나타낸다. 360ns에서는 데이터 값이 1 \rightarrow 0으로 변화되는 과도상태(transient state)로서, 300 μ A이상의 전류가 흐르는 이유는 PMOS와 NMOS가 동시에 포화영역에서 동작하게 되어 VDD와 GND 사이에 전류경로를 발생시키기 때문이다.

III. 저항성 단락과 개방에 의한 메모리의 동작 분석

단락은 IC 제조공정, 회로의 실제적인 위치와 동작 조건 등의 여러가지 요인들로 인하여 발생할 수 있다¹³¹. 결점에 의한 회로 동작을 정확하게 판단하기 위해서는 설계와 공정에서 일어날 수 있는 모든 결점을 고려한 후, 결점들이 회로에 끼치는 영향에 따라 그 동작을 분석해야 한다. 그리고 테스트를 용이하도록 하기 위해 회로 동작에 같은 영향을 주는 결점들을 선별하여 상위 레벨인 로직레벨로 포함시켜야 할 것이다¹³². 그러나 모든 결점을 찾아야 하는 문제점과 임의의 결점은 회로의 설계 방식과 공정 방식에 너무 의존적이므로 레이아웃 레벨이 아닌 회로 레벨에서 발생하는 단락과 개방결점을 고려하였다. 특히, 본 연구에서는 CMOS FET의 게이트-드레인, 게이트-소오스, 드레인-소오스간의 단락을 고려하였다. 물론 SRAM에서 발생 가능한 모든 단락을 가정하지는 않았지만 생산 라인과 사용시에 가장 흔히 발생하는 단락형태¹³¹이다.

게이트-드레인, 게이트-소오스간의 단락은 전기적 과도스트레스, 정전기, 시간에 따른 옥사이드 파괴 등의 원인으로 발생하는 게이트 옥사이드 단락(gate oxide short)에 영향¹³¹을 받는다. 드레인-소오스간의 단락은 T_r 의 게이트에 폴리(polysilicon)의 결핍과 T_r 에서 폴리 양쪽 끝에서의 여분의 확산(diffusion) 등으로 발생¹³¹ 된다.

본 연구에서 고려한 저항성 단락 결점이 그림 4에 도시되었다.

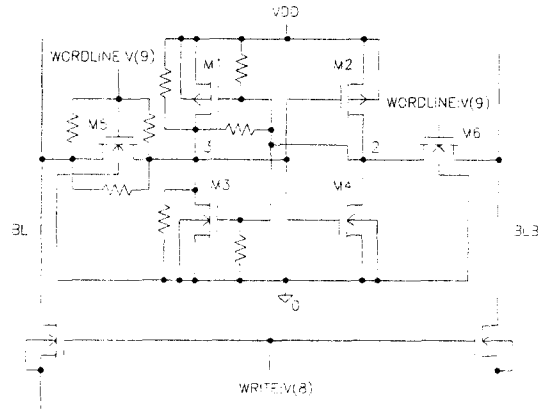


그림 4. 메모리의 저항성 단락
Fig. 4. Resistive shorts within memory.

BL에 연결된 노드의 데이터를 조절하기 위한 M1, M3, M5는 BLB와 연결된 노드를 위한 M2, M4, M6과 상보(complementary)관계를 갖고 있으므로 M1, M3, M5에서의 발생하는 결점을 중심으로 논의하겠다. 두 노드간에 저항 성분이 존재할 때 메모리 셀의 동작은 소신호 등가회로¹³⁵를 사용하여 해석할 수 있지만 저항이 부가되므로 동작에 대한 미분방정식의 해법이 복잡해지고 KCL과 KVL을 적용시킬 수 있는 단순한 폐쇄회로망을 얻을 수 없게된다. 즉, 게이트와 소오스간에 저항이 있을 경우 V_{gs} 값에 대한 결정이 어려워 출력 컨덕턴스 g_{ds} 를 구하기 힘들게 된다.

따라서 각 단락결점에 저항을 변화시켰을 때(100 Ω ~100k Ω) 메모리의 동작을 확인하기 위해 SPICE를 사용하여 시뮬레이션을 하였다. 그리고 저항성 단락에 의한 메모리의 동작이 기존에 연구된 기능적 고장의 형태를 갖게 될 경우에는 그 고장 모델로 포함시켰다.

메모리의 기능적 고장 모델에 대한 정의를 간략하게 살펴 보면 다음과 같다.

- SAF : 메모리 셀 또는 선이 어떠한 논리 값에 고착되어 항상 0(SA0) 혹은 1(SA1)으로 머물러 있는 상태로 메모리의 동작 중에 그 값이 변하지 않는 고장.
- TF : 메모리 셀 또는 선이 0에서 1로 천이하지 못하거나(상향 천이 고장) 1에서 0으로 천이하지 못하는(하향 천이 고장)고장.

- CF : 한 셀이 0인 셀에 1을 쓰거나 1인 셀에 0을 쓰는 천이 쓰기 동작을 할 때 결합된 두 번째 셀의 내용이 변하거나 임의의 한 셀이 정의된 어떠한 한 상태를 지니고 있을 때 다른 셀의 내용이 한 상태로 변화되는 고장.
- PSF : 주변 셀들이 임의의 데이터 패턴을 형성하고 있을 때 한 셀의 내용이 변화되거나 천이되지 못하도록 하는 고장 모델.

1. 부하 Tr M1에서의 게이트-소오스간의 저항성 결함

저항값이 작을 경우, 노드 2와 3에 저장하려고 하는 값에 관계없이 노드 2와 VDD가 연결되어 노드 2가 V_H 를 갖게 되고 이 값은 M3을 온 상태로 만들어서 노드 3이 V_L 상태가 된다.

즉, 노드 2, 3에 V_H , V_L 을 저장시킬때에는 정상 동작을 하지만 V_L 과 V_H 를 저장시키기 위해 BL에 V_H 를 BLB에 V_L 을 인가하고 워드라인을 선택하면, 노드 2는 V_H 가 되고 노드 3은 V_L 이 되어 비정상적인 동작을 한다. 이것은 고장모델에서 노드3에서 SA0이 발생하였다고 분류할 수 있다. 이때, 쓰기동작에서 전류의 흐름을 살펴보면, V_{DD} 에서 노드 2를 거쳐서 통과 Tr M6으로 $-370\mu A$ 이하의 많은 전류가 흐르게 된다.

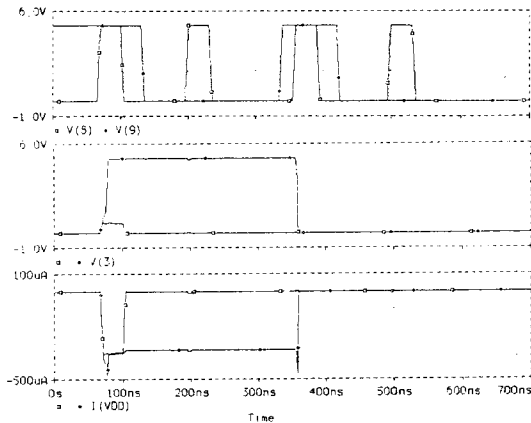


그림 5. M1의 게이트-소오스간 저항성 단락에 의한 메모리의 동작

Fig. 5. Simulation waveform of memory with resistive short between gate and source at M1.

그러나 저항 값이 커지게 되면($R > 12k\Omega$), VDD와 노드 2 사이에 전압차가 발생되어 그림 5와 같이 기능적으로 정상적인 동작을 하게 된다. 이때 노드 3에 V_H

를 노드 2에 V_L 을 쓰기, 읽기, 저장 동작 동안 VDD에서 저항을 통하여 구동 Tr M4를 거쳐 전류가 흐를 수 있는 경로를 형성하게 되어 수십 μA 의 전류가 흐른다. 이 셀은 정상동작을 하지만 과도전류에 의해 전력소모가 많아지고, 과도 스트레스의 영향으로 시간이 지남에 따라 논리 고장에 이르게 된다. 그림 5에서 □, ◇는 저항값이 각각 $5k\Omega$, $13k\Omega$ 임을 뜻한다.

2. 부하 Tr M1에서의 게이트-드레인간의 저항성 결함

노드 2와 3사이에서 단락이 발생된 경우이므로 M2, M3, M4에서의 게이트-드레인간의 저항성 단락과 동일하게 된다. 작은 저항값이 게이트와 드레인간에 존재하면, V_L 도 V_H 도 아닌 상태가 노드 2와 3에 같이 걸리게 된다.

이때 VDD에 흐르는 전류를 살펴보면 M1, M2, M3, M4를 통하여 전류경로가 형성된다. 게이트와 드레인 사이에 저항 값이 커지면($R > 12k\Omega$), 정상 동작을 하게 되지만 저항을 통하여 M1에서 M4로 M2에서 M3으로 수십 μA 의 전류가 흐르게 된다.

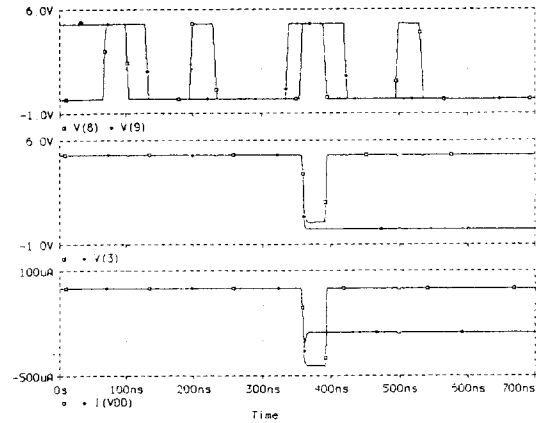


그림 6. M3의 게이트-소오스간 저항성 단락에 의한 메모리의 동작

Fig. 6. Simulation waveform of memory with resistive short between gate and source at M3.

3. 부하 Tr M1에서의 드레인-소오스 저항성 결함

저항이 작을 때에는 VDD와 노드 3이 연결된 형태이므로 인가되는 전압에 관계없이 V_H 를 갖게 된다. 즉, SA1 형태의 고장모델에 포함시킬 수 있다. 저항 값이 커지면($R > 12k\Omega$), 셀은 정상 동작을 하게 되지만 노드 2에 V_H 를 노드 3에 V_L 에 대한 셀 동작시 R을 통

하여 M3으로 전류 경로가 형성되어 많은 양의 전류가 흐르게 된다.

4. 구동 Tr M3에서의 게이트-소오스간의 저항성 결합

저항이 작을 경우에는 노드 2와 GND가 연결되어 M1, M4가 온-상태가 되고, M2, M3은 오프-상태가 되어 인가되는 전압에 관계없이 V_H 를 갖게되어 SA1 고장모델로 구분된다.

그러나 큰 저항 값이 존재할 경우 셀의 기본 동작에는 문제가 없지만 그림 6의 시뮬레이션 파형과 같이 노드 3에 V_L 을, 노드 2에 V_H 를 저장할 때 많은 양의 전류가 흐르게 된다. 이는 M2와 R사이에 VDD와 GND가 연결되어 경로를 형성하였기 때문이다. 그림 6에서 □ ◇는 저항값이 각각 5k Ω , 15k Ω 임을 뜻한다.

5. 통과 Tr M3에서의 드레인-소오스간의 저항성 결합

GND와 노드 3이 직접 연결된 형태로서 저항이 작을경우 노드 3은 V_L 을 갖게 되고 M1, M4는 오프-상태이고 M2, M3은 온-상태가 되어 노드 2는 V_H 를 갖게 된다.따라서 SA0 고장모델로 표현될 수 있다. 노드 2, 3에 V_L , V_H 를 인가하고 저항이 클 경우 M1과 R을 통하여 전류경로를 형성하게 되어 수백 μA 의 전류가 흐르게 된다.

6. 통과 Tr M5에서 게이트-소오스간의 저항성 결합

Hard short 즉, 저항이 적은 경우 Node 3에 V_L 을 쓰고자 할 때 BL이 워드라인과 연결되어 BL의 0이 V_H 로 바뀌게 되어 SA1 고장이 발생된다. 그러나 mild short 즉, 저항값이 큰 경우에는 논리적으로 정상 동작을 하게되고 VDD에서도 전류의 흐름을 찾아볼 수 없다. 같은 BL과 BLB에 연결된 셀중 어느 하나가 이 종류의 결합이 발생되었을 때 다른 셀에 끼치는 영향을 살펴보아야 할 것이다. Hard short의 경우에는 고장셀의 워드라인의 전압은 V_L 이므로 BL의 전위는 V_L 로 낮아져 다른 셀이 V_H 를 읽으쓰기 어렵게 영향을 끼친다.

7. 통과 Tr M5에서 게이트-드레인간의 저항성 결합

저항값이 작을 때 워드라인이 셀을 선택하기 위해 V_H 가 되어 노드 3도 V_H 로 변하여 데이터 값을 V_H 로 읽게된다. 워드라인이 V_L 이되면 많은 양의 전류가 M1

과 저항 R을 통하여 흐르게 된다. 또한 mild short일 때에는 V_H 를 저장하였을 때 -300 ~ -46 μA 의 전류가 M1, R을 통하여 흐르게 되어 데이터 보유 고장이 발생된다. 그림 7에 시뮬레이션 파형을 도시하였다. 여기에서 □ ◇는 저항값이 각각 5k Ω , 20k Ω 임을 뜻한다.

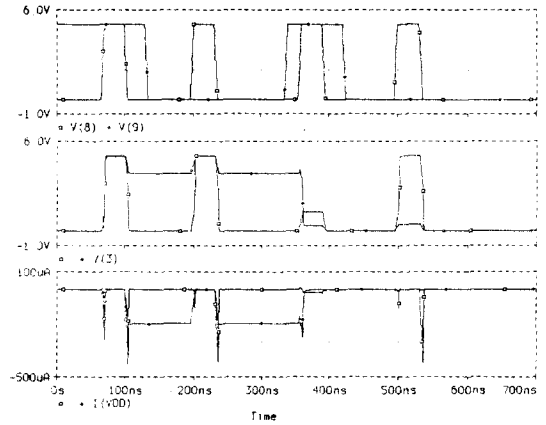


그림 7. M5의 게이트-드레인간 저항성 단락에 의한 메모리의 동작

Fig. 7. Simulation waveform of memory with resistive short between gate and drain at M5.

8. 통과 Tr M5에서 드레인-소오스간의 저항성 결합

BL이 노드 3과 직접 연결된 형태로서, hard short인 경우 노드 3은 비트라인과 직접 연결된 형태이므로 읽기 동작전에 같은 비트라인과 연결된 셀에 쓰여진 값에 따라 셀값이 변화되어 CF 형태의 고장을 발생시킨다. Mild short인 경우 V_H 저장시 BL에 V_L 값이 인가될 때 M1, R을 통해 전류가 흐르게 된다.

래치 형태를 이루는 4개의 Tr에서 BL과 연결된 2개의 Tr과 Tr의 저항성 결합에 따른 셀 동작과 전류 흐름에 대한 영향을 표1에 정리하였다. 표1에서 hard short와 mild short를 구분하는 저항치는 메모리에 적용된 설계 및 공정 방식에 따라 달라질 수 있다.

9. 개방 결점 분석

Tr에서 개방이 발생되면 차단영역에서 동작하게 되어 오동작을 발생시킨다^[16].

예를들면, 부하 Tr M1의 드레인과 소오스단에서 개방이 발생되면 Tr이 없는 경우와 같게 된다.

따라서 부하 Tr이 없게 되므로 데이터 보유 고장이

발생된다. 만약, 게이트단이 개방되면 게이트가 부유(floating)되는 상태와 같게 되어 항상 동작하게 되어 V_H 에 대한 동작은 정상이 되지만 V_L 에 대한 동작은 M1과 구동 Tr M3이 동시에 온 상태가 되어 VDD와 GND사이에 전류가 형성되어 그림 8과 같이 많은 양의 전류가 흐르게 된다.

또한 통과 Tr M5의 드레인과 소오스단에 개방이 발생되면 이 셀에는 접근(access)하지 못하게 된다. 즉, 셀을 이루는 MOS FET에서 개방이 발생되면 회로 전체에 대 혼란을 가져오는 동작을 하게 된다.

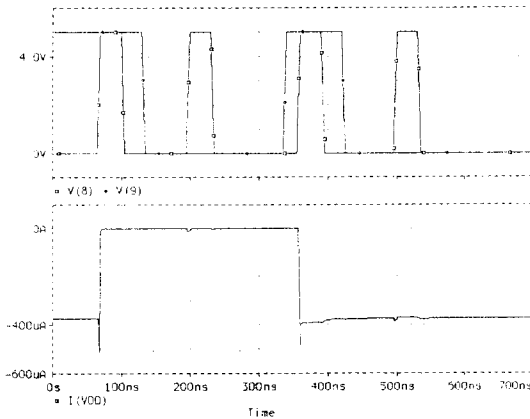


그림 8. M1 게이트 개방에 의한 메모리의 동작
Fig. 8. Simulation waveform of memory with open at gate of M1.

IV. 저항성 단락과 개방을 검출하기 위한 테스트 알고리즘

III장에서 저항성 단락과 개방에 의한 SRAM 셀 동작을 살펴보았다. 각각의 동작에 따라 메모리의 기능성을 높이기 위한 기능 테스트에 대한 고장모델과 알고리즘을 정의하고, 이 테스트로 검출할 수 없는 결함을 찾기 위한 새로운 테스트가 요구되어진다.

표 1을 살펴보면 mild short가 발생했을 경우 통과 Tr의 게이트-소오스 단락을 제외한 모든 경우 V_{DD} 에서 측정된 전류값이 정상 메모리셀의 수십 nA이하인 경우에 비해 $10^3 \sim 10^4$ 정도 크다는 사실을 알 수 있다.

이것은 전류 테스트인 IDDQ 테스트를 사용하여 mild short 결함을 검출할 수 있음을 시사한다. 특히, 기능 테스트와 IDDQ 테스트를 실행할 때 테스트 시간

에 소요되는 시간을 줄임으로서 효율을 극대화 시키기 위해 두 테스트에 동시에 적용할 수 있는 테스트 알고리즘을 고려해야 할 것이다.

표 1. 각 MOS FET의 단락 종류와 저항성에 따른 전압과 VDD에서의 전류 IDDQ

Table 1. Voltage and IDDQ according to the short types and various resistances within each MOS FET.

MOS FET	Short type	Symptom			
		Hard short		Mild short	
		노드 3의 상태*	IDDQ†	노드 3의 상태*	IDDQ†
M1	저항값	$(R < 12k\Omega)$		$(12k\Omega < R < 100k\Omega)$	
	G-S	SA0	"1" 쓰기시 $-370\mu A$ 이하	정상동작	"1" 동작에서 $-330 \sim -50\mu A$
	G-D	X-state‡	동작 전체에서 $-230\mu A$ 이하	정상동작	동작 전체에서 $-230 \sim -46\mu A$
	D-S	SA1	"0" 쓰기시 $-370\mu A$ 이하	정상동작	"0" 동작에서 $-330 \sim -50\mu A$
M3	저항값	$(R < 9k\Omega)$		$(9k\Omega < R < 100k\Omega)$	
	G-S	SA1	"0" 쓰기시 $-386\mu A$ 이하	정상동작	"0" 동작에서 $-367 \sim -47\mu A$
	G-D	X-state‡	동작 전체에서 $-260\mu A$ 이하	정상동작	동작 전체에서 $-230 \sim -46\mu A$
	D-S	SA0	"1" 쓰기시 $-386\mu A$ 이하	정상동작	"1" 동작에서 $-367 \sim -47\mu A$
M5	저항값	$(R < 12k\Omega)$		$(12k\Omega < R < 100k\Omega)$	
	G-S	SA1	"0" 쓰기시 $-210\mu A$ 이하	정상동작	정상동작
	G-D	SA1	$(1k\Omega < R < 11k\Omega)$ "1" 저장시 $-345\mu A$ 이하	정상동작	"1" 저장시 $-300 \sim -46\mu A$ (데이터 보유 문제발생)
	D-S	CF	"1" 저장시 BL에 "0"이 인가 될 때 전류 흐름	정상동작	"1" 저장시 BL에 "0"이 인가될 때 전류 흐름

* 읽기 동작시의 상태, † 과도상태가 아닌 정상상태, ‡ VL도 VHE 아닌상태

기능 테스트의 경우에는 메모리 어레이에 단일 고장이 발생한 경우만을 가정하였다. 즉, 임의의 한 셀에서 발생하는 고장은 앞에서 정의한 고장 모델 중에서 어느 한가지 고장 형태만을 갖게 된다고 가정하는 것이다. 만약 한 셀에 여러가지의 고장이 발생할 경우에는 고장에 대한 masking 문제가 발생할 수 있으므로 이를 테스트하기 위한 알고리즘은 매우 복잡하게 된다.

표 1로부터 기능 고장모델로서 SAF와 CF를 선택해

야 한다는 것을 알 수 있다. 그리고, 데이터 보유 테스트가 필요하고 어떠한 셀에 V_L 과 V_H 를 읽기/쓰기 그리고 저장동작시 모든 범위에 걸쳐 과도전류(excessive current)를 측정하는 테스트가 요구된다. 따라서, SAF, TF, CF, 데이터 보유고장, 디코더 고장 그리고 과도 IDDQ를 검출하기 위해 그림 9와 같은 $8N+n$ 의 길이를 갖는 테스트 알고리즘이 요구된다.

```

/* Step 1 */
For i = 0 to (N-1) ; Do
  Write(1)
END
/* Step 2 */
For i = 0 to (N-1) ; Do
  Read(1)
  Write(0)
END
/* Data retention fault test for '0', typically
100ms */
/* Step 3 */
For i = 0 to (N-1) ; Do
  Read(0)
  Write(1)
END
/* Data retention fault test for '1', typically
100ms */
/* Step 4 */
For i = (N-1) to 0 ; Do
  Read(1)
  Write(0)
END
/* Step 5 */
For i = (N-1) to 0 ; Do
  Read(0)
END
/* Step 6 */
Write (1) to MSB row cells
END

```

그림 9. $8N+n$ Marching 테스트 알고리즘
Fig. 9. $8N+n$ Marching test algorithm.

제안한 테스트 알고리즘의 메모리 고장 모델에 대한 검출 동작을 각 step 별로 나누어 살펴보면 다음과 같다.

먼저 step 1에서는 메모리를 구성하고 있는 메모리 셀 어레이(array)를 초기화시키는 동작을 수행한다. 즉, 데이터 값을 1로 설정해 놓는다.

Step 2에서는 메모리내의 모든 셀에 오름차순으로 접근하여 초기화된 데이터 값 1을 읽고 반대 값 0을 쓰는 동작을 수행한다. 여기에서 임의의 셀에 SA0이 발생되었다면 그 셀로부터 읽어온 데이터 값이 0이기 때문에 기대값 1과 다르므로 SA0을 검출할 수 있다.

그리고 하위 셀(메모리내에서 어드레스가 낮은 셀) i 의 0 또는 1 값에 의해 상위 셀(메모리내에서 어드레스가 높은 셀) j 의 값이 0으로 변화를 일으키는 고장과 상위 셀 j 의 데이터 값 1에 의해 하위 셀 i 의 데이터 값을 0으로 변화시키는 고장을 검출할 수 있다.

그리고 100ms 정도 메모리에 아무런 동작을 실행시키지 않는 테스트 절차를 수행하여 표 1의 M5에서의 게이트와 드레인 사이에 mild short가 발생하였을 때 나타나는 데이터(1) 보유 고장으로 알 수 있는 바와 같이 M5의 대칭 Tr인 M6의 G-D 사이에 mild short이 발생되었을 때의 데이터(0) 보유 고장을 여기서 시킬 수 있다. 데이터 보유 고장은 임의의 데이터 값을 메모리 셀이 저장하고 있을 때 SRAM의 경우에는 전원을 중단시키지 않는한 그 값을 오랜 시간 동안 지속적으로 간직하고 있어야 하는데 결함에 의해 그 값을 간직하지 못하는 고장 모델이다.

Step 3은 메모리 어드레스의 오름차순으로 셀에 접근하여 셀 값 0을 읽고 1 값을 쓰는 테스트 절차로서 앞에서 설명한 데이터 보유 고장 테스트를 위한 절차로부터 발생된 고장을 읽기 동작에서 검출할 수 있다. 즉 임의의 메모리 셀에 데이터 보유 고장이 발생되어 기대값 0을 읽지 못하게되므로 그 고장을 검출하게 된다. 또한 임의의 셀에 SA1이 발생되었을 경우 1 값을 읽기 때문에 기대값 0과 다르므로 SA1을 검출할 수 있다. 그리고 하위 셀 i 의 0 또는 1 값에 의해 상위 셀 j 의 값이 1로 변화를 일으키는 고장과 상위 셀 j 의 데이터 값 0에 의해 하위 셀 i 의 데이터 값이 1로 변화되는 고장을 검출할 수 있다. 또한 메모리 셀에 1 값을 쓸 수 있지만 1에서 0으로 천이시킬 수 없는 하향 천이 고장을 검출할 수 있다.

그리고 현재 모든 메모리 셀에 저장된 데이터 1 값에 대한 메모리 셀의 보유 고장 테스트를 수행하기 위해 앞에서 설명했던 100ms 정도의 동작 중지 시간을 적용시킨다. 따라서 M5에서의 게이트와 드레인 사이에 mild short가 발생하였을 때 나타나는 데이터(1) 보유 고장을 여기서 시킬 수 있다.

Step 4는 메모리 어드레스의 내림 차순으로 셀에 접근하여 셀 값 1을 읽고 0 값을 쓰게 된다. 만일 데이터 (1) 보유 고장이 발생되었을 경우에는 기대 값 1을 읽을 수 없으므로 고장을 검출할 수 있다. 또한 상위 셀 j 의 0 또는 1 값에 의해 하위 셀의 값이 0으로 변화를 일으키는 고장과 하위 셀 i 의 데이터 값 1에 의해 상위

셀 j 의 데이터 값을 0으로 변화시키는 고장을 검출할 수 있다. 그리고 데이터 값을 0에서 1로 천이시킬 수 없는 상황 천이 고장을 검출할 수 있다. 여기에서도 SAF를 검출할 수 있으나 앞의 테스트 절차에서 찾아내기 때문에 고려하지 않아도 된다.

Step 5는 상위 셀 j 의 0 값에 의해 하위 셀 i 의 값이 1로 변화되는 고장과 하위 셀 i 의 데이터 값 0에 의해서 상위 셀 j 의 데이터 값이 1로 변화를 일으키는 고장을 검출할 수 있다.

Step 1~5로서 기능 테스트로는 검출할 수 없는 결함에 의한 과도 IDDQ를 야기시키기 위해 메모리 셀에 0과 1 값을 적용시킬 수 있다. 또한 Step 6은 메모리 배열에서 최상위 행에 있는 셀에 같은 BL과 연결된 셀들과의 테스트 벡터의 조합 중에서 지금까지 경험하지 못했던 경우를 적용시키기 위해 1 값을 인가해 줌으로써 같은 BL에 연결된 셀에 영향을 주거나 혹은 받는지 조사할 수 있다.

즉, 최상위 메모리 배열에 write(1)을 수행하는 동작은 통과 Tr M5와 M6에서 드레인-소오스간에 mild 단락이 발생했을 때 IDDQ를 측정하기 위한 것이다. M5 경우 node 3에 1이 저장되었을 때, 같은 BL에 연결된 셀들중 어느 한셀에 0을 쓰거나 읽을 경우, 그 영향에 의해 과도전류가 흐르게 된다. M6의 경우에는 node 2에 1이 저장되었을 때, BLB에 0이 인가되면 전류가 M2를 통해 M6으로 흘러 나가게 된다. 따라서 이러한 결함을 검출하기 위해 동일한 BL에 연결된 각각의 모든 셀에 테스트 벡터를 인가시켜 주어야 한다.

제안한 테스트 알고리즘의 고장 검출율은 앞에서 정의한 모든 SAF, TF, 2-coupled fault 그리고 같은 BL에 연결된 셀들간의 CF 그리고 데이터(0 혹은 1) 보유 고장을 검출할 수 있다. 또한 mild short에 의한 IDDQ 테스트를 수행할 수 있음을 알 수 있다.

그리고 메모리를 테스트하기 위한 시간을 살펴보면 제안한 알고리즘의 테스트 길이가 $8N+n$ 이고 또한 데이터 보유 고장 테스트를 위해 100ms가 두 번 필요하게 되므로 테스트시 인가되는 클럭의 주기가 100ns일 때 1Mbit SRAM의 경우에 1.0001초가 소요된다. 또한 4Mbit, 16Mbit의 경우에도 일반적으로 1Mbit 메모리 블록으로 나누어 메모리를 구성하므로 분할된 메모리 블록에 동시에 접근하여 테스트하기 때문에 테스트 시간의 증가는 없게 된다.

제안한 테스트 알고리즘은 기능 테스트와 IDDQ 테

스트를 동시에 수행할 수 있으며 기능 테스트에서는 메모리 셀에 쓰여 있는 값을 읽어서 기대값과 비교하여 고장발생 유·무를 판단한다. 또한, 메모리에서 과도상태가 발생하는 시점은 데이터 값이 0 → 1 또는 1 → 0으로 쓰여질 때이다. 그러므로 IDDQ 테스트는 과도상태가 아닌 정상상태의 읽기, 쓰기, 저장 동작시에 결함에 의한 과도전류를 검출해야 한다. 또한 검출된 과도전류는 전압의 형태로 바뀌어 표현되어야 할 것이다.

V. 결 론

게이트 옥사이드 단락 혹은 반점 결점에 의해 저항성 단락결함이 메모리셀을 이루고 있는 CMOS FET의 게이트-소오스, 게이트-드레인, 드레인-소오스 사이에 발생하였을 때 저항의 크기에 따른 메모리셀의 동작 상태를 논리적 동작과 VDD에서 흐르는 정전류(IDDQ)의 크기를 고찰하였다.

저항이 작은 경우에는 논리적 오동작이 발생되어 기존의 고장모델인 SAF로서 표현할 수 있으나 저항이 큰 경우에는 기본적 동작에는 이상이 없고 수백~수십 μA 정도의 많은 IDDQ 흐름을 시뮬레이션을 통하여 알아보았다. 또한, FET의 각 단에서 개방이 발생하였을 때에도 조건에 따라 SAF, CF, 데이터 보유 고장, 많은 양의 IDDQ가 발생함을 확인하였다.

저항성 단락과 개방에 의한 메모리의 동작을 고려하여 기능성과 신뢰성을 높이기 위해 기능 테스트와 IDDQ 테스트에 동시에 적용할 수 있도록 본 연구에서 고려한 고장과 결함을 검출하고 보다 현실적인 테스트를 위해 IFA 방식을 사용했을 때 유추된 기존의 고장 모델까지 검출할 수 있는 $8N+n$ 알고리즘을 제안하였다. 이 알고리즘은 $O(N)$ 의 복잡도를 갖고 기존의 고장 모델과 제안한 결함을 검출할 수 있으므로 테스트 시간과 품질의 효율성을 극대화시킬 수 있다.

앞으로 실제 메모리에 이 알고리즘을 이용하기 위해서 테스트 벡터에 대한 최적의 적용속도 문제, 그리고 과도전류와 IDDQ의 적절한 구분을 위해 메모리의 분할 문제를 해결해야 할 것이다.

참 고 문 헌

[1] 전병실 외, "메모리 테스트를 위한 BIST 기술,"

- 전자공학회지, Vol. 22, No. 12, pp. 1442-1454, 1995
- [2] R. Rajsuman, *Digital Hardware Testing: Transistor-Level Fault Modeling and Testing*, Artech house, 1992.
- [3] R. Rajsuman, *Iddq Testing for CMOS VLSI*, Artech house, 1994.
- [4] Y. You, "Testing of memories with tolerable defects," *Int'l Conf. on Elect., Info. and Comm.*, pp. 214-217, Yanji, China, Aug. 23, 1991.
- [5] R. Nair, S.M. Thatle, and J.A. Abraham, "Efficient Algorithms for Testing Semiconductor Random-Access Memory," *IEEE Trans. Comput.*, Vol. C-27, pp. 572-576, June 1978.
- [6] J. Knaizuk, Jr. and C.R.P. Hartmann, "An Optimal Algorithm for Testing Stuck-at Faults in Random Access Memories," *IEEE Trans. Comput.*, Vol. C-26, pp. 1141-1144, Nov. 1977.
- [7] V.P. Srini, "API tests for RAM chips," *IEEE Trans. Comput.*, Vol. 10, pp. 32-36, July 1977.
- [8] D.S. Suk and S.M. Reddy, "Test procedures for a class of pattern-sensitive faults in semiconductor random-access memories," *IEEE Trans Comput.*, Vol. C-29, pp. 419-429, June 1980.
- [9] J.P. Hayes, "Detection pattern-sensitive faults in random-access memories," *IEEE Trans. Comput.*, Vol. C-24, pp. 150-157, Feb. 1975.
- [10] S.C. Seth and K. Narayanswamy, "A graph model for pattern-sensitive faults in random-access memories," *IEEE Trans. Comput.*, Vol. C-30, pp. 973-977, Dec. 1981.
- [11] K.K. Saluja, K. Kinoshita, "Test Pattern Generation for API Faults in RAM," *IEEE Tran. Comput.*, Vol. C-34, No. 3, pp. 284-287, March 1985.
- [12] R. Dekker et al., "Fault Modeling and Test Algorithm Development for SRAM," *Proc. of Int. Test Conf.*, pp. 343-352, 1988.
- [13] H. Hao and E.J. McCluskey, "Resistive Shorts within CMOS Gate," *Proc. of Int. Test Conf.*, pp. 292-301, 1991.
- [14] R. Meershoek et al., "Functional and IDDQ Testing on a Static RAM," *Proc. of Int. Test Conf.*, pp. 929-937, 1990.
- [15] Neil H. E. Weste and Kamran Eshraghian, *Principles of CMOS VLSI Design A systems perspective 2nd Ed.*, Addison-wesley, 1992.
- [16] C. Kuo et al., "Soft-Defect Detection(SDD) Technique for a High-Reliability CMOS SRAM," *IEEE Journal of Solid-State Circuits*, Vol. 25, No. 1, pp. 61-66, Feb. 1990.

 저 자 소 개

金大 翊(正會員) 第 33卷 B編 第 1號 參照
 현재 전북대학교 대학원 전자공학 박사과정

裴 晟 桓(正會員) 전자공학회지 第 22卷 第 12號 參照
 현재 전북대학교 대학원 전자공학 박사과정

李 相 泰(正會員) 第 33卷 B編 第 1號 參照
 현재 전북대학교 대학원 전자공학 박사과정

李 昌 基(正會員) 전자공학회지 第 22卷 第 12號 參照
 현재 서남대학교 전산정보학과 전임 강사

田 炳 實(正會員) 第 33卷 B編 第 1號 參照
 현재 전북대학교 공과대학 전자공학 과 교수