

論文96-33B-6-19

# DigiCipher 등화시스템의 하드웨어 구현방법에 관한 연구

## (A Study on the Hardware Implementation of the DigiCipher Equalization System)

蔡承秀\*, 潘聲範\*, 李基憲\*\*, 朴來弘\*\*, 金榮祥\*\*\*,  
李炳旭\*\*\*\*

(Seung Soo Chae, Sung Bum Pan, Gi Hun Lee, Rae-Hong Park, Young-Sang Kim,  
and Byung-Uk Lee)

### 요 약

본 논문에서는 pipeline 개념을 적용하여 DigiCipher 등화 시스템의 하드웨어 비용을 감소시킨 변형된 CMA와 LMS 알고리즘을 구현한다. 제안한 하드웨어 구현 방법은 부동소수점 연산을 이용한 방법에 가까운 성능을 갖는다. VHDL을 이용하여 구현한 결과를 보임으로써 제안된 구조의 효율성을 보인다.

### Abstract

In this paper, we present the modified CMA (Constant Modulus Algorithm) and LMS (Least Mean Square) algorithms for DigiCipher system with reduced hardware cost, in which the pipelined architecture is employed. They yield the performance comparable to that using floating-point operations. We show the effectiveness of the proposed architecture through the implementation results using VHDL.

### I. 서 론

디지털 방식은 전송하는 도중에 발생하는 신호의 열화가 디지털 신호의 잘못된 판정을 일으키면 화질에 심각한 영향을 줄 수 있으므로 이를 방지할 수 있는 장치가 필요하다. 등화기는 이러한 신호의 왜곡을 보상

해 주는 것으로<sup>11)</sup> 필터계수가 일정한 고정 등화시스템과 채널상태에 따라 계수가 적응적으로 변하는 적응 등화 시스템으로 나눌 수 있다. 본 논문에서는 시간에 따른 채널의 특성변화를 그때그때 보상하는 역할을 하는 적응등화 시스템을 대상으로 하여 진행된 연구결과를 밝히기 위한 것이므로 편의상 이하 언급하는 모든 등화시스템은 적응등화시스템을 나타낸다.

등화시스템은 방송이 수신되는 동안 사람이 불편함을 느끼지 못하는 사이에 실시간 처리가 되어야 하므로 ASIC (Application Specific Integrated Circuits)<sup>12)</sup>을 이용한 전용 처리기로 제작되어야 한다. 또, 송신 시스템의 경우와는 달리 가정용 수신기마다 필요하므로 가격이 싸고 작으며 대량생산이 가능해야 한다.

통신시스템에 많이 사용되는 QAM (Quadrature Amplitude Modulation) 방식은 전송효율이 매우 뛰

\* 準會員, \*\* 正會員, 西江大學校 電子工學科

(Dept. of Electronic Eng., Sogang Univ.)

\*\*\* 正會員, 大宇電子(株) 映像研究所

(Video Research Center, Daewoo Electronics, Co., Ltd.)

\*\*\*\* 正會員, 梨花女子大學校 電子工學科

(Dept. of Electronic Eng., Ewha Womans Univ.)

※ 본 연구는 대우전자(주) 영상연구소 연구비지원으로 이루어졌음.

接受日: 1994年10月29日, 수정완료일: 1996年5月23日

어난 방식으로 미국에서 제안된 완전 디지털 HDTV 방식들중 GI의 DigiCipher 방식, Sarnoff Thomson 과 Philips의 ADTV 방식, GI와 MIT의 CCDC 방식이 전송방식으로 택하고 있다.<sup>[3]</sup> 그러나 신호 자체가 복소수로 표현되므로 처리하는 데 있어 많은 부담이 따른다. 그러므로, QAM 신호를 등화하기 위한 시스템을 하드웨어로 구현하려면 알고리즘이나 구조의 변형을 통하여 하드웨어 비용을 줄이기 위한 노력이 필요하다.

본 논문은 II장에서 QAM 등화 시스템중 하나인 DigiCipher 등화 시스템을 소개하고, III장에서 적은 하드웨어와 계산지연으로 최적에 가까운 성능을 보이도록 하는 정규화 오차를 이용하여 변형한 2차원의 QAM 신호를 입력으로 하는 CMA와 LMS 알고리즘을 제안한다. IV장에서는 pipeline의 개념을 이용한 등화기 하드웨어 구조를 제안하고 V장에서 설계된 하드웨어 알고리즘의 등화 성능과 이를 합성하고 최적화한 결과를 보이고, 최종적으로 VI장에서 결론을 맺는다.

### II. DigiCipher 등화 시스템

DigiCipher 등화 시스템은 16/32 QAM에 의해 4.88 MHz로 전송된 데이터를 등화 초기에 CMA (Constant Modulus Algorithm)<sup>[4]</sup>를 이용하여 등화한 다음 LMS 알고리즘<sup>[2]</sup>에 기반을 둔 직접결정 모드로 전환하여 등화한다<sup>[5,6]</sup>. CMA는 훈련 신호가 필요없기 때문에 전송 대역폭을 줄일 수 있으며, 신호의 위상에 민감하지 않기 때문에 위상의 복원이 없이도 등화가 가능하다.<sup>[7]</sup> 그림 1(a)는 일반적인 HDTV 수신기의 블록선도이며, 그림 1(b)는 본 논문의 구현 대상인 DigiCipher 등화 시스템의 블록선도이다.

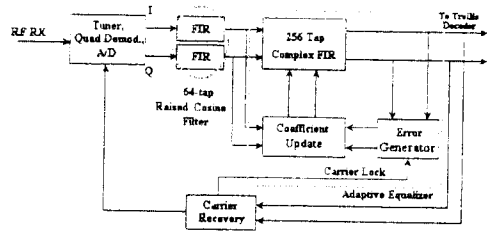
### III. 제안한 적응등화 알고리즘

어떤 알고리즘을 하드웨어로 구현할 때, 그 알고리즘의 성능외에 하드웨어 비용과 지연을 아울러 고려해야 한다. GAL (Gradient Adaptive Lattice)이나 RLS (Recursive Least Square) 알고리즘 등이 성능은 뛰어나지만 실시간 처리의 문제와 구현의 용이성 등을 고려해 실제로는 LMS 알고리즘이 많이 쓰이는 것은 그 좋은 예라 할 수 있다. 또한, 실수형 데이터를 다루는 알고리즘을 하드웨어로 매핑할 때 고정소수점으로

데이터를 표현하는 데에서 필연적인 성능저하가 생기는데 최소의 하드웨어로 필요한 성능을 보장받을 수 있도록 최적화하는 과정이 필요하다. 본 장에서는 비용과 지연을 최소화 하고 최적에 가까운 성능을 보일 수 있는 정규화 오차를 이용한 계수갱신 알고리즘을 제안한다.



(a)



(b)

그림 1. DigiCipher 등화시스템

(a) HDTV 수신기 전체의 블록선도

(b) 등화부의 블록선도

Fig. 1. DigiCipher equalization system.

(a) Block diagram of the HDTV receiver, (b) Block diagram of the equalizer.

초기등화에 사용되는 CMA 알고리즘의 계수갱신식은

$$\underline{W}^{n+1} = \underline{W}^n - \mu \underline{X}^{n*} Z^n (|Z^n|^2 - R_p) \quad (1)$$

이고, 직접결정 모드의 기반이 되는 LMS 알고리즘의 계수갱신식은

$$\underline{W}^{n+1} = \underline{W}^n + 2\mu E^n \underline{X}^{n*} \quad (2)$$

로 나타낼 수 있다.<sup>[14]</sup> 여기서  $\underline{W}$ ,  $\underline{X}$ 는 각각 필터계수와 수신신호인 복소수 벡터로  $K$ 개의 복소수로 이루어지며,  $Z$ 는 등화기 출력신호, 그리고  $E$ 는 오차신호이다. 또한, 대문자는 복소수를 의미하고 위첨자 \*는 켈레 복소수를,  $n$ 은 반복횟수를 나타낸다.  $\mu$ 는 스텝크기로 계수갱신폭을 결정하며 이 값이 작으면 수렴속도는 느려지나 수렴후 성능은 좋아진다.<sup>[11]</sup> CMA에서  $R_p$ 는 상수로 QAM 신호 입력에 따라 달라지는데, 16 QAM

이고 각 성분이 그림 2와 같이  $\pm 0.25, \pm 0.75$ 의 값을 가질 때 0.825가 된다.<sup>[4]</sup>

### 1. 정규화 오차를 이용한 계수갱신 알고리즘

식 (1)에서  $-\mu$ 를  $2\mu$ 로 바꾸고  $Z(|Z|^2 - R_p)$ 를  $E$ 로 바꾸어 표현하면 식 (1)과 식 (2)는 식 (2)로 대표될 수 있다.

적응등화 알고리즘을 고정소숫점 연산으로 구현할 때, 계수갱신폭이 필터 계수의 양자화 간격의 1/2보다 작으면 필터 계수는 갱신되지 않는다.<sup>[8]</sup> 그러므로, 이 진화된 필터 계수에 의해 최대 성능을 갖도록 다음과 같은 과정에 따라  $\mu$ 를 설정할 수 있다.

식 (2)를 실수부와 허수부로 나누어 쓰면,

$$\begin{aligned} w_{r+1} &= w_r + 2\mu(x_r e_r^n + x_i e_i^n) \\ w_{i+1} &= w_i + 2\mu(x_r e_i^n - x_i e_r^n) \end{aligned} \quad (3)$$

로 쓸 수 있다. 여기서 소문자 표기는 실수값을 의미하며, 아래첨자  $r$ 과  $i$ 는 각각 실수부와 허수부를 의미한다.

등화시 사용되는 CMA와 LMS 알고리즘 오차를 구하는 데 사용하는 식과 값의 범위가 식 (1)과 (2)와 같이 다르기 때문에 이를 하드웨어로 구현할 때 각각을 독립적인 하드웨어로 구현해야 하는데 이는 비용면에서 바람직하지 않다. 그러므로 다음과 같이 두 알고리즘의 오차 계산 식에서 각각의 특정값을 모두 1로 정규화(normalization)함으로써 두 식을 식 (3)의 하나의 식으로 통일하면 식 (3)을 구현한 하나의 하드웨어를 통해 두 가지 모두를 함께 처리함으로써 비용을 줄일 수 있다.

다시 말해, 두 등화모드에 대해 공통의 하드웨어를 사용하기 위해 수신신호  $x$ 와  $e$ 를 정규화하여 사용하면, 정규화된 2 비트의 수신신호와 오차신호는 각각 -1, 0, 1의 값을 표현하게 되고 식 (3)의 괄호안은 -2 ~ 2의 5가지 값을 갖는다. 그러므로 계수갱신이 일어나는 최소값의 절댓값은 1이 된다. 따라서 필터계수의 최소 갱신폭은  $2\mu$ 가 되고 이것이 비트수를 제한할 때 표현 가능한 최소값이 되어야 한다. 즉, 필터계수를  $B$  비트로 표현할 때  $\mu$ 가  $2^{-B}$ 이 되면 최대의 성능을 얻을 수 있다.

등화기는 임펄스성 잡음 등에 의해 심하게 손상된 입력이 들어오면 필터계수가 잘못 갱신되어 시스템이 발산할 수 있다. 이를 고려한 대표적인 방법으로는 오

차가 너무 크면 등화를 멈추는 stop-and-go 알고리즘<sup>[9]</sup>이 있다. 그러나, 이 방법은 오차를 판단하여 계수 갱신을 제어하기 위한 추가의 하드웨어가 필요하다.

정규화 오차를 이용한 알고리즘에서는 두 비트씩의 정규화된 값을 사용하므로 식 (3)에서 괄호안은 최대 2로 제한된다. 그러므로, 필터계수의 최대 갱신폭이 매 갱신 때마다 LSB의 두배로 제한되므로 수렴 속도가 떨어지는 단점은 있으나, 심하게 손상된 입력이 오랫동안 계속되지 않으면 별도의 하드웨어 없이 시스템의 발산을 막을 수 있다.

### 2. CMA 오차의 정규화

계수갱신부에서는 정규화된 수신신호와 오차신호를 이용하므로 이들을 2 비트로 정규화하는 과정이 필요하다. 수신신호는 각 신호레벨에 대해 동일한 2차원 가우스 분포를 갖는다고 할 때, 1 비트 부호와 크기를 0.5로 thresholding한 1 비트를 이용하여 2 비트로 양자화할 수 있다.

2 비트 CMA 오차는 다음과 같은 과정으로 구할 수 있다. 먼저 출력의 실수부와 허수부가 같을 때를 살펴보면, 초기등화 모드의 오차  $e$ 는 등화기출력의 실수부와 허수부가 같을 때,

$$e = z(2z^2 - R_p) \quad (4)$$

로 나타낼 수 있다. 초기등화 모드의 오차를 식 (4)를 통하여 구할 경우 하드웨어 비용과 매우 큰 지연에 따르는 문제점이 생길 수 있고, 동시에 계산되어야 하는 직접결정 모드와의 균형을 위해 다음과 같이 등화기 출력을 직접 정규화할 수 있다.

계수갱신시 갱신폭이 필터 계수의 양자화 간격의 1/2보다 커야 계수갱신이 일어나므로, 이 값을 넘는 오차를 내는 복소수 등화기출력  $Z$ 의 실수부 또는 허수부  $z$ 는 16 QAM의 경우, 식 (3)에 의해

$$\Delta w = 2\mu z(2z^2 - 0.825)(E[x_i] + E[x_i]) \geq 2^{-(B-1)} \quad (5)$$

로 구할 수 있다.  $\mu$ 는 앞에서 살펴보았듯이  $2^{-B}$ 이고 수신신호  $X$ 의 복소수 성분들 각각의 실수부와 허수부  $x_r$ 과  $x_i$ 의 기대값을 각각 0.5라 하면, 이 부등식은

$$z(2z^2 - 0.825) \geq 1 \quad (6)$$

이 되고, 부등식의 등호에 해당하는 3차 방정식은 실근이 하나이고, 나머지 2개는 허근을 갖는 특성을 보이므로, 이를 풀면

$$z \geq 0.9637 \quad (7)$$

이 되어, 절대값을 thresholding할 때 CMA 오차의 실수부와 허수부의 각 성분을 thresholding한 결과와 등화기 출력  $Z$ 의 두 성분  $z_r, z_i$ 를 직접 thresholding한 결과가 같다. 이는 등화기의 출력의 실수부와 허수부가 같지 않을 때도 비슷한 결과를 나타낸다. 이 문턱값은 실험을 통해 살펴볼 때, 0.92 - 0.98 사이에서 큰 성능의 차이를 보이지 않는다. 그러므로, 1 비트 부호와 하드웨어 구현이 용이한 0.9375 (01111<sub>2</sub>)을 경계로 thresholding한 1 비트를 이용해 두 비트 정규화 오차를 만든다.

제안한 알고리즘은 원래의 알고리즘에서 제한된 영역에 한해 갱신이 일어나는 것이므로 필연적으로 성능 저하가 일어나게 된다. 그러나, 초기등화의 결과는 직접결정 모드에서 수렴을 보장할 수 있도록 결정오차가 10%이내로 일어나도록 등화가 이루어지면 된다.<sup>[4]</sup> 그러므로, 적용 가능한 채널에 따라 최소의 비트수를 확보하여 필요한 성능을 보장받을 수 있도록 한다.

### 3. 직접결정 모드에 의한 등화

직접결정 모드에서는 최적 필터계수에 대하여 제한된 비트를 이용해 필터계수를 표현할 때 생기는 최대 양자화 오차를 기준으로 정규화 오차를 구한다.

적용필터를 고정소수점 연산으로 표현할 때,  $B$  비트로 이진화된 최적 필터계수들은 실수로 표현된 최적 필터계수와 표현가능한 최소 단위의 1/2, 즉  $2^{-B}$ 까지 차이가 날 수 있다.<sup>[8]</sup> 그러므로, 한 복소수 필터계수의 최대오차  $\Delta W_k$ 의 크기는

$$|\Delta W_k| = \sqrt{2^{-2B} + 2^{-2B}} = \sqrt{2} \times 2^{-B} \quad (8)$$

이 되고, 이에 따라 발생하는 한 탭에 해당하는 출력오차  $\Delta Z_k$ 와 전체 등화기 출력오차  $\Delta Z$ 의 최대값은 각각

$$|\Delta Z_k| = |\Delta W_k| \times E[|X|] = \sqrt{2} \times 2^{-B} \times E[|X|] \quad (9)$$

$$|\Delta Z| = \sum_{k=1}^K |\Delta Z_k| = K \times \sqrt{2} \times 2^{-B} \times E[|X|]$$

이 된다. 여기서  $K$ 는 필터의 탭수로  $2^8$ 이 되고, 수신신호의 절대값의 평균은 송신신호와 같다고 가정할 때 약 0.75가 되는데, 이는 각 신호레벨의 전력, 즉 원점으로부터의 거리를 평균낸 것이다. 그러므로, 필터계수를  $B$  비트로 표현할 때, 수렴후 출력은 각 신호레벨을 중심으로 반경이 약  $2^{-(B-8)}$ 인 원 안에서 나타나게 되며, 이 오차가 성능에 영향을 주지 않을 정도의 비트를 할

당해야 올바른 동작이 가능해진다.

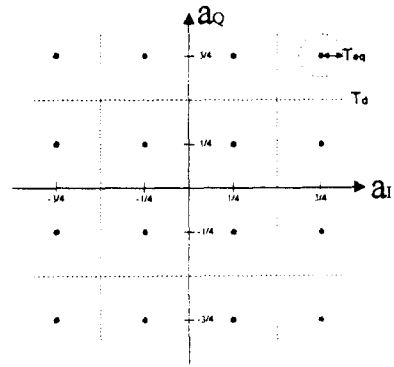


그림 2. 16 QAM 신호  
Fig. 2. 16 QAM signal.

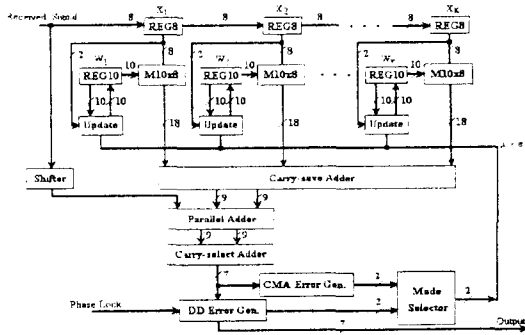
그림 2에서  $T_d$ 는 직접결정 등화모드에서 심볼의 desired signal을 결정하기 위한 결정경계이고  $T_{eq}$ 는 등화시 필요한 오차량을 결정하기 위한 경계이다. 직접결정 등화모드에서는 등화시 필요한 결정오차를 구하기 위한 기준값 (reference value)이 없기 때문에 심볼의 원신호를  $T_d$ 를 이용해 추정하고 이를 이용해 필터 계수를 갱신하게 된다. 다시 말해  $T_d$ 를 이용해 결정된 심볼과 등화기 출력이  $T_{eq}$ 이상 차이가 나면 에러가 있다고 판단하고 부호와 함께 두비트 오차를 발생시키게 된다. 이에 따라, 그림 2에서 보는 바와 같이, 16 QAM에서 각 신호의 거리는 최소 0.5이므로 직접결정 과정에서의 결정경계  $T_d$ 는 0.25가 된다. 그리고 이 과정에서 결정된 값과 등화기 출력과의 차이를 결정오차로 정의하고, 이 오차가 오차 결정경계  $T_{eq}$ 보다 클 때 정규화된 오차가 0이 아닌 값을 갖게 된다. 그러므로, 직접결정 모드에서 계수갱신이 일어나려면  $T_{eq}$ 가  $T_d$ 보다 작아야 한다.  $2^{-(B-8)}$ 의 값을 갖는  $T_{eq}$ 가 0.25의 값을 갖는  $T_d$ 보다 작으려면, 필터계수의 비트수  $B$ 는 최소 11이 되어야 하고, 이 때  $T_{eq}$ 는  $2^{-3}$ 이 된다.

신호를 표현하는 데 필요한 비트수가 많으면 그와 비례해 비용의 부담이 커진다. 그러나, 간접결정의 왜곡이 크면 필터계수도 큰 값을 갖게 되며 이를 통해 보통의 채널에선 필터계수들이 제한된 범위의 값을 가지는 것을 알 수 있다. 이를 바탕으로 하드웨어 구현시 multiple precision 방법을 이용하면 하드웨어로 이를 구현할 때 한비트를 고정시킬 수 있으므로 계수를 10비트로 표현하여도 11비트로 표현한 것과 같은 효과를 낼 수 있다.<sup>[10]</sup> 이에 따라, 실제 하드웨어를 구현

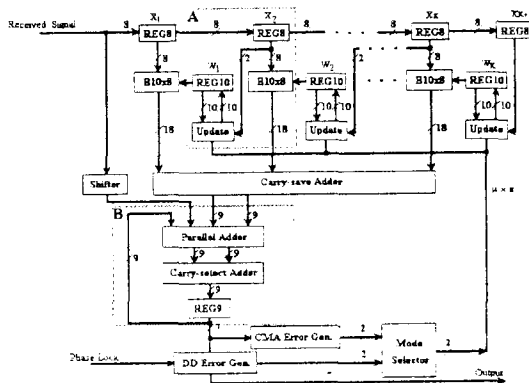
함에 있어 10 비트로 표현된 필터계수를 이용하여 11 비트 효과를 냄으로써 하드웨어 비용을 감소시켰다.

### IV. 제안한 등화기 하드웨어

본 장에서는 제안한 등화 알고리즘을 이용하여 설계한 등화기 하드웨어를 제안한다.



(a)



(b)

그림 3. 제안한 등화기 하드웨어 블록도  
(a) 알고리즘을 직접 매핑한 등화기  
(b) Pipeline 개념을 적용한 등화기

Fig. 3. Block diagram of the proposed equalizer using the pipeline concept.

(a) Proposed equalizer derived through direct mapping, (b) Proposed equalizer designed using the pipeline concept.

#### 1. 제안한 알고리즘을 직접매핑한 등화기

그림 3은 적응등화 알고리즘을 직접 매핑한 하드웨어의 블록선도이다. 그림 3에서 모든 데이터 버스는 복소수 값을 표현하는 것으로 표시된 숫자는 실수부와 허수부 각각의 비트수를 의미하며, 그림의 표시한 각 모듈중 REGx는 각각 입력 신호와 필터계수를 저장하

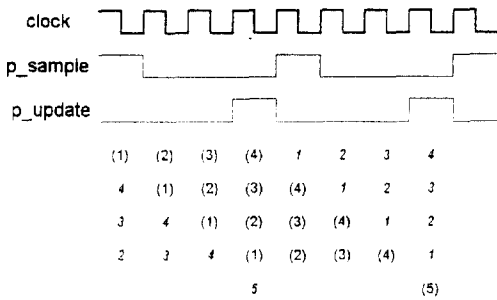
기 위한  $x$  비트 레지스터를 의미하고 M10x8은 10 비트  $x$  8 비트 입력의 복소수 곱셈기, B10x8은 10 비트  $x$  8 비트 입력의 복소수 modified Booth partial product generator, 그리고 CMA Error Gen.과 DD Error Gen.은 각각 CMA를 이용하는 초기등화 모드와 직접 걱정 모드에서 의 두 비트 정교화 오차를 구하는 모듈이다. 그림 3(a)에서 보는 바와 같이 등화기는 수신신호의 in-phase 성분과 quadrature 성분이 각각 8 비트로 양자화된 값을 입력으로 받아들인다. 이 신호는 10 비트 필터계수 (11 비트 효과)와 곱해져 각각 19 비트의 출력을 발생시킨다. 256개의 등화기 탭에서 계산되어 나오는 출력들은 carry-save 덧셈기로 들어가 더해진다. Carry-save 덧셈기는 carry를 전파시킬 필요가 없으므로 계산지연이 작은 장점이 있으나, 덧셈의 결과로 두개의 출력이 나오므로 이를 carry-select 덧셈기를 이용해 최종 등화기 출력을 계산한다. 이 등화기 출력은 III장에서 설명한 두개의 등화모드를 위한 2 비트 오차를 계산하기 위해 2개의 모듈로 동시에 입력되고 등화모드에 따라 적합한 오차신호를 선택하는 모드 선택기를 통과한 후 계수갱신부로 들어간다. 계수갱신부에서는 이 2 비트 오차와 수신신호를 양자화한 2 비트를 이용하여 계수를 갱신한다.

#### 2. Pipeline 개념을 이용하여 설계한 등화기

Pipelining은 일반적으로 약간의 하드웨어를 추가하여 시스템의 효율을 극대화함으로써 전체 처리량 (throughput)을 증가시키기 위하여 사용되는 설계기법<sup>1), 11), 12)</sup>이다. 그러나, 본 연구의 적용분야와 같이 심볼율이 고정되어 있는 경우는 처리량이 일정하므로 pipelining을 적용함으로써 적은 하드웨어를 이용하여 같은 처리량을 갖도록 할 수 있다. 본 논문에서는 pipeline 개념을 적용하여 곱셈기에서 발생하는 4개의 Booth 부분곱을 4개의 클럭에 나누어 계산함으로써 하드웨어 비용을 감소시키려 한다.

Booth 곱셈기는 승수의 비트수에 따라 2 비트마다 하나의 Booth 부분곱을 생성하고 이를 합산하여 최종 출력을 낸다. 따라서 8 비트 수신신호에 의해 4개의 부분곱이 생기게 되고 이를 동시에 계산하기 위해 Booth 부분곱을 구하는 모듈이 하나의 실수 곱셈기에 4개가 필요하게 된다. 곱셈기가 등화기 하드웨어의 대부분을 차지하므로, 4개의 Booth 부분곱을 하나의 모듈을 통해 순차적으로 계산하게 되면 비용을 크게 감소시킬

수 있다.



- (1) Booth partial product
- (2) Complex multiplication
- (3) Parallel addition
- (4) Accumulation
- (5) Error generation & coeff. update

그림 4. Pipelining 도  
Fig. 4. Pipelining diagram.

그림 4는 pipeline 개념을 이용한 등화기의 timing 도이다. 그림에서 보는 것처럼 등화기는 하나의 심볼간격을 넷으로 나누어 신호를 처리한다. 곱셈기는 한 클럭에 하나씩의 부분곱을 구하고, 이의 복소수 곱셈을 순차적으로 구한다. 각각의 복소수 곱셈의 부분곱을 병렬 덧셈후에 나머지 부분곱이 계산될 때까지 4 클럭동안 이를 누적하고 최종적으로 등화기 출력이 계산되면 이를 이용해 오차를 구하고 계수를 갱신시킨다. 그림 6에서 p\_sample은 수신신호를 곱셈기로 받아들이기 위한 제어신호로 이 신호가 1일 때마다 새로운 수신신호가 입력된다. 그리고 p\_update는 계수를 갱신시키기 위한 콘트롤신호로, 그림에서 (1) ~ (4)는 매 클럭마다 동작하나 (5)는 부분곱이 모두 누적된 후에만 동작해야 하므로 이를 제어하기 위한 신호로 쓰인다. 그림 6에서 괄호가 없는 숫자는 이전과 이후의 심볼에 대한 pipelining을 나타내는 것으로 각 모듈에서 계산되는 심볼들 사이의 상관관계를 나타낸다.

이와 같이 pipelining을 하면 갱신된 필터계수는 1 심볼지연되어 새로운 수신신호에 적용된다. 이를 식 (10)과 같이 쓸 수 있다 ( $d = 1$ ).

$$W^{n+1} = W^n + 2\mu E^{(n-d)} X^{(n-d)*} \quad (10)$$

새로운 계수가 지연되어 적용되는 것과 수렴성과의 관계는 Long 등<sup>[13]</sup>에 의해 연구된 바 있는데, 이 논문에 따르면 새로이 갱신된 계수가 바로 다음에 오는 수신 신호에 적용되지 못하고 지연되어 적용되면 수렴

속도는 늦어지나, 수렴후 성능에는 영향이 없다고 말할 수 있고, 따라서 pipeline 개념을 적용할 때 생기는 1 심볼 시간의 지연은 성능에 영향을 주지 않는다고 말할 수 있으며 이는 V장에서 실험적으로도 확인한다.

위와 같은 알고리즘을 이용하면 pipelining을 위한 레지스터가 추가되어야 하고 최종단에 4개의 부분출력을 누적시키기 위한 하드웨어가 추가로 필요하게 된다. 그러나, 곱셈기에 들어가는 4개의 부분곱을 구하는 부분이 하나로 줄게 되므로, 곱셈기에 해당하는 하드웨어 비용을 큰 폭으로 줄일 수 있다. 따라서, 곱셈기가 하드웨어의 거의 대부분을 차지하는 등화기의 전체 하드웨어 크기도 큰 폭으로 줄일 수 있게 된다.

등화기에 pipelining을 적용하면 시스템의 클럭속도가 pipelining을 적용하지 않은 경우에 비해 4배가 빨라져야 한다. 그러나, 그림 3(a)와 같이 알고리즘을 직접 하드웨어로 매핑하면 한 클럭 안에 입력과 필터계수의 곱셈부터 계수갱신까지 처리하게 되므로 계산경로가 매우 길어지게 되는 반면, pipelining을 적용하면 필요한 처리를 5 클럭에 나누어 수행하게 되므로 각 stage의 지연이 적어져, 알고리즘을 직접 매핑한 것과 비교할 때 상대적으로 빠른 하드웨어 제작 공정이 필요한 것은 아니다.

그림 3(b)는 pipeline 개념을 이용한 등화기 하드웨어이다. 그림 3(a)와 비교해 볼 때, 복소수 곱셈기가 Booth 부분곱을 구하기 위한 모듈 (B10x8)로 대체되었고, A 부분이 계수갱신의 지연 때문에 수정되었으며, 부분출력의 누적을 위해 B 부분이 추가되었다.

## V. 실험 결과

본 장에서는 제안한 적응등화시스템을 VHDL을 이용해 구현하고 이를 이용하여 제안한 등화시스템의 등화성능과 하드웨어 비용을 살핀다.

### 1. 제안한 등화기의 등화성능

그림 5는 수신신호와 각 경우에 따른 등화신호의 scatter도로 하드웨어 알고리즘의 시뮬레이션 결과를 나타내는 것이고, 그림 6은 제안한 등화기의 시간에 따른 수렴특성을 보여주는 것이다. 실험에 사용한 채널은 표 1과 같은 다중경로와 평균이 0이고 표준편차가 0.02인 AWG 잡음만을 가정하였다.

이 채널을 통과한 신호의 S/N 비는 11 dB 정도로

GA (Grand Alliance)에서 발표한 HDTV 표준안<sup>14</sup>의 C/N threshold가 14.9 dB임을 볼 때 복조과정에 열잡음 등이 첨가된다 해도 threshold를 밑도는 채널에 속한다고 할 수 있다.

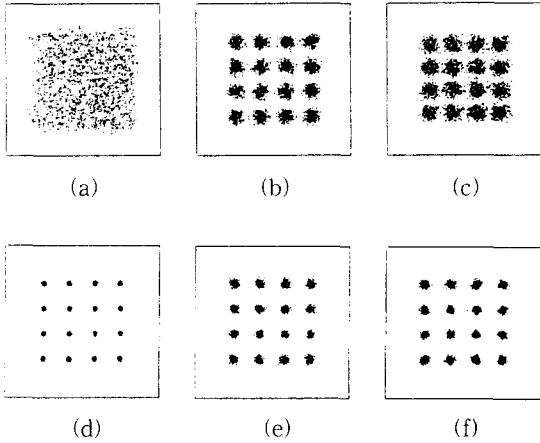


그림 5. 등화 결과

(a) 수신신호 (b) 초기등화(full precision, 64 bit floating-point) (c) 초기등화(11 bit precision, 10 bit hardware) (d) 직접결정 모드(full precision, 64 bit floating-point) (e) 직접결정 모드(11 bit precision, 10 bit hardware) (f) 1 심볼지연(11 bit precision, 10 bit hardware)

Fig. 5. Equalization results.

(a) Receiver signal, (b) Initial equalization(full precision, 64 bit floating-point) (c) Initial equalization(11 bit precision, 10 bit hardware) (d) Decision directed mode(full precision, 64 bit floating-point) (e) Decision directed mode(11 bit precision, 10 bit hardware) (f) 1 symbol delayed adaptation(11 bit precision, 10 bit hardware)

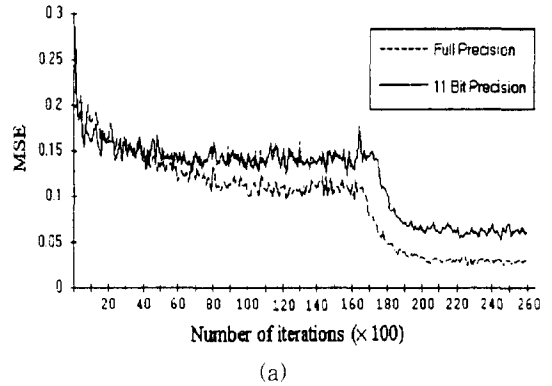
표 1. 다중경로 채널

Table 1. Multi-path channel.

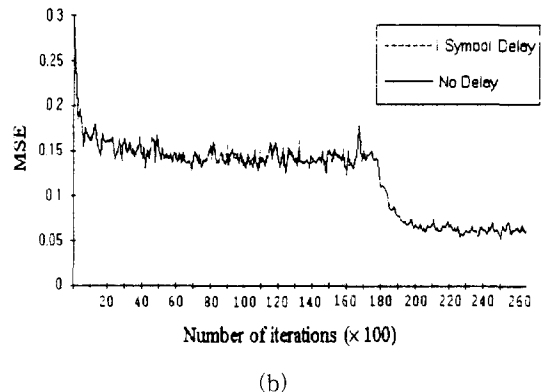
크기 (dB)	위상 (°)	지연 (μsec)
0	0	0
-12	101	0.25
-20	-50	1.25
25	50	2.25

그림 5(a)는 수신신호의 scatter도이며, 그림 5(b)와 5(c)는 초기등화후의 결과로 각각 full precision (64 비트 부동소수점)과 11 비트 필터계수 (10 비트 하드웨어)를 사용한 결과이다. 그림 5(c)의 경우, 어느 정도

의 성능저하가 생기나 이 때의 결정오차는 5%이내로 직접결정 모드 등화시 수렴에 문제가 생기지 않는다. 그림 5(d)와 5(e)는 각각 그림 5(b)와 5(c)의 초기등화 후 직접결정 모드로 전환하여 등화한 결과로 설계된 하드웨어 알고리즘이 원래의 알고리즘을 부동소수점 연산으로 구현한 것에 비해 성능은 떨어지나 수렴후 결과는 실험한 신호열에서 결정오차가 나지 않을 정도의 충분한 수렴이 이루어지는 것을 알 수 있다. 그림 5(f)는 계수갱신을 1 심볼지연시켜 등화한 결과로 지연이 없는 그림 5(e)와 비교해 성능에 있어 거의 차이가 없음을 알 수 있다. 그러므로, 제한한 pipeline 개념을 이용한 등화기에서 생기는 계수갱신에 있어서의 1 심볼 지연이 성능에 큰 영향을 끼치지 않는 것을 볼 수 있다.



(a)



(b)

그림 6. 수렴특성

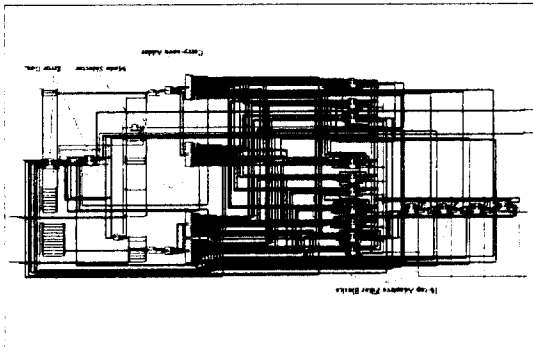
(a) 11-비트계수 (10-비트 하드웨어) 등화 (b) 1 심볼지연 계수갱신

Fig. 6. Convergence characteristics.

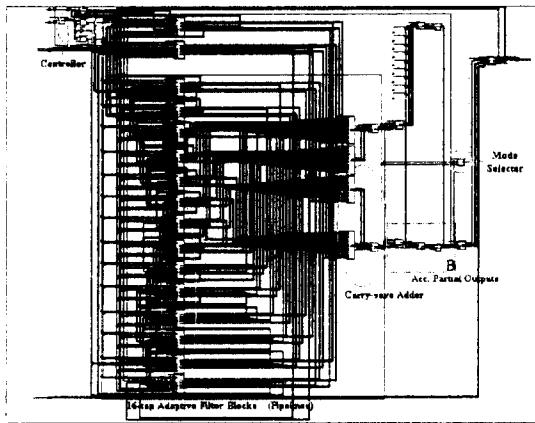
(a) 11 bit coeff. (10 bit hardware) equalization, (b) 1 symbol delayed adaptation

그림 6은 그림 5에서 설명한 각 경우에 따른 수렴성

의 변화를 살펴보기 위한 것이다. 그림 6(a)는 제안한 하드웨어 알고리즘의 수렴성을 보여주는 결과로 부동소수점 연산결과와 비교해 수렴후 성능은 떨어지나 수렴속도나 수렴후 안정성에서는 차이가 없는 것을 볼 수 있다. 그림 6(b)는 식 (10)과 같이 필터계수를 1 심플 지연시켜 갱신시킨 경우와 갱신이 없는 경우와의 성능을 비교한 것으로 역시 지연이 없는 경우와 차이가 없는 성능을 보이는 것을 알 수 있다.



(a)



(b)

그림 7. 등화기 합성결과

(a) 직접 매핑한 등화기 (b) Pipeline 개념을 이용한 제안한 등화기

Fig. 7. Synthesis results of equalizers.

(a) Directly designed equalizer,  
(b) Proposed equalizer using the pipeline concept.

2. 하드웨어 비용

본 절에서는 지금까지 설명한 구조들을 VHDL (VHSIC Hardware Description Language)<sup>[15]</sup>을 이용하여 기술한 후, 이를 멘토 그래픽스사의 툴<sup>[16-18]</sup>

을 이용하여 합성하고 최적화 (circuit optimization) 한 결과를 보인다.

그림 7은 등화기 하드웨어를 합성한 결과이다. 그림 7(a)는 알고리즘을 직접 매핑한 경우의 합성 결과로 16개의 16탭 적응등화 모듈과 이들을 더하는 carry-save 덧셈기, carry-select 덧셈기, 그리고 오차 발생부, 모드 선택기로 이루어져 있다. 상대적으로 그림 7(b)에서 보인 pipelined 등화기의 합성결과를 보면 그림 7(a)에서 볼 수 있는 장치들 외에, pipelining을 위해 부분출력을 누적하는 B부분과 제어신호들이 추가되어 복잡한 형태를 띠고 있는 것을 볼 수 있다.

표 2. 등화기 하드웨어 비용비교

Table 2. Comparison of equalizer hardware cost.

	직접 매핑	Pipelined
8 bit 복소수 레지스터	33	33
10 bit 복소수 레지스터	62	62
복소수 곱셈기	2139	516
계수 갱신부	173	173
1탭 적응등화 모듈	2228 (1378)	915 (445)
CMA 오차 발생부	22	22
직접결정 오차 발생부	18	18
오차 발생기	59	59
16-입력 CSA	930	930
레지스터어레이	.	632
부분출력누적단	.	13
전체 (추정)	약 42만개	약 18만개

표 2는 제안한 등화기 하드웨어의 각 모듈을 구현하는 데 필요한 NAND, NOR 등 모든 게이트를 합한 수를 나타낸 것으로 멘토 그래픽스사의 auto logic 툴<sup>[16]</sup>을 이용하여 구한 것이다. 표 2에서는 블록단위의 최적화를 기본으로 하였으며, 1탭 적응등화 모듈의 괄호안은 전체를 단위로 최적화한 것인데, 전체를 단위로 하면 내부의 작은 모듈 단위로 최적화할 때보다 적용할 수 있는 최적화 기술이 많아져 더욱 효율적인 최적화가 가능하다. 이 값은 적용하는 최적화 기술, ASIC vendor에서 제공하는 라이브러리에 따라 달라지는 값으로 실제 제작시, 반드시 표에 나타난 크기로 제작되는 것은 아니다.

표 2에서 볼 수 있는 것과 같이 pipeline 개념을 이용하여 등화기의 하드웨어 비용을 감소시킬 경우 회로



는 복잡한 형태를 떠나, 비용면에서 살펴보면 약 42만 개에서 18만개로 57% 정도가 감소하는 것을 볼 수 있다. 그러나, pipelining을 위한 partitioning의 효율을 최대한 올리기 위해서는 실제 제작단계에서 각 단계별 지연을 계산하여 retiming하는 과정이 이루어져야 한다.

## VI. 결 론

본 논문에서는 QAM 전송 방식을 사용한 등화시스템의 하나인 DigiCipher 등화시스템을 하드웨어로 구현하기 위한 방법을 연구하였다. 먼저, 2차원의 QAM 신호를 입력으로 하는 CMA와 LMS에 기반을 둔 직접결정 계수갱신 알고리즘에 정규화 오차개념을 적용해 비용을 최소화하며 최적에 가까운 성능을 얻을 수 있는 등화 알고리즘을 제안하고, 아울러 이를 구현함에 있어 하드웨어 비용에 대한 부담을 줄이기 위한 방법으로 pipeline 개념을 적용하여 등화기의 반복되는 부분을 여러 클럭에 나누어 계산하는 구조를 제안하였다.

새로운 구조는 한 심볼간격을 4개의 클럭으로 나누어 곱셈기에서 생기는 4개의 Booth 부분곱을 4개의 클럭에 나누어 계산함으로써 pipelining을 위해 추가되는 하드웨어를 고려하여 약 18만 게이트 정도로 설계되었다. 그러므로, 알고리즘을 직접 적용하여 구현한 회로와 비교할 때 성능은 같고 비용은 큰 폭으로 줄일 수 있음을 알 수 있다. 그러나, 제안된 구조도 클럭속도의 증가에서 오는 클럭 skew나 hazard 등의 문제가 생길 가능성이 높아지고, 실제 제작단계에서 timing 등의 고려가 계속되어야 하므로, QAM 변조 방식을 사용하는 시스템을 위한 등화기를 구현하는 데는 좀 더 깊은 연구가 필요하다고 하겠다.

## 참 고 문 헌

- [1] B. Widrow and S. D. Stearns, *Adaptive Signal Processing*. Prentice-Hall Inc., 1985.
- [2] J. Schroeter, *Surviving the ASIC Experience*. Prentice-Hall, 1993.
- [3] Federal Communication Commission Advisory Committee on Advanced Television Service, "ATV system recommendation," in *Proc. 1993 NAB HDTV World Conference*, pp. 237-449, Apr. 1993.
- [4] D. N. Godard, "Self-recovering equalization and carrier tracking in two-dimensional data communication systems," *IEEE Trans. Commun.*, vol. COM-28, pp. 1867-1875, Nov. 1980.
- [5] W. H. Paik, S. A. Lery, and J. M. Fox, "A high performance, robust HDTV transmission system-DigiCipher<sup>TM</sup>," in *Proc. Int. Workshop HDTV '92*, Kawasaki, Japan, pp. 25 1 - 25 8, Jan. 1992.
- [6] W. H. Paik, E. Krause, and J. Heller, "DigiCipher<sup>TM</sup> video compression technology for all digital channel compatible, HDTV broadcast system," in *Proc. Int. Workshop HDTV '92*, Kawasaki, Japan, pp. 15 1 - 15 9, Jan. 1992.
- [7] Y. Sato, "A method of self recovering equalization and carrier tracking in two dimensional data communication system," *IEEE Trans. Commun.*, vol. COM-23, pp. 679-682, June 1975.
- [8] R. D. Gitlin, J. E. Mazo, and M. G. Taylor, "On the design of gradient algorithms for digitally implemented adaptive filters," *IEEE Trans. Circuit Theory*, vol. CT-20, pp. 125-136, Mar. 1973.
- [9] G. Picchi and G. Prati, "Blind equalization and carrier recovery using a 'stop-and-go' decision-directed algorithm," *IEEE Trans. Commun.*, vol. COM-35, pp. 877-887, Sep. 1987.
- [10] 채승수, 박래홍, "VSB 등화시스템의 하드웨어 구현방법에 관한 연구," 대한전자공학회 논문지, 제 32권 B편 제 10호, pp. 68-79, 1995년 10월
- [11] J. D. Ullman, *Computational Aspects of VLSI*. Computer Science Press, 1976.
- [12] S. Y. Kung, *VLSI Array Processors*. Prentice-Hall, 1988.
- [13] G. Long, F. Ling, and J. G. Proakis, "The LMS algorithm with delayed coefficient adaptation," *IEEE Trans. Acoust., Speech, Signal Process.*, vol. ASSP-37, pp. 1397-1405, Sep. 1989.
- [14] *Grand Alliance HDTV System Specification*, Submitted to the ACATS Tech-

- anical Subgroup, Feb. 1994.
- [15] D. L. Perry, *VHDL*. McGraw-Hill, Int. Eds., 1991.
- [16] *Introduction to AutoLogic™ and Design Synthesis Training Workbook*, Mentor Graphics Co., 1993.
- [17] *V8 QuickSim™ Training Workbook*, Mentor Graphics Co., 1993.
- [18] *V8 Design Architect™ Training Workbook*, Mentor Graphics Co., 1993.

---

 저 자 소 개
 

---

蔡承秀(準會員) 第 31卷 B編 第 7號 參照  
현재 삼성전자 근무

潘 璧 範(準會員) 第 31卷 B編 第 7號 參照  
현재 서강대학교 전자공학과 대학원  
박사과정 재학중

李 基 憲(正會員) 第 31卷 B編 第 4號 參照  
현재 서강대학교 전자공학과 대학  
원 박사과정 재학중

朴 來 弘(正會員) 第 23卷 第 6號 參照  
현재 서강대학교 전자공학과 교수



金 榮 祥(正會員)  
1963년 8월 16일생. 1987년 2월  
한국항공대학 통신정보공학과 졸  
업. 1989년 7월 ~ 현재 대우전자  
영상연구소 근무. 1994년 6월 ~  
현재 대우전자 프랑스 연구소 근  
무중. 주관심 분야는 디지털 HD-

TV 및 디지털 통신 등임

李 炳 旭(正會員) 第 33卷 B編 第 1號 參照  
현재 이화여자대학교 전자공학과 조교  
수