論文96-33B-6-5

적응 부분응답 등화기를 갖는 디지탈 기록 채널의 PLL 수렴 특성 분석

(A Convergence Analysis of a PLL for a Digital Recording Channel with an Adaptive Partial Response Equalizer)

吳 大 善 *, 梁 原 榮 *, 趙 鏞 洙 **

(Dae-Sun Oh, Won-Young Yang, and Yong-Soo Cho)

요 약

본 논문에서는 디지탈 기록 채널에서 적응 부분응답 등화기와 decision-directed 방식의 PLL이 함께 동작할 때 타이밍 위상의 수렴 특성에 대하여 논한다. 적응 부분응답 등화기의 수렴 파라메타와 PLL의 타이밍 복원 상수가 적절히 선택되지 않았을 경우 타이밍 위상이 바이어스 되는 현상에 대해서 기술한다. 타이밍 위상의 왜란에 의해 발생되는 이 현상을 모의 실험을 통해 분석하고 타이밍 위상의 수렴 영역에 대하여 논한다. 또한, variable step size 파라메타를 사용하여 이 현상을 감소시킬 수 있는 방식을 기술한다.

Abstract

In this paper, the convergence behavior of timing phase when an adaptive partial response equalizer and a decision-directed type of a PLL work together in a digital recording channel is described. The phenomena of getting biased in timing phase when the convergence parameter of an adaptive partial response equalizer and timing recovery constant of a PLL are not selected properly is introduced. The phenomena, occurring due to perturbation of timing phase, are analyzed, by computer simulation and the region of convergence for timing phase is discussed. Also, a method to overcome the phenomena using a variable step-size parameter is described.

I. 서 론

HDD, 디지탈 VCR, 광 자기 디스크 기록 장치 등에서 헤드, 기록 매체, 인터페이스 기술의 발전에 의해 기록 밀도가 꾸준히 증가하여 왔으나 최근 새로운 기법의 신호 처리 방식에 의해 더욱 가속화되고 있다. 현재 사용되고 있는 대부분의 기록 장치에서는 시스템의 고신뢰도와 고밀도를 얻기 위해 RLL(run-length limited) 부호화와 아날로그 검출 방식인 PD(peck detection)방식이 이용되고 있다. 그러나 최근 디지탈 신호 처리 기술의 발달과 함께 샘플링 검출 방식이라고 불리어지는 디지탈 검출 방식이 연구, 발표되었고, 고밀도 기록을 위해서는 PRML(partial response maximum likelihood) 방식 또는 결정 궤환 등화기(decision feedback equalizer) 방식이 현재의 기록 밀도에서 PD방식에 비해 3-5dB의 이득을 가져오므로 90년대 초부터 이 방식을 채용한 칩들이 개발 또는 사용 중에 있다[11,12].

* 正會員, 中央大學校 電氣工學科
(Department of Electrical Engineering)
** 正會員, 中央大學校 電子工學科
(Department of Electronic Engineering Chung-Ang University, Seoul, Korea)

※ 이 연구는 96년도 한국과학재단 연구비 지원에 의한 결과임(과제번호:961-0921-110-2)
接受日字:1995年7月18日, 수정완료일:1996年5月29日

일반적으로 HDD, 광자기 디스크 등에서는 디스크 트랙의 변화에 따라 채널의 특성이 변화하기 때문에, 실제적으로는 평균 자승 오차(MSE)를 감소시키는 방향으로 등화기의 계수를 갱신시키는 적응 등화기가 사용된다. 즉, 디스크의 각속도는 항상 일정하게 데이타를 읽어 들이므로 (constant angular velocity) 디스크의 안쪽에서는 기록 밀도가 증가하고, 디스크의 바깥쪽에서는 상대적으로 기록 밀도가 감소한다. 이렇게 트랙에 따라 변화하는 심볼간 간섭(intersymbol interference)을 보상하기 위하여 signed-LMS 알고리듬을 사용하는 적응 등화기가 주로 이용된다[2].

또한, 통신 시스템이나 기록 채널의 수신단에서 수신 필터의 출력 신호로부터 이산 신호를 얻기 위해서는 샘플링이 선행되어야 하는데, 대부분의 채널에서는 PLL(phase-locked loops)을 사용하여 타이밍 복원(timing recovery)을 수행한다. 현재까지 알려져 있는 기록 채널을 위한 PLL 방식에는 peak, zero-crossing, threshold crossing 등에 locking을 시키는 아날로그 방식, 비선형 소자를 통과한 신호로부터 타이밍을 발생시키는 feed-forward 방식, 결정된 신호와 오차를 사용하여 다음의 샘플링 순간을 갱신하는 decision-directed 방식이 알려져 있는데 PRML 방식에서는 주로 decision-directed 방식이 사용되고 있다[3], [4], [5]. 이 decision-directed 타이밍 복원에서는 analog-to-digital converter(ADC)에서 발생된 샘플을 사용하여 결정을 내리며 이는 PLL에서 필요한 오차 신호를 계산하는데 사용된다. 이 오차 신호는 다음 샘플링 순간을 결정하는데 중요한 역할을 할 뿐 아니라, 적응 등화기의 계수를 갱신하는데도 가장 중요한 정보로 이용된다. 그러면, 위상 오차(phase error) 또는 채널 변화에 의하여 발생된 오차 신호로부터 타이밍 위상과 등화기 계수를 동시에 올바른 값으로 바이어스 없이 수렴시킬 수 있는가?

그러나 적응 부분응답 등화기와 PLL이 결합되었을 경우 타이밍 복원 성능에 대한 연구는 아직 미비하다. 적응 부분응답 등화기는 연속적인 채널 출력에서 PLL를 사용하여 얻은 샘플값과 오차를 가지고 등화을 시키고, 등화기의 출력값과 오차 신호는 PLL의 다음 샘플링 타이밍을 결정하는데 영향을 주므로 등화기 계수와 타이밍 위상은 서로 연관되어 있다. 따라서 본 논문에서는 디지탈 자기 기록 채널을 PR-IV 시스템으로 등화시키는 적응 부분응답 등화기와 타이밍 복원을 위하여 decision-directed 방식을 사용한 PLL의 결합 성능을 분석한다. Ⅱ절에서는 디지탈 자기 기록 채널의 모델링과 부분응답 등화 방식에 대해 요약하고 채널이 이상적인 PR-IV 시스템으로 가정한 경우 decision-directed 방식의 PLL에 대하여 기술한다. Ⅲ절에서는 모의 실험을 통하여 채널이 이상적인 PR-IV 시스템인 경우 PLL의 성능을 살펴보고, 적응 부분응답 등화기와 PLL를 결합하였을 경우 PLL의 타이밍 복원 성능을 분석한다. Ⅳ절에서는 본 논문의 결론을 맺는다.

Ⅱ. 적응 부분응답 등화기와 PLL

1. 디지탈 자기 기록 채널의 PR-IV 등화

디지탈 자기 기록 방식에서는 자화 곡선(hysteresis loop)의 영향 때문에 포화 영역에서 ±1의 이진 신호 기록 방식이 대부분 이용되며, 이 때 +1과 -1의 신호에 따라 기록 전류가 변화하여 매체(media)에 자속 변화(flux transition)가 형성된다. 데이타는 주로 NRZI (non-return to zero inverse) 방식으로 인코딩되며, 매체에 기록된 데이타는 자속 변화에 해당하는 즉, 미분치에 비례하는 출력 전압이 재생 헤드에 의해 읽어지므로 DC 성분은 통과하지 않는다. 이러한 자기 기록 채널은 선형성만을 고려할 경우 다음의 Lorentzian 함수로서 채널의 계단 응답(step response)이 주어진다[6], [7].

$$s(t) = \frac{1}{1 + \left(\frac{2t}{PW_{50}}\right)^2} \qquad (1)$$

여기서 PW_{50}은 최대 출력값의 50%에 해당하는 펄스의 폭이며 PW_{50}/T는 기록 밀도의 단위로서 주로 사용된다. T는 신호의 샘플링 간격을 나타낸다. 또한 펄스 응답(pulse response) $q(t)$은 다음과 같이 주어진다.

$$q(t) = s(t) - s(t-T) \qquad (2)$$

위 식으로부터 샘플링된 재생 신호는 다음과 같이 표현된다.

$$z_n = \sum_n a_n \cdot q(t-nT) + r'_n \qquad (3)$$

여기서 r'_n는 수신 필터에 의해 대역 제한된 가산성 백색 가우스 잡음(AWGN)이라 가정한다.

그림 1에 나타난 바와 같이 PR-IV 시스템에서 고립

된 입력 심볼 $a_0 = \pm 1$에 대해 채널, 수신 필터, 디지탈 적응 필터가 결합된 전체 응답 $h(t)$는 다음과 같이 주어진다.

$$h(t) = F^{-1}[H(f)] = F^{-1}[Q(f)F(f)C(f)] \quad (4)$$

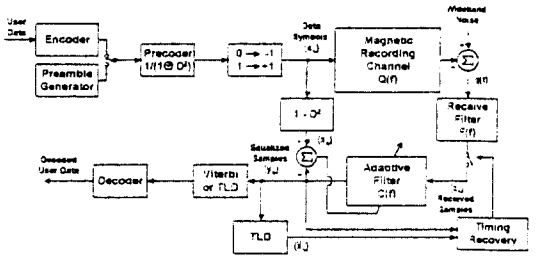


그림 1. 디지탈 자기 기록 채널의 블록도
Fig. 1. A block diagram for digital magnetic recording channels.

위 식에서 $Q(f)$는 자기 기록 채널의 펄스 응답 $q(t)$의 푸리에 변환이고, $F(f)$와 $C(f)$는 아날로그 필터와 이산 시간 필터의 주파수 응답을 각각 나타낸다. PR-IV 등화를 사용할 경우 이상적인 $h(t)$는 다음과 같이 주어진다[8].

$$h(t) = p(t) - p(t-2T) \quad (5)$$

여기서 $p(t)$는 Nyquist 신호, 즉 $p(t) = \sin(\frac{\pi t}{T})/(\frac{\pi t}{T})$이므로 샘플링 순간 nT에는 다음과 같이 주어진다.

$$p(nT) = \begin{cases} 1 & \text{for } n = 0 \\ 0 & \text{for } n \neq 0 \end{cases} \quad (6)$$

따라서, 재생된 신호는

$$y(t) = x(t) + r(t) = \sum_m a_m \cdot h(t-mT) + r(t) \quad (7)$$

로 표현되고, $nT+\tau$ 순간의 샘플링 출력값 $y_n(\tau)$은

$$\begin{aligned} y_n(\tau) &= y(nT+\tau) \\ &= \sum_m (a_m - a_{m-2}) \cdot p[(n-m)T+\tau] + r(nT+\tau) \end{aligned} \quad (8)$$

로 표현된다. 이상적인 샘플링 순간 nT, 즉 $\tau=0$에서 등화된 출력 샘플값 $\{y_n\}$는 다음과 같이 주어진다.

$$y_n(\tau=0) = x_n + r_n \quad (9)$$

여기서

$$x_n = a_n - a_{n-2}, \qquad x_n \in \{-2, 0, 2\} \quad (10)$$

데이타 샘플 $\{x_n\}$은 다항식 $1-D^2$의 특성을 갖는 이산 시간 채널의 출력이며, D는 샘플링 주기 T에 의한 지연 연산자이다. 이러한 이산 채널의 주파수 응답은 DC와 Nyquist 주파수 1/(2T)에서 null을 갖는 다음의 PR-IV 신호로 주어진다.

$$\overline{H}(f) = \frac{1}{T}\sum_m H(f-\frac{m}{T}) = 1-e^{-j4\pi fT} \quad (11)$$

그림 1에 나타난 바와 같이 트랙에 따라 변화하는 채널의 특성을 보상하기 위하여 이산 시간 필터는 일반적으로 적응 필터로 구성된다. 등화기의 계수 벡타 $\underline{C}_n$은 원하는 응답(desired response), $\{a_n - a_{n-2}\}$와 등화기 출력 $\{y_n\}$의 평균 자승 에러(MSE)를 최소화하기 위하여 갱신되며 다음의 signed-LMS 알고리듬이 널리 사용된다[9].

$$\underline{C}_{n+1} = \underline{C}_n + \mu e_n sgn(\underline{z}_n) \quad (12)$$

여기서 $\underline{z}_n$은 등화기 입력 벡타를 나타내며, e_n은 원하는 응답과 등화기 출력의 오차를 나타낸다. 수렴 속도와 수렴 후 오차 분산을 결정짓는 수렴 파라메타 μ는 계산량을 감소시키기 위하여 2^k의 값으로 일반적으로 선택된다.

2. PLL(phase-locked loop)

수신단에서 동기화를 위해 타이밍을 복원하는 여러 종류의 PLL 방법들이 알려져 있다[10]. 앞서 논의된 바와 같이 PRML 방식에서는 타이밍 위상 τ를 갱신하는데 decision-directed 방식이 널리 사용되고 있으며, 이 방식에서는 식(8)의 등화된 신호 $y_n(\tau)$의 결정값으로 추정치 $\hat{x}_n$을 얻고 이는 다음 식에 의해 타이밍 기울기를 구하는데 사용된다[1],[3].

$$\triangle\tau_n = -y_n(\tau)\,\hat{x}_{n-1} + y_{n-1}(\tau)\,\hat{x}_n \quad (13)$$

타이밍 기울기 $\triangle\tau_n$은 다음 샘플링 타이밍 순간 τ를 갱신하는데 사용된다.

$$\tau_{n+1} = \tau_n - \alpha\triangle\tau_n - \triangle T_n \quad (14)$$

$$\triangle T_{n+1} = \triangle T_n + \rho\triangle\tau_n \quad (15)$$

여기서 $\triangle T_n$은 신호의 채널 출력 주기와 신호의 채널 입력 주기의 차이를 보상하는데 사용되며, 위 식은 2차

PLL의 동작을 나타낸다.

이상적인 채널의 경우 신호 y_n은 0, 2, 또는 -2의 값을 가져야 하나 부적절한 등화, 잡음 등의 영향으로 실제로는 수신된 신호로부터 x_n을 추정하여야 하며 이 때 가장 낮은 결정 에러 확률은 MLSD(maximum-likelihood sequence detection)에 의해 얻어진다. 그러나 MLSD를 수행하기 위해 일반적인 Viterbi 알고리듬을 사용할 경우 각 단에서 경로 메트릭을 계산하고 최적 경로를 찾아 기억해야 하므로 계산량이 복잡하고 기억 용량이 커진다. 이러한 시간 지연 때문에 PLL에서는 다음과 같이 고정된 문턱치(±1)(또는 시변 문턱치)로 3단계 검출기(three level detector)를 사용한다.

$$\hat{x}_n = \begin{cases} +2 & \text{for } +1 < y_n(\tau) \\ 0 & \text{for } -1 \le y_n(\tau) \le +1 \\ -2 & \text{for } y_n(\tau) < -1 \end{cases} \quad (16)$$

PR-IV 시스템의 샘플값 x_n이 결정 에러가 없이 디코딩 된다는 가정하에 계산된 타이밍 기울기의 평균값은 다음과 같다[3].

$$E\{\Delta\tau_n(\tau) \mid \hat{x}_n = x_n\} = h(-T+\tau) - 2h(T+\tau) + h(3T+\tau) \quad (17)$$

$h(t)$는 식(5)에 주어져 있으며 타이밍 함수(17)은 $\tau = 0$에 대해서 원점에 대칭이고 식(14)와 식(15)에 의해서 샘플링 타이밍 위상 τ는 정상 상태에서 0에 수렴된다.

Ⅲ. 적응 부분응답 등화기와 PLL의 결합 성능

디지탈 자기 기록 장치에서 적응 부분응답 등화기와 PLL이 결합된 전체적인 자기 기록 채널을 위한 PR-IV 시스템의 블럭도가 그림 1에 나타나 있다. 이 방식은 크게 데이타를 부호화하고 심볼을 발생시키는 부분, 기록·재생 채널 부분, 샘플링 타이밍을 결정하는 PLL 부분, 그리고 적응 부분응답 등화기 및 문턱치 검출기(또는 Viterbi 검출기) 등으로 기록 데이타를 복구하는 디코더 부분으로 구분할 수 있다. 각 부분의 역할을 간단히 기술하면 우선 부호화된 데이타는 수신단에서 오류 전달(error propagation)이 없는 추정을 위해 사전 부호화기(precoder)를 통과하며, 사전 부호화된 신호 0, 1은 -1, +1의 기록 전류로 각각 변환된다. 연속적인 채널 출력 신호를 PLL에서 복원된 타이밍으로 샘플링하여 등화기에 입력시키고 등화 부분에서는 기록 채널이 이상적인 PR-IV 시스템의 스펙트럼 특성과 비슷한 모양이 되도록 적응 부분응답 등화기를 사용하여 심볼간 간섭을 조절한다. 마지막으로는 허용된 심볼간 간섭을 고려하여 구성된 문턱값 검출기 (또는 Viterbi 검출기)로 결정치를 구해 디코더로 신호를 복구한다.

디지탈 기록 시스템에서 적응 부분응답 등화기와 decision-directed 방식의 PLL을 함께 사용할 경우의 결합 성능을 쉽게 이해하기 위하여 다음의 모의 실험 결과를 병행하여 기술한다. 모의 실험에서는 SNR (signal-to-noise ratio)은 15dB, 기록 밀도인 PW_{50} /T은 1.5, 적응 부분응답 등화기의 탭 수는 11개, PLL의 상수 ρ는 $2.5*10^{-6}$, 입력 데이타의 주기 T는 1로 하였다. PLL을 사용하여 샘플링 타이밍을 갱신시키는데 걸리는 시간은 6T로 하였고, 수신 필터는 Nyquist 주파수에서 차단되는 저역 통과 필터로 가정하였다.

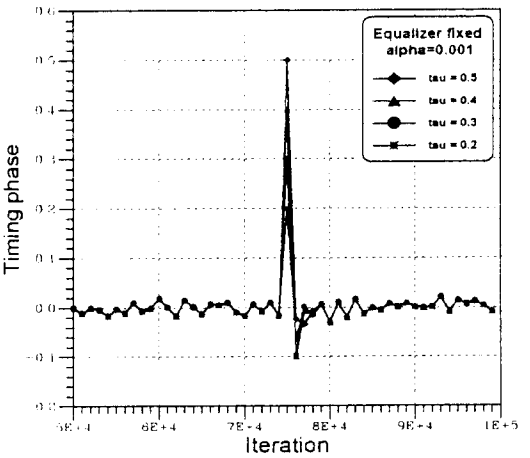


그림 2. 등화기의 탭 계수가 고정된 경우 τ/T에 따른 타이밍 복원 성능

Fig. 2. Timing recovery behavior for different τ/T's when tap coefficients of the equalizer are fixed.

먼저, 등화기를 충분히 등화시킨 다음 그 값으로 등화기의 탭 계수의 값을 고정시킨 경우 즉, 채널을 PR-IV 시스템으로 충분히 등화시킨 후에 샘플링 타이밍의 회복 성능을 살펴보자. 그림 2는 등화기의 탭 계수가 최적값에 고정되어 있는 채널에 타이밍 위상에 왜란(perturbation)이 발생되었을 경우 타이밍 복원을 보여준다. 타이밍 회복 상수를 α=0.001로 고정시키고

왜란 τ/T = 0.2, 0.3, 0.4, 0.5로 변화하는 경우 모두 비슷한 타이밍 복원 특성을 보여준다. 그림 3은 같은 채널에 α를 변화시킬 경우 타이밍 복원 특성을 보여준다. 회복 상수 α의 값이 커질수록 회복 속도는 빨라지나 타이밍 위상의 분산이 커진다는 기존의 결과를 확인할 수 있다[11,13].

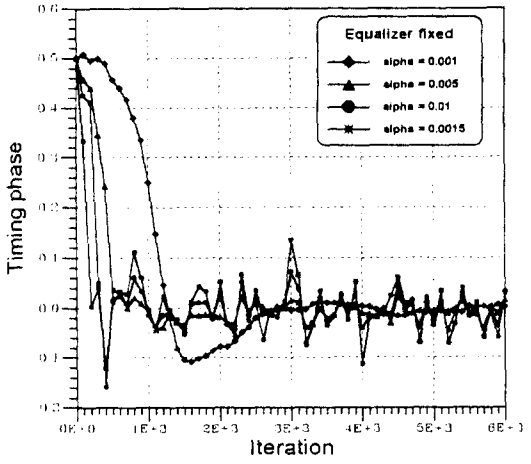


그림 3. 등화기의 탭 계수가 고정된 경우 α에 따른 타이밍 복원 성능

Fig. 3. Timing recovery behavior for different α's when tap coefficients of the equalizer are fixed.

다음으로는 적응 부분응답 등화기와 PLL을 결합했을 경우를 고려해 보자. 일반적으로 τ/T가 0이 아닌 경우 재생 신호를 샘플링한 값은 식(8)과 같이 주어진다. 적응 부분응답 등화기는 연속적인 채널 출력값으로부터 PLL을 통해 샘플된 데이타로 전체적인 채널이 PR-IV 응답이 되도록 등화를 시킨다. 즉, 주어진 샘플값을 가지고 MSE가 최소가 되는 방향으로 탭 계수값을 조정해 가며, 그 수렴 속도와 수렴 후 분산은 수렴 파라메타 μ에 의해 정해진다. 한편, PLL은 적응 부분응답 등화기의 출력값 y_n과 TLD로 결정된 입력 추정치 $\hat{x}_n$로 식(13), (14), 그리고 (15)에 의해 타이밍 위상 τ의 값을 갱신해 간다. 이 때 타이밍 기울기를 최소화시키는, 즉 τ = 0으로 하는 방향으로 τ를 갱신시켜 가며, 그 속도는 주로 α에 의해 결정된다.

그러나, 타이밍 위상에 왜란 τ/T가 발생되었을 경우, 적응 등화기는 주어진 왜란하에서 최소의 평균 자승 에러를 갖는 등화기 계수로 수렴을 할 것이며 이 때의 계수값과 평균 자승 에러값은 왜란이 없을 경우의 결과와 일반적으로 다르게 주어진다. 또한 왜란이 있을 경우 적응 등화기의 출력값은 위의 고정된 계수값과 다르기 때문에 PLL의 타이밍 복원 특성이 서로 다르게 나타날 것을 쉽게 예측할 수 있다.

이러한 적응 부분응답 등화기와 PLL을 결합했을 경우의 성능을 분석하기 위해서 다음의 간단한 모의 실험 결과를 예로 든다. 그림 4와 5는 적응 부분응답 등화기와 PLL을 갖는 채널에 타이밍 위상에 왜란이 발생되었을 경우 μ와 α에 따라 타이밍 위상 복원을 보여준다. 그림 4는 μ를 고정시키고 PLL의 타이밍 회복 상수 α를 변화시킬 경우 타이밍 위상의 복원을 보여준다. 여기서 α가 가장 작은 값인 0.001인 경우에는 τ/T가 약 0.18의 바이어스를 갖게 되며 α가 클수록 τ/T가 0에 가까운 값으로 수렴되지만 그 분산이 커지는 것을 볼 수 있다.

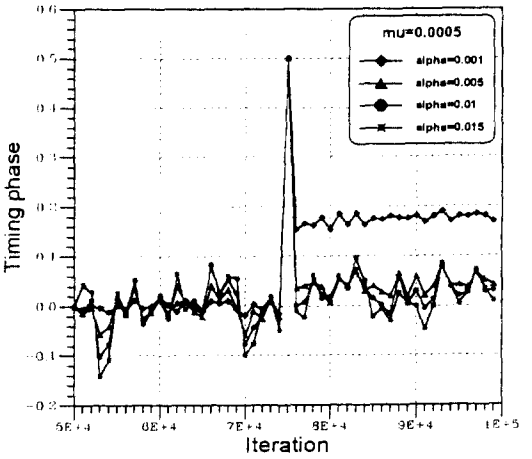


그림 4. 적응 부분응답 등화기 사용시 α에 따른 타이밍 복원 성능

Fig. 4. Timing recovery behavior for different α's when an adaptive partial response equalizer is used.

그림 5는 α를 고정시키고 적응 등화기의 수렴 파라메타 μ를 변화시킨 경우 타이밍 위상의 복원을 보여준다. μ가 가장 큰 값인 0.0005인 경우 τ/T가 약 0.18의 바이어스를 갖게 되며 μ가 작아질수록 τ가 0에 가까운 값으로 수렴되는 것을 알 수 있다. 그림에는 나타나 있지 않지만 왜란의 크기, μ, α 값의 변화에 따라 타이밍 위상의 수렴치가 달라진다.

위의 결과를 종합하여 보면 다음과 같다. 등화기의 수렴 파라메타 μ가 α에 비해 상대적으로 크면 τ/T

가 0이 아닌 값에서 이미 등화가 완료되어 국부적 최소치에 빠지는 듯한 결과를 초래한다.

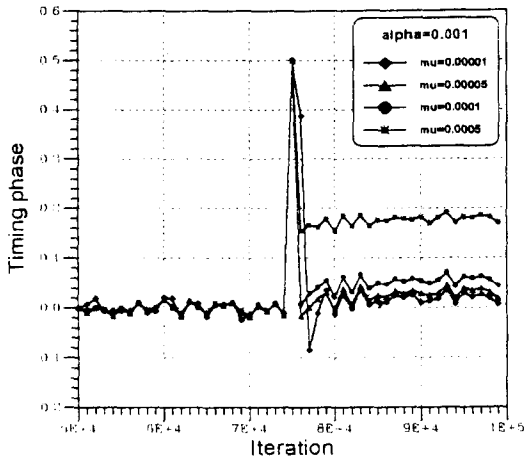


그림 5. 적응 부분응답 등화기 사용시 μ에 따른 타이밍 복원 성능

Fig. 5. Timing recovery behavior for different μ's when an adaptive partial response equalizer is used.

PLL의 타이밍 회복 상수 α가 μ에 비해 상대적으로 큰 값이면 τ/T는 0에 가까운 값으로 수렴하지만 τ/T의 분산이 커진다. 결과적으로 이러한 현상은 수렴된 τ/T의 평균과 분산이 등화기와 PLL의 두 갱신 파라메타 μ와 α에 의해 영향을 받는다는 것을 나타내며, 특히 그 상대적인 크기와 관련되어 있음을 알 수 있다. 이러한 갱신 파라메타 μ와 α의 변화에 의한 타이밍 위상의 바이어스 현상은 다음의 최소 자승 에러식을 사용하여 분석할 수 있다.

$$\varepsilon_e^2 = T\int_{-1/2T}^{1/2T} | \hat{H}(f) - (1-e^{-j2\pi fT}) |^2 df \qquad (18)$$

여기서, $\hat{H}(f)$는 채널, FIR 필터(등화기), 그리고 샘플링 장치를 포함하는 등가 이산 시스템의 주파수 응답이다[11].

$$\hat{H}(f) = C(f)\frac{1}{T}\sum_{m=-\infty}^{\infty} Q(f-\frac{m}{T})F(f-\frac{m}{T})\cdot \exp\{j2\pi(f-\frac{m}{T})\tau\} \qquad (19)$$

적응 등화기의 계수값은 식(18)을 최소화하는 방향으로 수렴된다. 즉, 어떠한 타이밍 위상 τ/T가 주어지더라도 그 상황에서 최소 평균 자승 오차를 갖는 등화기 계수값이 존재하며 적응 등화기의 경우 그 최적의 값으로 수렴한다. 물론, τ/T값의 변화에 따라 최적의 등화기 계수 값과 그에 해당하는 최소 자승 오차가 일반적으로 다르게 주어진다.

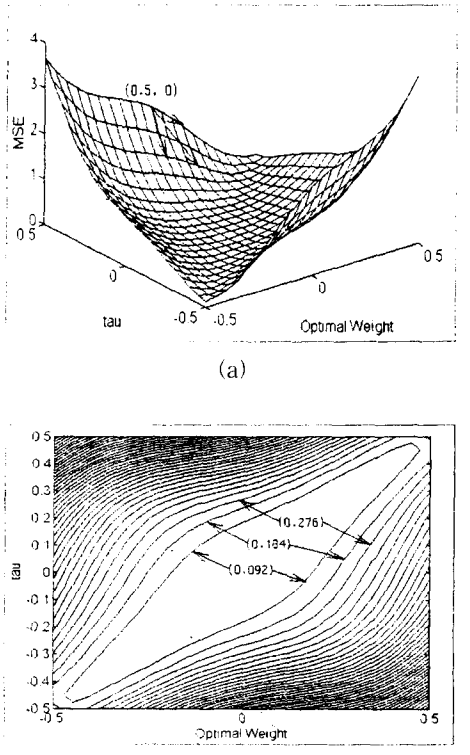


그림 6. 적응 부분응답 등화기와 PLL이 결합되었을 경우 최소 자승 오차의 3차원 곡선:
(a) 3차원 표면 곡선 (b) 등고선 곡선

Fig. 6. 3-dimensional plot of MSE when an adaptive partial response equalizer and a PLL are combined:
(a) 3-dimensional surface curve,
(b) contour plot

그림 6은 적응 등화기와 PLL이 결합하였을 경우 수렴 특성을 설명하는 그래프이다. 전체적인 그래프의 모양이 배의 밑부분과 유사한 모양을 하고 있다. 그림의 중심 (0, 0)은 타이밍 위상에 왜란이 없을 경우, τ/T=0, 최적 등화기 계수를 사용하여 구한 평균 자승 오차이다. 그림 6의 대각선 방향은 주어진 τ/T에 대하여 그 때의 최적 계수를 사용하여 구한 평균 자승 오차이다. 예를 들면 (0.2, 0.2)의 값은 타이밍 위상 오차가 0.2일 때 최적의 등화기 계수를 사용하여 얻을 수 있는 최소 평균 자승 오차를 나타낸다. 그 외의 점들 (τ_1, τ_2), $\tau_1 \neq \tau_2$, 에서의 값은 τ_1의 타이밍 위상 오차가 존재할 때 τ_2의 타이밍 위상에 해당하는 최적 등화

기 계수값을 사용하였을 경우 얻을 수 있는 평균 자승 오차를 나타낸다. 물론, τ_1의 타이밍 위상이 존재할 때 이에 해당하는 최적 계수를 사용하지 않았기 때문에 평균 자승 오차값이 커지게 된다. 예를 들면, 이상적인 조건 (0, 0)에서 동작하다가 기록 채널에 타이밍 위상에 왜란이 τ/T=0.5만큼 발생된 경우 그 순간의 평균 자승 오차값은 (0.5, 0)에서 약 1.07이 된다. 타이밍 위상의 왜란에 의하여 평균 자승 오차값이 증가되었을 경우 적응 등화기의 계수 갱신식과 타이밍 순간 갱신식은 평균 자승 오차값이 감소하는 방향으로 진행을 할 것이다. 그러나 이 때 주어진 파라메타 μ, α에 따라 각각 다른 방향으로 진행하게 된다. 여기서 μ는 주어진 τ/T에서 최소 자승 오차가 감소하는 방향으로 진행하는 수렴 속도를 결정하며, α는 주어진 weight 값을 갖고 최소 자승 오차가 감소하는 방향으로 진행하는 수렴 속도를 결정짓는다. 따라서, 실제 수렴 방향은 이 두 벡타의 합으로 주어지게 된다. 예를 들면, 타이밍 위상의 왜란에 의하여 (0.5, 0)점에서 출발하는 경우 α값이 μ값에 비해 상대적으로 매우 큰 경우 (0, 0)점으로 접근하여 바이어스 없는 수렴 특성을 보이는 반면, μ값이 α값에 비해 상대적으로 매우 큰 경우 (0.5, 0.5)점으로 접근하여 국부적 최소치로 빠지는 듯한 현상이 발생된다. μ값과 α값이 그 사이의 값을 갖는 경우에는 (0, 0)~(0.5, 0.5)의 한 점으로 수렴하게 된다. 다시 말하면, μ값이 α값에 비해 상대적으로 큰 경우에는 주어진 τ에서 최소값을 갖는 점, 즉 대각선 방향의 한 점으로, 타이밍을 복원하기 이전에 도달하기 때문에 바이어스를 갖는 수렴 특성을 보이고 그때부터 (0, 0)의 전역 최소치(global minimum)를 향한 수렴 속도는 매우 느려진다. 즉, 등화기의 적응 상수 μ가 α에 비해 상대적으로 크면 잘못된 샘플값을 가지고 빠른 속도로 등화을 시켜 PLL의 타이밍 복원 능력을 무력화시킨다.

주어진 채널에서 이와 같은 현상을 막기 위해서는 최적의 μ와 α로 시스템을 구성하는 것이 최상의 방법이지만 이 값의 결정이 쉽지 않다. 타이밍 위상에 왜란이 발생되었을 경우 전역 최소치로 수렴시키기 위해서는 α값은 μ값에 비해 상대적으로 매우 크게 주어야 하는데, 이 경우 작은 μ값때문에 트랙의 변화에 따른 최적 계수를 구하는데 어려움이 존재하고 큰 α값으로는 타이밍 위상의 분산을 증가시키는 결과를 가져온다. 이러한 경우 variable step size를 갖는 파라메타를 사용하여 이러한 어려움을 피할 수 있다. 즉, 채널의 변화를 고려하여 설정한 적절한 μ값에 비해 상대적으로 큰 값을 갖는 α로 타이밍 위상을 거의 회복하게 한 다음 α를 작은 step size의 값으로 변환시키면 τ의 분산을 작게 유지하면서 등화를 최적으로 시킬 수 있다. 그림 7에서는 위에서 기술한 것처럼 처음에는 α값을 0.015로 하여 샘플링 타이밍을 복원(τ/T=0)한 다음 α값을 0.001로 변화시켜 타이밍 위상을 거의 복원하면서 이의 분산을 작게 유지시킬 수 있음을 보여준다. 랜덤하게 발생하는 타이밍 위상의 왜란에 대비하여 주기적으로 variable step size의 α를 작동시켜 타이밍 위상을 τ/T=0으로 reset 시키는 방법이 사용될 수 있다.

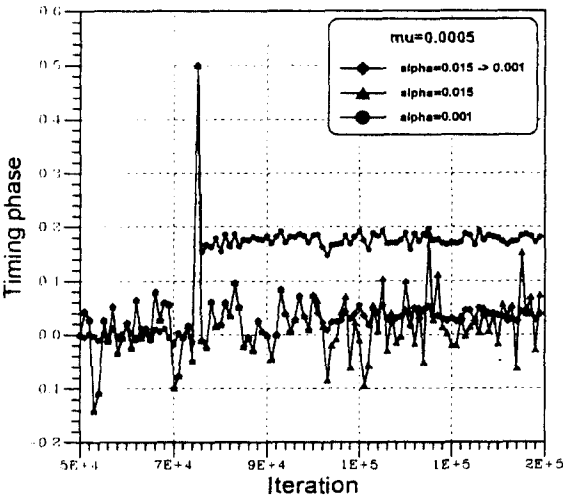


그림 7. 타이밍 회복 상수 α를 variable step size로 사용한 경우 타이밍 복원 성능

Fig. 7. Timing recovery behavior when a variable step size of a timing recovery constant, α, is used.

그림 8은 α에 따른 τ/T의 분산을 나타내는데, 전술한 바와 같이 등화기의 적응 상수 μ와는 거의 관계없이 α가 증가할수록 τ/T의 분산이 증가되는 것을 볼 수 있다.

Ⅳ. 결 론

본 논문에서는 디지탈 자기 기록 채널에서 적응 부분응답 등화기와 PLL의 결합 성능에 대해서 알아보았다. 적응 등화기와 PLL의 수렴 속도를 결정하는 파라

메타가 적절히 선정되지 않았을 경우에 시스템의 전체적인 평균 자승 오차가 전역 최소치로 가지 못하고 상당한 기간 바이어스 된 샘플링 위상을 갖는 결과를 초래한다. 적응 부분응답 등화기의 적응 상수 μ가 상대적으로 크면 잘못된 샘플링 위상을 가지고 빠른 속도로 등화가 되어 PLL의 복원 능력을 무력화시키며, 상대적으로 작으면 채널의 변화를 쫓아가지 못해 등화기의 역할을 제대로 하지 못하게 된다.

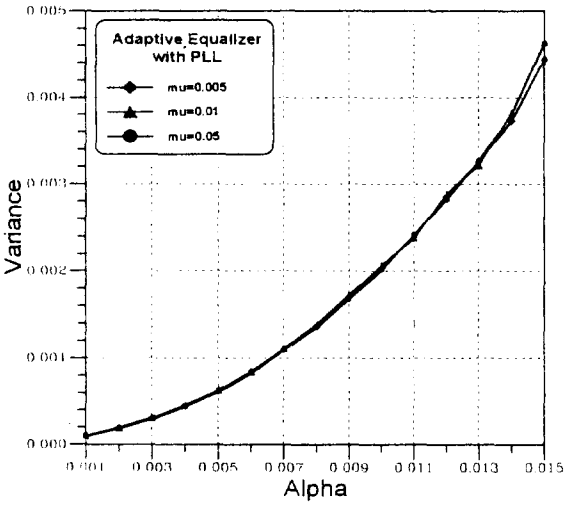


그림 8. α에 따른 τ의 분산
Fig. 8. Variance of τ vs. α.

PLL의 회복 상수 α가 상대적으로 크면 타이밍 위상 τ는 평균 자승 오차를 최소화시키는 전역 최소치로 수렴되지만 그 분산이 크고, 상대적으로 작으면 타이밍 위상이 바이어스를 갖게 된다. 결론적으로 주어진 채널의 전체적인 평균 자승 오차가 전역 최소치로 가도록 적응 등화기와 PLL의 두 갱신 파라메타 μ와 α의 최적의 조합을 찾는 것이 전체적인 시스템의 성능을 향상시키는 결과를 가져올 수 있다. 또는 variable step size의 갱신 파라메타를 사용하여 타이밍 위상의 복원을 효과적으로 수행할 수 있다. 디지탈 기록 채널에서 이루어진 본 논문의 결과는 적응 등화기와 PLL을 갖는 일반적인 디지탈 통신 채널에서도 마찬가지로 적용될 수 있다.

참 고 문 헌

[1] R. D. Cideciyan, F. Dolivo, R. Hermann, W. Hirt, and W. Schott, "A PRML System for Digital Magnetic Recording," *IEEE Journal on Selected Areas in Communications*, Vol. 10, No. 1, pp. 38-56, Jan. 1992.

[2] J. M. Cioffi, W. L. Abbott, H. K. Thapar, C. M. Melas, and K. D. Fisher, "Adaptive Equalization for Magnetic-Disk Storage Channels," *IEEE Commun. Magazine*, Feb. 1990.

[3] F. Dolivo, W. Schott, and G. Ungerböck, "Fast Timing Recovery for Partial-Response Signaling Systems," *Int. Conf. Commun.*, Vol. 1, pp. 18.5.1-18.5.5, Jun. 1989.

[4] K. H. Mueller and M. Müller, "Timing Recovery in Digital Synchronous Data Receivers," *IEEE Trans. Commun.*, Vol. COM-24, pp. 516-530, May 1986.

[5] S. A. Raghavan and H. K. Thapar, "On Feed-Forward and Feedback Timing Recovery for Digital Magnetic Recording Systems," *IEEE Trans. on Magn.*, Vol. 27, No. 6, Nov. 1991.

[6] A. S. Hoagland and J. E. Monson, *Digital Magnetic Recording*, New York: John Wiley & Sons, Inc., 1991.

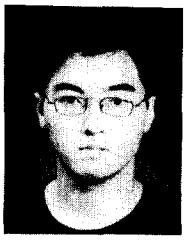
[7] J. Newman and R. Fisher, "Performance Calculations of Digital Magnetic Recording Systems," *IEEE Trans. Magn.*, Vol. MAG-20, pp. 96-98, Jan. 1984.

[8] P. Kabal and S. Pasupathy, "Partial-Response Signaling," *IEEE Trans. on Commun.*, Vol. COM-23, No. 9, pp. 921-934, Sep. 1975.

[9] B. Widrow and S. D. Stearn, *Adaptive Signal Processing*. New Jersey: Prentice-Hall, 1985.

[10] E. A. Lee and D. G. Messerschmitt, *Digital Communication*, Boston: KAP, 1994.

저 자 소 개



吳 大 善(正會員)

1971年 5月 30日生. 1995年 2月 중앙대학교, 전기공학과(공학사). 1995年 3月 ~ 현재중앙대학교 대학원, 전기공학과(재학중). 주관심 분야는 비선형 왜곡 적응 등화

趙 鏞 洙(正會員)

1959年 9月 15日生. 1984年 2月 중앙대학교, 전자공학과(공학사). 1987年 8月 연세대학교 대학원, 전자공학과(공학석사). 1991年 5月 The Univ. of Texas at Austin, Electrical and Computer Engineering(Ph.D). 1984年 1月 ~ 1984年 7月 금성전기, 연구원. 1991年 6月 ~ 1991年 12月 The Univ. of Texas at Austin, Post-Doctoral Fellow. 1992年 3月 ~ 현재 중앙대학교 전자공학과, 부교수. 주관심 분야는 디지탈 신호 처리, 디지탈 통신

梁 原 榮(正會員)

1953年 10月 6日生. 1975年 2月 서울대학교, 전기공학과(공학사). 1981年 2月 서울대학교 대학원, 전기공학과(공학석사). 1986年 8月 The Univ. of Southern California 전기공학과(Ph.D). 1986年 9月 ~ 현재 중앙대학교 전기공학과 교수. 주관심 분야는 제어 응용 및 신호 처리 분야 신호 및 시스템, 제어 시스템