

論文96-33B-4-6

# 개선된 연속시간 전류모드 CMOS 적분기를 이용한 3.3V 능동 저역필터 구현

## (Realization of 3.3V Active Low-Pass Filter using Improved Continuous-Time Current-Mode CMOS Integrator)

方駿鎬\*, 趙成翊\*, 李星龍\*\*, 權五臣\*\*, 辛烘圭\*\*\*

(Jun Ho Bang, Seong Ik Cho, Seong Ryong Lee, Oh Shin Kwon,  
and Hong Kyu Shin)

### 요 약

본 논문에서는 저전압 아날로그 전류모드 능동필터의 기본블럭으로 응용될 수 있는 새로운 구조를 갖는 연속시간 전류모드 적분기를 제안하였다. 제안된 전류모드 적분기를 Zele등이 제안한 기존 전류모드 적분기와 비교하였을 때, 단위이득 주파수, 부하구동능력 및 소비전력이 개선되었다. 그리고 제안된 전류모드 적분기를 이용하여 전류모드 3차 저역 능동필터를 설계하고, 설계된 능동필터를 ORBIT사의 1.2 $\mu$ m double-poly double metal CMOS n-well 공정을 이용하여 칩으로 제작하였다. 제작된 전류모드 능동필터의 측정결과, 단일 3.3V의 공급전압을 인가시 44.5MHz의 차단주파수와 3.3mW의 소비전력 특성을 나타내었으며, 필터의 전체 칩면적은 0.12mm<sup>2</sup> 였다.

### Abstract

In this paper, a new continuous-time current-mode integrator as basic building block of the low-voltage analog current-mode active filters was proposed. Compared to the current-mode integrator which was proposed by Zele, the proposed current mode integrator had higher unity gain frequency and output impedance in addition to lower power dissipation. And also, a current-mode third-order lowpass active filter was designed with the proposed current-mode integrator. The designed circuits were fabricated using the ORBIT's 1.2 $\mu$ m double-poly double-metal CMOS n-well process. The experimental results of the active filter designed and fabricated for this research have shown that it has the performance of 44.5MHz cutoff frequency, 3.3mW power dissipation and the third-order active filter area was 0.12mm<sup>2</sup>.

\* 正會員, 全北大學校 電氣工學科

(Dept. of Electrical Engineering, Chonbuk National University)

\*\* 正會員, 群山大學校 制御計測工學科

(Dept. of Control & Instrumentation Engineering, Kunsan National University)

\*\*\* 正會員, 圓光大學校 電子工學科

(Dept. of Electronic Engineering, Wonkwang University)

※ 본 논문은 '92 과학재단 목적기초지원사업과제입니다.

接受日字: 1995年12月16日, 수정완료일: 1996年3月20日

I. 서론

아날로그 능동필터의 설계법으로는 수동소자의 모의 방법에 따라서 스위치드 캐패시터 기법,<sup>[1-3]</sup> 트랜스컨덕턴스-캐패시터 기법,<sup>[4]</sup> 자이레이터 기법<sup>[5]</sup> 등이 많이 이용되어 왔으나 이 방법들은 대부분 전압모드 회로로 구성되는 Op-Amp, OTA, 트랜스컨덕터등의 능동소자가 다수 필요하며 단일 3.3V이하의 저 공급전압으로써 특성을 얻어 내거나 소비전력을 더욱 최소화 하는데 여러가지 난점이 있어, 이러한 문제를 해결하기 위한 아날로그 능동필터 설계방법에 관한 연구가 진행 되어 왔다.

90년대 초부터 전류모드 회로설계 방법에 의한 저전압, 저전력 능동필터 설계 및 제작에 관한 다수의 연구 논문<sup>[6-8]</sup> 이 발표되고 있는데, 전류모드 능동필터는 낮은 내부전압을 가지므로 전압모드 능동필터에 비하여 훨씬 낮은 공급전압으로 동작이 가능하고, 저임피던스의 분포 인덕턴스를 가지므로 고임피던스의 분포 캐패시턴스 성분을 갖는 전압모드 회로에 비하여 더욱 높은 주파수 특성을 얻기에도 유리하다고 보고되고 있다.<sup>[9]</sup> 전류모드 능동필터 설계시에 신호흐름선도(Signal flow graph : SFG)를 이용하여 수동필터를 모의하며, SFG에서 발생하는 적분항을 전류모드 적분기로 구성하므로 전류모드 능동필터의 설계에 있어서 좋은 특성을 갖는 전류모드 적분기의 설계는 매우 중요하다. 최근 발표된 전류모드 필터 설계에 관한 논문들<sup>[10-13]</sup> 을 살펴보면 대부분 Zele 등이 제안한 연속시간 CMOS 전류모드 적분기<sup>[10]</sup> 를 이용하였거나, 일부는 그 특성이 개선된 구조를 이용하고 있다. 그러나 이들 전류모드 적분기들은 소비전력 및 주파수 특성에 있어서 더욱 개선될 여지가 있다.

본 논문에서는 Zele 등에 의하여 제안된 연속시간 전류모드 CMOS 적분기를 분석하고 저전력 및 고주파 특성이 개선된 새로운 구조의 연속시간 전류모드 CMOS 적분기를 제안한다. 제안된 전류모드 적분기가 Zele 등에 의하여 제안된 전류모드 적분기에 비하여 소비전력을 줄일 수 있으며, 단위이득 주파수 특성 및 부하 구동능력이 개선될 수 있음을 비교하여 나타낸다. 또한 제안된 연속시간 전류모드 CMOS 적분기를 이용하여 단일 3.3V의 공급전압으로 50MHz의 차단주파수를 가지는 전류모드 3차 능동 저역필터를 설계하여 제안된 전류모드 적분기의 응용 가능성을 확인한다. 그리

고 제안된 전류모드 적분기와 능동 저역필터를 1.2 $\mu$ m double-poly double-metal CMOS n-well 공정을 통하여 칩으로 제작하고 그 측정결과를 고찰한다.

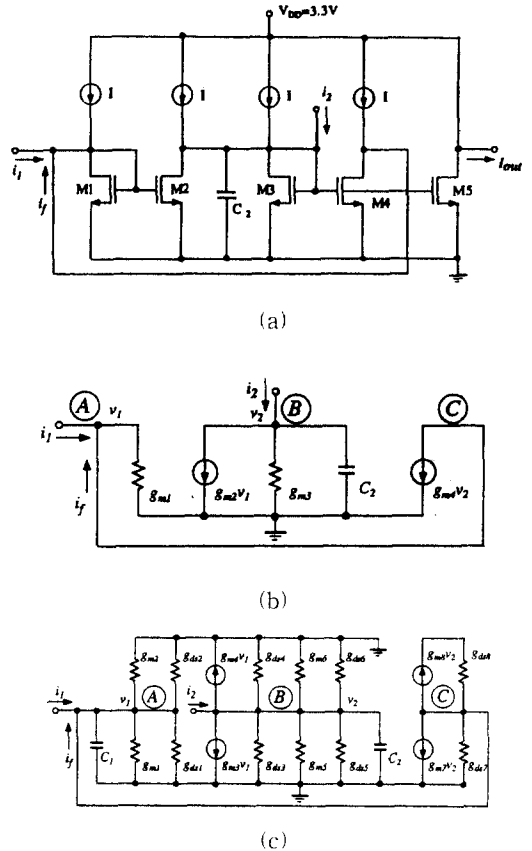


그림 1. 연속시간 전류모드 CMOS 적분기.  
(a) 회로 구조 (b) 1차 소신호 등가회로 (c) 2차 소신호 등가회로

Fig. 1. Continuous-time current-mode CMOS integrator  
(a) Architecture (b) First-order small signal equivalent circuit (c) Second-order small signal equivalent circuit

II. 새로운 구조의 전류모드 적분기 제안

1. 연속시간 전류모드 CMOS 적분기

1989년 Hughes<sup>[14]</sup> 등이 저전압, 저전력 특성을 효과적으로 얻어낼 수 있고, 집적화에도 용이하여 디지털 회로와 공존하기에 적합한 조건을 가지는 아날로그 전류 스위칭 회로를 제안하고 이를 이용하여 스위칭 전류모드 적분기를 설계하였다. 1990년대 초에 Zele 등의

회로 설계자들은 스위칭 전류모드 적분기에서 발생하는 잡음 등의 문제를 보완하기 위하여 그림 1의 연속시간 전류모드 적분기<sup>[10]</sup>로 변형하여 이용하였다. 그림 1의 연속시간 전류모드 적분기는 현재 전류모드 아날로그 연속시간 회로 설계에 폭넓게 응용되고 있다. 그림 1의 연속시간 전류모드 적분기를 소신호 해석으로 분석하여 그 특성을 조사한다.

그림 1(a)의 연속시간 전류모드 CMOS 적분기에 대한 1차 소신호 등가회로를 그림 1(b)에 나타내었다. 그림 1(b)에서 모든 트랜지스터들이 이상적인 특성을 갖는다고 가정하고 노드 ㉠, ㉢와 ㉣에서 KCL방정식을 적용하면 식(1), (2) 및 (3)을 얻을 수 있다.

$$i_1 + i_f = v_1 g_{m1} \quad (1)$$

$$g_{m2}v_1 + (g_{m3} + sC_2)v_2 = i_2 \quad (2)$$

$$g_{m1}v_2 = -i_f \quad (3)$$

그림 1(a)에서 전류미러로 구성되어 있는 MOS 트랜지스터 M1과 M2 그리고 M3과 M4등이 각각 같은 크기(W/L)로 정합되면 이들의 트랜스컨덕턴스는 각각  $g_{m1} \sim g_{m2}$ ,  $g_{m3} \sim g_{m4}$ 가 되므로 이것을 식(1)~(3)에 대입하면 식(4)가 얻어진다.

$$i_f = \frac{g_{m1}}{sC_2}(i_1 - i_2) \quad (4)$$

식(4)에서  $i_1$ 는 적분기의 궤환전류이며, 출력 전류  $i_{out}$ 는 궤환전류  $i_f$ 의  $k$ 배로 설계될 수 있으므로 최종적으로 출력 전류는 식(5)와 같다.

$$i_{out} = k \frac{g_{m1}}{sC_2}(i_1 - i_2) \quad (5)$$

식(5)에서  $k$ 가 1일 때 최대의 동적범위를 가지므로 이 때의 단위이득 주파수는 식(6)과 같다.

$$w_n \approx \frac{g_{m1}}{C_2} \quad (6)$$

식(6)은 그림 1의 연속시간 전류모드 적분기의 단위이득 주파수가 내부 캐패시터( $C_2$ )와 트랜스컨덕턴스( $g_{m1}$ )로 결정될 수 있음을 보인다. 적분기의 특성을 2차 소신호 해석을 통하여 더욱 상세하게 조사하여 본다. 2차 소신호 해석에서는 1차 해석에서 무시하였던 가상(parasitic) 캐패시터( $C_1$ )와  $g_m$ 에 비하여 상대적으로 작은 값을 갖는  $g_{ds}$  등을 포함하여 해석한다. 2차 소

신호 등가회로를 그림 1(c)에 나타내었다. 그림 1(c)에서 KCL 해석법을 통하여 각 노드에서의 방정식을 구하면 식(7), (8) 그리고 (9)와 같다. 이때 각 MOS에서 얻어지는 트랜스컨덕턴스 값들은 각각 같은 크기로 설계할 수 있으므로  $g_{m1} \sim g_{m4}$ 를  $g_m$ 으로  $g_{ds1} \sim g_{ds4}$ 를  $g_{ds}$  값으로 대표한다.

$$(g_m + g_{ds} + sC_1)v_1 = i_1 + i_f \quad (7)$$

$$g_m v_1 + (g_m + 2g_{ds} + sC_2)v_2 = i_2 \quad (8)$$

$$g_m v_2 + g_{ds} v_1 = -i_f \quad (9)$$

식(7), (8), (9)로부터 다음과 같은 식들이 얻어진다.

$$i_f = \frac{k_1(s-z_1)i_1}{(s-p_1)(s-p_2)} - \frac{k_2(s-z_2)i_2}{(s-p_1)(s-p_2)} \quad (10)$$

$$k_1 = -g_{ds}/C_1 \quad (11)$$

$$p_1 = -4g_{ds}/C_2 \quad (12)$$

$$p_2 = -g_m/C_1 \quad (13)$$

$$z_1 = (g_m/C_2)(g_m/g_{ds}) \quad (14)$$

$$k_2 = g_m/C_2 \quad (15)$$

$$z_2 = -(g_m + g_{ds})/C_1 \quad (16)$$

위 식에서  $z_1$ 과  $z_2$ 값은 적분기의 첫 번째 단과 두 번째 단의 영점이며,  $p_1$ 과  $p_2$ 값은 첫 번째 극점(우성 극점) 및 두 번째 극점(비우성 극점)이다. 극점 및 영점의 위치는 적분기의 주파수 특성과 관계되므로 2차 해석의 결과식으로 부터 그림 1의 연속시간 전류모드 적분기의 주파수 특성을 예측할 수 있다.

## 2. 새로운 구조의 연속시간 전류모드 CMOS 적분기 제안

이 절에서는 앞서 수행된 그림 1의 연속시간 전류모드 CMOS 적분기에 대한 소신호 해석의 결과를 바탕으로 저소비전력 및 주파수 특성을 더욱 개선할 수 있는 새로운 연속시간 전류모드 CMOS 적분기를 제안한다. 그림 1의 연속시간 전류모드 적분기에 대한 소신호 해석의 결과식 중에서 단위이득 주파수 특성을 보여주고 있는 식(6)으로 부터, 단위이득 주파수를 확장할 수 있는 방법으로는 그림 1의 적분기를 구성하고 있는 MOS M4에서 얻어지는  $g_{m4}$ 를 증가하거나 적분기내의 캐패시터( $C_2$ ) 값을 감소하는 방법이 있다. 여기서 캐패시터  $C_2$ 를 감소하는 방법은 적분기의 적분특성의 변화

를 초래할 수 있고, 추후 필터를 구성할 때 수동필터 소자값의 크기에 따라 캐패시터 값이 결정되어야 하므로 캐패시터의 값을 감소시키는 방법은 적절하지 않다.

결국, 본 논문에서 제안되는 연속시간 전류모드 적분기의 구조는 그림 1의 전류모드 적분기의 단위이득 주파수 특성을 개선하기 위한 방법으로 부터 유추되었다. 즉, 단위이득 주파수 특성의 개선방법으로 트랜스컨덕턴스 값을 증가하기 위하여 NMOS로 구성되어 있는 그림 1의 적분기 구조와는 달리 NMOS와 PMOS가 서로 보완적으로 동작하는 CMOS 상보형 회로를 사용하여 구성한 전류모드 적분기를 제안한다. 그림 2에 보인 제안된 CMOS 연속시간 전류모드 적분기를 소신호 해석을 통하여 분석하고 그 결과를 그림 1의 전류모드 적분기와 비교하여 본다.

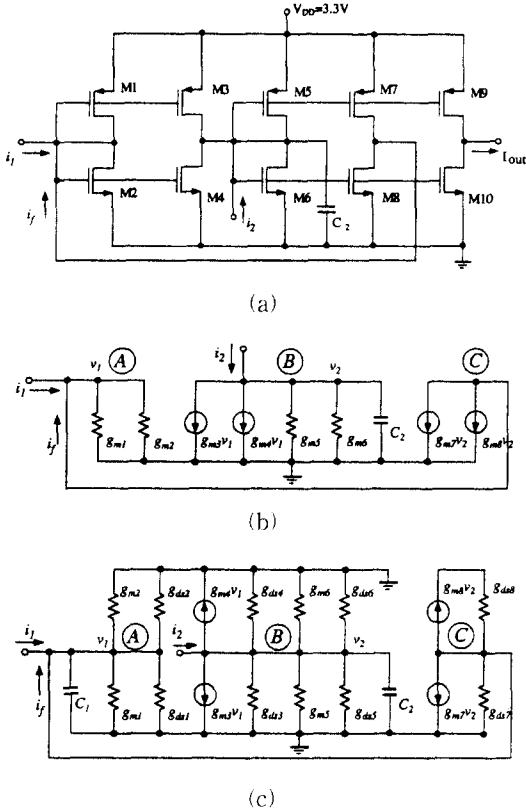


그림 2. 제안된 연속시간 전류모드 CMOS 적분기  
(a) 회로 구조 (b) 1차 소신호 등가회로 (c) 2차 소신호 등가회로

Fig. 2. Proposed continuous-time current-mode CMOS integrator  
(a) Architecture (b) First-order small signal equivalent circuit (c) Second-order small signal equivalent circuit

제안된 연속시간 전류모드 적분기의 1차 소신호 해석을 위하여 간략화된 소신호 등가회로는 그림 2(b)와 같다. 제안된 적분기를 구성하고 있는 모든 트랜지스터들이 이상적인 특성을 갖는다고 가정하고 노드 A, B와 C에서 KCL방정식을 적용하면 식(17), (18) 및 (19)와 같이 3개의 방정식으로 나타낼 수 있다.

$$i_1 + i_f = v_1(g_{m1} + g_{m2}) \tag{17}$$

$$(g_{m3} + g_{m4})v_1 + (g_{m5} + g_{m6} + sC_2)v_2 = i_2 \tag{18}$$

$$(g_{m7} + g_{m8})v_2 = -i_f \tag{19}$$

이때 제안된 전류모드 적분기를 구성하고 있는 트랜지스터 M1과 M3, M2와 M4, M5와 M7, 그리고 M6과 M8은 모두 전류미러로 구성되어 있으므로 모두 같은 크기로 설계하면 이들 각각의 트랜스컨덕턴스 값들은  $g_{m1} = g_{m3}$ ,  $g_{m2} = g_{m4}$ ,  $g_{m5} = g_{m7}$ ,  $g_{m6} = g_{m8}$ 이 된다. 이 값을 식(17)~(19)에 대입하면 식(20)을 얻을 수 있다.

$$i_f = \frac{g_{m7} + g_{m8}}{sC_2} (i_1 - i_2) \tag{20}$$

여기서 적분기의 출력전류  $i_{out}$ 는 피이드백 전류  $i_f$ 의 k배로 설계되므로 최종 출력전류는 식(21)과 같다.

$$i_{out} = k \frac{g_{m7} + g_{m8}}{sC_2} (i_1 - i_2) \tag{21}$$

식(21)에서 k가 1일 때 최대의 동적 범위를 가지게 되므로 이때의 단위이득 주파수는 식(22)와 같다.

$$\omega_o \approx \frac{g_{m7} + g_{m8}}{C_2} \tag{22}$$

2차 소신호 해석을 통하여 나머지 파라미터에 대해서도 조사하여 본다. 1차 소신호 해석에서 무시하였던  $C_1$ 과  $g_{ds}$ 을 포함한 2차 소신호 등가회로를 그림 2(c)에 나타내었다. 그림 2(c)에서 KCL해석법을 통하여 식(23)~(25)를 얻을 수 있다. 이때 각 MOS에서 얻어지는 트랜스컨덕턴스 값들은 각각 같은 크기로 설계할 수 있으므로  $g_{m1} \sim g_{m8}$ 의 값을  $g_m$ 으로  $g_{ds1} \sim g_{ds8}$ 의 값을  $g_{ds}$ 으로 대표 하였다.

$$(2g_m + 2g_{ds} + sC_1)v_1 = i_1 + i_f \tag{23}$$

$$2g_m v_1 + (2g_m + 4g_{ds} + sC_2)v_2 = i_2 \tag{24}$$

$$2g_m v_2 + 2g_{ds} v_1 = -i_f \tag{25}$$

식(23), (24), (25)으로부터 다음식을 얻어낼 수 있다.

$$i_f = \frac{k_1(s-z_1)i_1}{(s-p_1)(s-p_2)} - \frac{k_2(s-z_2)i_2}{(s-p_1)(s-p_2)} \quad (26)$$

$$k_1 = -2g_{ds}/C_1 \quad (27)$$

$$p_1 = -8g_{ds}/C_2 \quad (28)$$

$$p_2 = -2g_m/C_1 \quad (29)$$

$$z_1 = 2(g_m/C_2)(g_m/g_{ds}) \quad (30)$$

$$k_2 = 2g_m/C_2 \quad (31)$$

$$z_2 = -2(g_m+g_{ds})/C_1 \quad (32)$$

위 식에서  $z_1$ 과  $z_2$ 값은 각각 첫 번째단과 두 번째 단의 영점이고,  $p_1$ 과  $p_2$ 값은 적분기의 첫번째(우성) 극점 및 두 번째(비우성) 극점이다. 이상과 같이 제안된 전류모드 적분기에 대한 1차 및 2차 소신호 해석을 수행하였으며 전체적인 결과를 다음절에서 정리한다.

3. 제안된 연속시간 전류모드 적분기의 특성

소신호 해석의 결과로부터 그림 2의 제안된 전류모드 적분기가 그림 1의 기존 전류모드 적분기에 비하여 몇가지 특성이 개선될 수 있음을 알 수 있는데, 이들 개선점을 살펴본다.

① 주파수 특성의 개선

연속시간 전류모드 적분기들에 대한 소신호 해석으로부터 주파수 특성과 관련된 몇 가지의 결과식을 표 1에 정리하였다.

표 1. 두 적분기의 소신호 해석 결과

Table 1. Results of small signal analysis of two integrators.

Architecture Characteristics	Typical continuous-time current mode integrator	Proposed continuous-time current mode integrator
Unity gain frequency( $\omega_u$ )	$\frac{g_{m1}}{C_2}$	$\frac{g_{m1} + g_{m2}}{C_2}$
Dominant pole ( $p_1$ )	$-4g_{ds}/C_2$	$-8g_{ds}/C_2$
Nondominant pole ( $p_2$ )	$-g_m/C_1$	$-2g_m/C_1$

표 1에 정리된 것과 같이 기존 전류모드 적분기에 비하여 제안된 전류모드 적분기의 단위이득 주파수가 두 배의 크기로 증가하였으며 단위이득 주파수와 비례적인 관계에 있는 극점들도 그림 3과 같이 원점으로 부

터의 거리가 더욱 확장되었다. 두 적분기의 단위이득 주파수를 SPICE 시뮬레이션을 통하여 확인하였을 때, 그림 4의 결과를 얻었다.

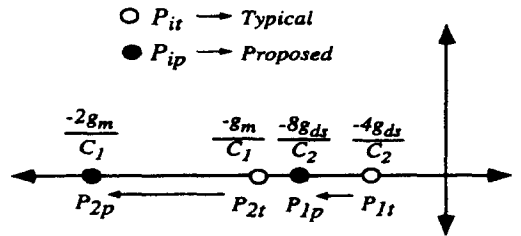


그림 3. 두 적분기들의 극점 위치  
Fig. 3. Position of poles of two integrators.

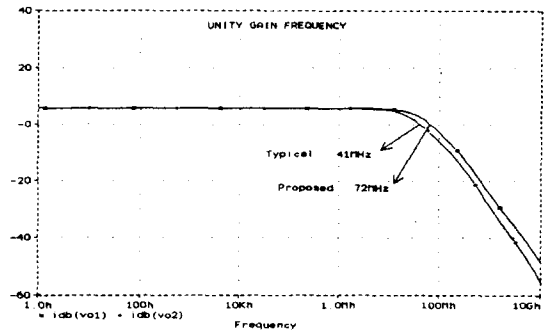


그림 4. 전류모드 적분기들의 단위이득 주파수의 비교  
Fig. 4. Comparison of the unity gain frequency of current-mode integrators.

② 부하 구동능력의 증가

전압모드 회로와 쌍대적인 등가회로가 구성되는 전류모드 회로의 경우, 출력저항이 클수록 출력측에 연결될 외부 부하쪽에 더 많은 출력전류가 인가되며, 그만큼 부하구동 능력은 증가된다. 제안한 전류모드 적분기는 기존 전류모드 적분기에 비하여 출력저항이 증가된 구조를 이루고 있는데 이것을 조사하기 위하여 각 전류모드 적분기의 출력단과 그 소신호 등가회로를 그림 5에 나타내었다.

그림 5(a)는 기존 전류모드 적분기의 출력단이고 소신호 등가회로는 그림 5(c)와 같다. 소신호 등가회로에서 출력저항  $R_o$ 의 크기는  $R_{ds}$ 와  $R_L$ 의 병렬값이며 식(33)과 같다.

$$\frac{R_{ds} \cdot R_L}{R_{ds} + R_L} = R_o, \quad R_{ds} \gg R_L, \quad (33)$$

기존 전류모드 적분기의 경우 MOS 전류원을 구성하는  $R_L$ 은 신호경로에 존재하는 MOS의 드레인-소오

스 저항  $R_{ds}$ 에 비해 작은 값이다. 그러므로 식(33)에서  $R_o$ 의 크기는  $R_L$ 값에 가깝다.

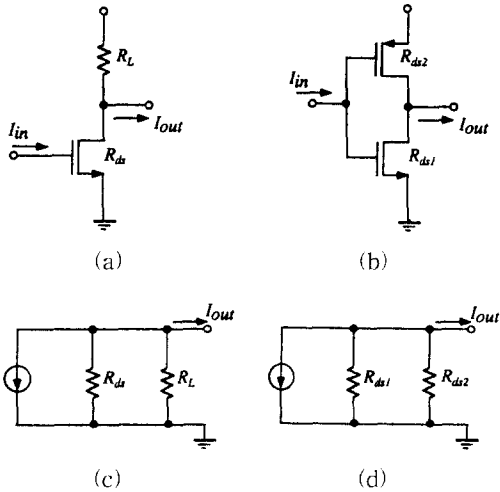


그림 5. 출력단 및 등가회로  
 (a) 기존 적분기의 출력단 (b) 제안된 적분기의 출력단 (c) 그림 (a)의 소신호 등가회로 (d) 그림 (b)의 소신호 등가회로

Fig. 5. Output stages and their equivalent circuits  
 (a) Output stage of typical integrator (b) Output stage of proposed integrator (c) Small signal equivalent circuit of figure (a) (d) Small signal equivalent circuit of figure (b)

이에 반해서 제안된 전류모드 적분기의 경우는 그림 5(d)와 같이 PMOS와 NMOS가 모두 신호경로에 있고 이들에 의하여  $R_{ds1}$ 과  $R_{ds2}$ 이 병렬로 연결되어 식 (34)와 같은 출력저항  $R_o$ 가 얻어진다.

$$\frac{R_{ds1} \cdot R_{ds2}}{R_{ds1} + R_{ds2}} = R_o, \quad R_{ds1} \approx R_{ds2} \quad (34)$$

이때  $R_{ds1}$ 과  $R_{ds2}$ 는 거의 같은 크기이므로  $R_o$ 는  $1/2R_{ds1}$  또는  $1/2R_{ds2}$ 의 값을 가지게 된다. 이 값은 식 (33)의 기존 출력저항에 비하여 큰 값이 된다. 표 2에 각 적분기의 출력저항을 비교하여 정리하였다.

시뮬레이션을 통하여 조사하였을 때, 7.7K의 출력저항을 갖는 기존 전류모드 적분기에 비하여 제안된 전류모드 적분기는 10배에 가까운 78K의 출력저항을 얻을 수 있었다.

③ 회로 크기의 축소

그림 1의 전류모드 적분기의 경우에 전류원( $I$ )을 회로적으로 구현을 하며, 실제 회로에서 MOS를 삽입하

여 드레인 전류를 전류원으로 이용하고 있다. 이때 MOS 전류원의 게이트에 공급전원이 필요하며 이를 위하여 추가의 바이어스 회로가 필요하게 되므로 회로의 전체크기는 바이어스 공급회로를 포함한 크기가 된다. 그러나 제안된 전류모드 적분기의 모든 MOS는 자기 바이어스화 되어 있어서 추가 바이어스 회로가 불필요하다. 결과적으로 제안된 적분기는 기존 회로에서 바이어스 회로 구성에 필요하였던 크기 만큼이 축소될 수 있으며 크기 축소에 의한 소비전력 감소 효과도 기대할 수 있다. 다수의 적분기를 이용한 필터 구성시 소비전력의 감소 효과는 더욱 커질 것이다.

표 2. 두 적분기들의 출력 저항  
 Table 2. Output resistance of two integrators.

Architecture Output resistance( $R_o$ )	Typical current mode integrator	Proposed current mode integrator
Equation results	$\frac{R_{ds} \cdot R_L}{R_{ds} + R_L}, R_{ds} \gg R_L$	$\frac{R_{ds1} \cdot R_{ds2}}{R_{ds1} + R_{ds2}}, R_{ds1} \approx R_{ds2}$
Simulation results	$R_{ds} = 8.1K$ $R_L = 166.7K$ $R_o = 7.7K$	$R_{ds1} = 149.3K$ $R_{ds2} = 166.7K$ $R_o = 78K$

이상과 같이 제안된 전류모드 적분기는 Zele등이 제안한 그림 1의 전류모드 적분기에 비하여 단위가득 주파수와 부하 구동능력이 개선되었고, 추가의 바이어스 회로가 불필요하여 소비전력도 감소할 수 있음을 논하였다. 3장에서는 제안된 전류모드 적분기를 기본블럭으로 하여 전류모드 능동필터를 설계함으로써 저전력 및 고주파 특성을 요구하는 아날로그 전류모드 회로에 응용가능성을 확인한다.

III. 3.3V 전류모드 능동필터 설계

설정된 필터의 설계사양에 따라 필터함수 및 수동필터 회로를 선정하며, 수동회로의 SFG 및 블럭다이아그램을 작성하고 전류모드 적분기를 이용하여 능동필터를 구성한다.

1. 3.3V 전류모드 능동필터 설계

설정된 전류모드 능동필터의 설계사양을 표 3에 나타내었다. 공급전압을 3.3V으로 설정하였으며, 필터함수는 3차 저역 체비셰프 함수로 하였고, 필터구조는 제자형 복종단 LC 수동 회로망으로 하였는데 제자형 회로망은 수동회로를 능동회로로 변환과정에서 낮은 감

도 특성을 유지할 수<sup>15)</sup>가 있다. 또한 전류모드 능동 필터의 장점에 부합되도록 비교적 높은 차단주파수에 비하여 낮은 소비전력을 갖도록 설정하였다.

표 3. 전류모드 능동 필터의 설계사양  
Table 3. Specification of the current-mode active filter.

Parameter	Specification
Filter function	Third-order Lowpass, Chebyshev
Passive filter type	LC ladder doubly terminated
Passband ripple	1 dB
Stopband attenuation	> 30 dB
Cutoff frequency	50 MHz
Power supply voltage	3.3 V
Power dissipation	< 6 mW

설정된 설계사양에 의하여 설계된 전류모드 3차 수동 저역필터는 그림 6과 같으며 소자값은 표 4와 같다.

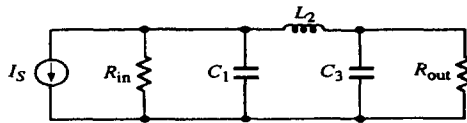


그림 6. 설계된 전류모드 3차 수동 저역필터  
Fig. 6. Designed current-mode third-order passive lowpass filter.

표 4. 수동필터의 소자값  
Table 4. Component value of the passive filter.

Passive component	Value ( $\omega_c = 1\text{rad/sec}$ )
$R_i$	1 $\Omega$
$C_1$	2.2160 F
$L_2$	1.0883 H
$C_3$	2.2160 F
$R_o$	1 $\Omega$

그림 6의 전류모드 수동필터를 전류모드 능동회로로 변환하기 위하여 작성한 SFG를 그림 7과 같다. SFG의 작성시에 L과 C로 구성된 전류모드 수동필터의 각 소자에 흐르는 전류들은 식(35)~(37)로 표현되며 이 식들에 의하여 SFG가 구성된다.

$$I_1 = \frac{1}{SC_1}(I_S - I_1 - I_2) \quad (35)$$

$$I_2 = \frac{1}{SL_2}(I_1 - I_3) \quad (36)$$

$$I_3 = \frac{1}{SC_3}(I_2 - I_3) \quad (37)$$

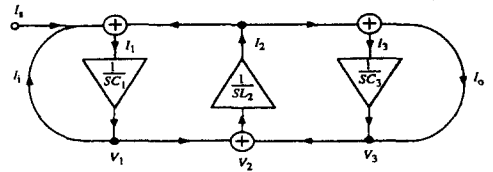


그림 7. 신호흐름선도  
Fig. 7. SFG.(Signal flow graph).

그림 7의 SFG에서 적분항이 전류모드 적분기에 의하여 모의되며 각 노드점 사이의 덧셈기는 전류모드 적분기의 입력단에서 합으로 모의되어 그림 8의 블럭 다이어그램과 같이 구성된다.

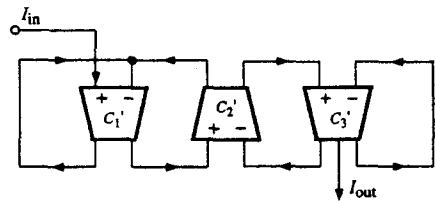


그림 8. 전류모드 3차 저역필터의 블럭다이어그램  
Fig. 8. Block diagram of the current mode 3rd-order lowpass filter.

그림 8의 블럭다이어그램에 의하여 전류모드 능동필터는 3개의 전류모드 적분기로 직접모의되며 전류모드 적분기 내부의 적분캐패시터의 값을 결정함으로써 설계가 완료된다. i번째 전류모드 적분기의 적분 캐패시터 Ci는 식(38)로부터 구해진다.

$$C_i = \frac{g_m X_i}{\omega_c} \quad (38)$$

식(38)에서 gm은 전류모드 적분기의 트랜스컨덕턴스이며 Xi는 i번째 회로의 규준화(normalized)된 수동 소자값이고  $\omega_c$ 는 전류모드 능동필터의 차단주파수이다. 제안된 전류모드 적분기의 gm값과 설정된 전류모드 필터의 차단주파수를 식(38)에 대입하여 얻어낸 적분 캐패시터 Ci를 표 5에 나타내었다.

표 5의 적분 캐패시턴스와 제안된 전류모드 적분기를 이용하여 최종적으로 구성한 전류모드 능동필터를 그림 9에 나타내었다. 전류모드 능동필터는 입력 및 출

력단자외에 외부 전압단자( $V_c$ )가 연결되어 있는데, 연결된 전압단자는 칩제작후 여러가지 요인에 의하여 발생할 수 있는 전류모드 필터의 차단주파수 변동을 동조하기 위하여 구성하였다.

표 5. 전류모드 적분기의 적분 캐패시턴스  
Table 5. Integration capacitors of current-mode integrators.

Passive component ( $X_i$ )	Transconductance (gm)	Cutoff frequency ( $\omega_{co}$ )	Integration capacitor ( $C_i$ )
$C_1 (= 2.2160 \text{ F})$	50 U	50 MHz	$C_1 (= 0.36 \text{ pF})$
$L_2 (= 1.0883 \text{ H})$	50 U	50 MHz	$C_2 (= 0.17 \text{ pF})$
$C_3 (= 2.2160 \text{ F})$	50 U	50 MHz	$C_3 (= 0.36 \text{ pF})$

Continuous-time Current Mode 3-order Lowpass Filter

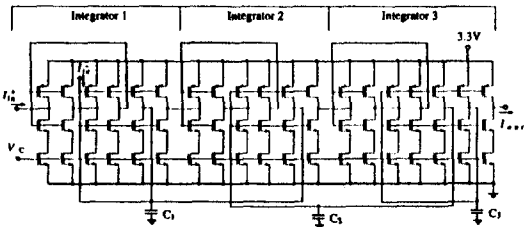


그림 9. 설계된 전류모드 3차 능동 저역통과 필터  
Fig. 9. Designed current-mode 3rd-order active lowpass filter.

2. 전류모드 3차 능동 저역필터 시뮬레이션

설계된 전류모드 3차 능동 저역필터를 SPICE를 이용하여 시뮬레이션한 크기특성은 그림 10과 같고 그 밖에 특성을 설계사양과 비교하여 표 6에 나타내었다.

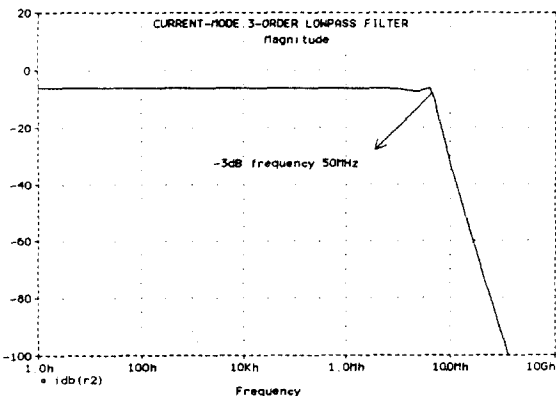


그림 10. 전류모드 3차 능동 저역필터의 크기 특성  
Fig. 10. Magnitude characteristics of the current-mode 3rd-order active lowpass filter.

표 6. 전류모드 3차 능동 저역필터의 시뮬레이션 결과

Table 6. Simulation results of the current-mode 3rd-order active lowpass filter.

Parameter	Specification	Simulation
Passband ripple	1 dB	1 dB
Stopband attenuation	> 30 dB	> 35 dB
Cut off frequency	50 MHz	50 MHz
Power supply voltage	3.3 V	3.3 V
Power dissipation	< 6 mW	3.6 mW

설계된 전류모드 능동 저역필터의 시뮬레이션 결과, 설정하였던 설계사양에 만족한 결과를 얻었다. 특히 6mW 이하로 설정된 전체 소비전력이 시뮬레이션 결과, 3.6mW로 나타났다.

IV. 실험 결과 및 고찰

1. 실험 결과

그림 2의 제안된 전류모드 적분기와 그림 9의 전류모드 3차 능동 저역필터를 미국 ORBIT사의 1.2μm double-poly double-metal CMOS n-well 공정을 통하여 칩으로 제작하였다. 제작된 전류모드 적분기, 전류모드 3차 능동 저역필터의 특성을 측정하고 그 측정값을 시뮬레이션 결과와 비교하였다. 전류모드 적분기의 현미경 사진을 그림 11에 나타내었고 측정결과를 표 7과 그림 12에 나타내었다.



그림 11. 전류모드 적분기의 현미경 사진  
Fig. 11. Microphotograph of the current-mode integrator.

전류모드 3차 능동 저역필터의 현미경 사진을 그림 13에 나타내었고 측정결과를 표 8과 그림 14에 나타내



었다.

표 7. 전류모드 적분기의 특성 측정결과  
Table 7. Testing results of the current-mode integrator.

Parameter	Simulation	Testing
Supply voltage	3.3 V	3.3 V
Power dissipation	1.2 mW	1.1 mW
Current gain	40 dB	37 dB
Unity gain frequency	72 MHz	68 MHz

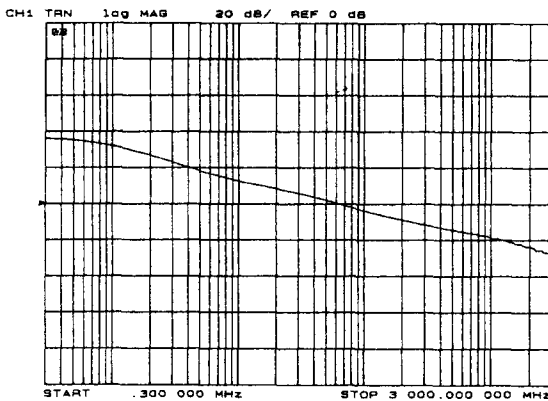


그림 12. 전류모드 적분기의 주파수 특성 측정결과  
Fig. 12. Testing results of the frequency characteristics of the current-mode integrator.

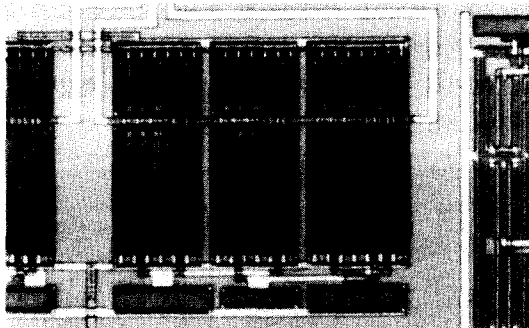


그림 13. 전류모드 3차 저역필터의 현미경 사진  
Fig. 13. Microphotograph of the current-mode third-order lowpass filter.

## 2. 결과 고찰

제작된 전류모드 적분기의 측정 결과를 살펴볼 때, 공급전압 3.3V에서 소비전력은 1.1mW로써 시뮬레이션 값인 1.2mW에 비하여 적은 값으로 측정되었으며 전류이득의 경우 시뮬레이션 값에 비하여 3dB, 단위가

득 주파수의 경우 4MHz 차이를 보였다. 그리고 제작된 전류모드 3차 능동 저역필터의 경우에, 차단주파수가 44.5MHz로써 측정되어 시뮬레이션 값인 50MHz에 비하여 4.5MHz의 오차와 차단대역 감쇄율의 경우 5dB의 오차가 발생한 반면 소비전력의 경우는 3.6mW의 시뮬레이션 값에 비하여 0.3mW가 적은 3.3mW로 측정되었다.

표 8. 전류모드 3차 저역필터의 특성 측정결과  
Table 8. Testing results of the current-mode 3rd-order lowpass filter.

Parameter	Simulation	Testing
Supply voltage	3.3 V	3.3 V
Cutoff frequency	50 MHz	44.5 MHz
Stopband attenuation	> 35 dB	30 dB
Power dissipation	3.6mW	3.3mW
Active area		0.12 mm <sup>2</sup>

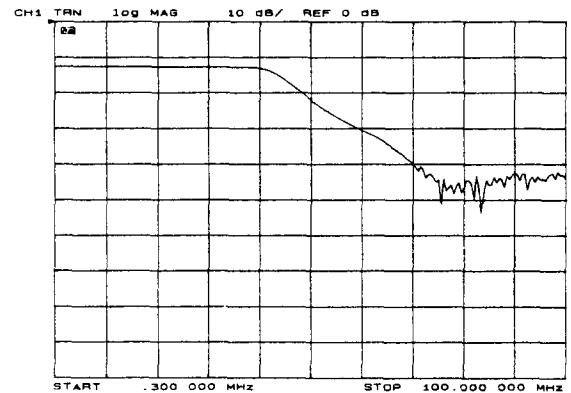


그림 14. 전류모드 3차 저역필터 크기특성 측정 결과  
Fig. 14. Testing results of the magnitude of the current-mode third-order lowpass filter.

결과적으로 제작된 회로들에 대한 대부분의 측정값이 시뮬레이션의 결과값에 근접하였으나 주파수와 관련된 일부 특성들이 상대적으로 큰 오차를 발생하였는데 이러한 이유는 측정시 발생한 오차와 함께 칩 제작 과정시 잡음등의 영향으로 전류값 변동을 초래하여 주파수 특성의 변화를 일으킨 것으로 생각된다.

## V. 결론

본 논문에서는 저전압, 저전력 아날로그 집적회로 설계방식으로 주목받고 있는 전류모드 회로방식을 이용

하여 새로운 구조를 갖는 전류모드 적분기를 제안하고 이를 이용하여 전류모드 3차 능동 저역필터를 CMOS 칩으로 구현하였다.

제안된 전류모드 적분기는 Zele등에 의하여 설계되어 전류모드 회로에 폭넓게 응용되고 있는 기존 전류모드 적분기에 비하여 세 가지의 특성이 개선되었다. 첫 번째, 주파수 특성의 개선이다. 전류모드 적분기의 구조를 CMOS 상보형으로 설계하여 NMOS와 PMOS에서 트랜스컨덕턴스를 얻을 수 있게 함으로써 기존 전류모드 적분기에 비하여 두배에 가까운 트랜스컨덕턴스를 얻을 수 있었으며, 증가된 트랜스컨덕턴스에 의하여 단위이득 주파수가 확장되었다. 두 번째로 부하 구동능력의 개선이다. 소신호 해석을 통하여 분석한 결과, 전류모드 회로의 부하구동 능력을 결정하는 출력 저항값이 기존 전류모드 적분기에 비하여 10배에 가까운 값을 얻었다. 세 번째로, 전류모드 적분기를 자기 바이어스로 동작하도록 하여 여타의 전류모드 적분기들이 추가적으로 사용하는 바이어스 회로가 불필요하도록 하였다. 이 점은 회로 크기의 축소에 크게 도움이 될 수 있으며 전류모드 회로의 장점인 저전력 특성에 더욱 부합된다.

그리고 제안한 전류모드 적분기를 이용하여 전류모드 3차 능동 저역필터를 설계하고 1.2 $\mu$ m double-metal double-poly CMOS n-well 공정을 통하여 칩으로 제작하였으며 측정결과, 차단주파수가 44.5MHz(시물레이션:50MHz), 소비전력이 3.3mW(시물레이션:3.6mW)임을 알 수 있었다. 측정결과에서 다소의 오차가 발생하였으나 본 논문에서 제안된 전류모드 적분기가 저전압 및 고주파 특성을 가지는 아날로그 전류모드 능동필터의 기본 블록으로 사용될 수 있음을 보였다. 집적회로 제작시에 발생하는 특성 오차는 추후 지속적인 연구활동으로 해결하여야 할 과제이다.

#### 참 고 문 헌

[1] K. Martin and A. S. Sedra, "Effects of the op amp finite gain and bandwidth on the performance of switched-capacitor filters," *IEEE Trans. Circuits and Systems*, vol. CAS-28, no. 8, pp. 822-829, Aug. 1981.

[2] D. J. Allstot and W. C. Black, "Technological design considerations for mono-

lithic MOS switched-capacitor filtering systems," *Proc. IEEE*, vol. 71, no. 8, pp. 967-986, Aug. 1983.

- [3] G. M. Jacobs, D. J. Allstot, R. W. Brodersen, and P. R. Gray, "Design techniques for MOS switched capacitor ladder filters," *IEEE Trans. Circuits and Systems*, vol. CAS-25, pp. 1014-1021, Dec. 1978.
- [4] C. S. Park and R. Schaumann, "Design of a 4-MHz analog integrated CMOS transconductance-C bandpass filter," *IEEE J. Solid-State Circuits*, vol. 23, no. 4, pp. 987-996, Aug. 1988.
- [5] H. Khorramabadi and P. R. Gray, "High frequency CMOS continuous-time filters," *IEEE J. Solid-State Circuits*, vol. SC-19, no. 6, pp. 939-948, Dec. 1984.
- [6] T. S. Fiez and D. J. Allstot, "CMOS switched-current ladder filters," *IEEE J. Solid-State Circuits*, vol. 25, pp. 1360-1367, Dec. 1990.
- [7] T. S. Fiez and D. J. Allstot, "A CMOS switched-current filter technique," in *ISSCC Dig. Tech. Papers*, Feb. 1990, pp. 206, 207, 297.
- [8] J. Ramirez-Angulo, M. Robinson, and E. Sanchez-Sinencio, "Current-mode continuous-time filters: Two design approaches," *IEEE Trans. Circuits and Systems II: Analog and Digital Signal Processing*, vol. 39, no. 6, pp. 337-341, June 1992.
- [9] T. S. Fiez, G. Liang, and D. J. Allstot, "Switched-current circuit design issues," *IEEE J. Solid-State Circuits*, vol. 26, pp. 192-202, Mar. 1991.
- [10] R. H. Zele, S. S. Lee, D. J. Allstot, and G. Liang, "A continuous-time current-mode integrator," *IEEE Trans. Circuits and Systems*, vol. 38, pp. 1236-1238, Oct. 1991.
- [11] S. L. Smith, E. S. Sinencio, "3v High-Frequency Current-Mode Filter," in *Proc. IEEE ISCAS*, pp. 1459-1462. 1993.
- [12] R. H. Zele, D. J. Allstot, and T. S. Fiez, "Fully Balanced CMOS Current-Mode

circuits," *IEEE J. Solid-State Circuits*, vol. 28, no. 5. pp. 569-574, May 1993.

[13] R. H. Zele, S. S. Lee and D. J. Allstot, "A 3V-125 MHz CMOS Continuous-Time Filter" in *Proc. IEEE ISCAS*, pp. 1164-1167, 1993.

[14] J. B. Hughes, N. C. Bird and I. C. Meebath, "Switched Currents A New Te-

chnique for Analogue Sample-Data Signal Processing," in *Proc. IEEE ISCAS*, pp. 1584-1587, May 1989.

[15] L. T. Bruton, "Low-sensitivity digital ladder filters," *IEEE Trans. Circuits and System*, vol. CAS 22, no. 3, pp. 168-176, Mar. 1975.

저 자 소 개



方駿鎬(正會員)

1966년 9월 28일생, 월1989년 전북대학교 공과대학 전기공학과(공학사). 1991년 전북대학교 대학원 전기공학과(공학석사). 1996년 2월 전북대학교 대학원 전기공학과 (회로및제어전공,공학

박사) 관심분야는 아날로그 및 혼합모드 집적회로설계



趙成翊(正會員)

1961년 2월 10일생, 1987년 전북대학교 공과대학 전기공학과(공학사). 1989년 전북대학교 대학원 전기공학과(공학석사). 1994년 2월 전북대학교 대학원 (공학박사) 관심분야는 아날로그 및 혼합모드 집적회로설계



李星龍(正會員)

1958년 11월 30일생, 1980년 명지대학교 공과대학 전기공학과(공학사). 1982년 명지대학교 대학원 전기공학과(공학석사). 1988년 2월 전북대학교 대학원 전기공학과 (공학박사) 1996년 현

재 군산대학교 제어계측공학과 조교수 관심분야는 전력전자



權五臣(正會員)

1954년 11월 6일생, 1978년 전북대학교 공과대학 전기공학과(공학사). 1981년 전북대학교 대학원 전기공학과(공학석사). 1988년 2월 전북대학교 대학원 전기공학과 (공학박사). 1993년 ~ 1994년 일본 오사카전자

통신대학 객원교수, 1988년 ~ 현재 군산대학교 제어계측공학과 부교수. 관심분야는 신경회로망, 퍼지제어, 회로망합성



辛烘圭(正會員)

1953년 12월 26일 생, 1975년 전북대학교 전기공학과(공학사), 1980년 전북대학교 대학원(공학석사) 1989년 2월 : 전북대학교 대학원(공학박사) 1990년 8월 ~ 1991년 8월 : Ohio State Univ.

Post doctoral course. 1982년 3월 ~ 현재 : 원광대학교 공과대학 전자공학과 교수. 주관심분야는 Analog VLSI Sytem design