

論文96-33A-10-24

속도 독립 회로 합성을 위한 비동기 유한 상태기로부터 신호 전이 그래프로의 변환

(Transformation from Asynchronous Finite State Machines to Signal Transition Graphs for Speed-independent Circuit Synthesis)

鄭 成 太

(Sungtae Jung)

요 약

본 논문에서는 속도 독립 회로 합성을 위하여 비동기 유한 상태기를 신호 전이 그래프로 변환하는 방법을 제안한다. 기존의 속도 독립 회로 합성 방법은 비동기 유한 상태기를 상태 그래프로 변환한 다음에 상태 그래프로부터 속도 독립 회로를 합성한다. 상태 그래프의 각 노드는 모든 입출력 신호의 값을 나타내므로 입출력 신호의 수가 N 일 때 상태 그래프의 최대 노드수는 2^N 이다. 기존의 방법이 지수승의 데이터 복잡도 문제를 가지는데, 이에 반하여 본 논문에서는 비동기 유한 상태기를 입출력 신호의 수가 N 일 때 최대 $2N$ 개의 노드를 가지는 신호 전이 그래프로 변환함으로써 기존의 신호 전이 그래프로부터의 합성 방법이 적용될 수 있도록 한다. 실험 결과에 의하면 이 방법은 기존의 합성 방법보다 더 효율적인 회로를 합성한다.

Abstract

We suggest a transform method from Asynchronous Finite State Machines(AFSMs) into Signal Transition Graphs(STGs) for speed-independent circuit synthesis. Existing works synthesize speed-independent circuits by using the state graph derived from AFSMs, wherein the number of nodes in the state graph increases exponentially as the number of input and output signals increases. To overcome the problem of the exponential data complexity, we transform AFSMs into STGs so that the previous synthesis algorithm from STGs can be applied. According to the experimental results, it turns out that our synthesis method produces more efficient circuit than the previous synthesis methods.

I. 서 론

반도체 공정 기술이 발전함에 따라 고속의 대규모 디지털 시스템이 출현되고 있다. 그런데, 근래에 들어 동기 방식의 대규모 디지털 시스템의 설계에 있어서 전역 클럭(global clock)이 제한 요소로 대두되고 있다.

이는, 반도체 소자의 속도가 빨라지는 것에 비례하여 선의 신호 전달 속도가 빨라지지 않고 클럭이 시스템의 각 구성 요소에 동시에 전달되지 않는 클럭 스퀴(clock skew) 현상을 제거하기가 어렵기 때문이다. 이러한 문제를 해결하기 위한 한 방법으로 전역 클럭을 사용하지 않는 비동기 회로(asynchronous circuit)에 대한 연구가 근래에 들어 활발히 진행되고 있다.

비동기 회로는 클럭을 사용하지 않으므로 클럭 스퀴 문제가 없고 평균 속도로 동작할 수 있으며 전력 소모가 적은 회로 구현에 이용될 수 있는 등 여러 가지 장

* 正會員, 圓光大學校 컴퓨터工學科

(Dept. of Computer Eng., WonKwang Univ.)

接受日字: 1996年4月9日, 수정완료일: 1996年10月2日

접을 가지고 있다. 그러나 비동기 회로는 의도하지 않은 신호의 변화인 해저드(hazard)로 인하여 비동기 회로의 설계가 동기 회로(synchronous circuit)에 비해 훨씬 더 어렵다는 문제를 가지고 있다^[11].

따라서, 최근에 들어 상위 단계의 기술로부터 비동기 회로를 자동으로 합성하는 여러 가지 방법들이 제안되고 있다. [3, 6, 9, 11, 13]

비동기 회로는 지연 시간 모델(delay model)에 따라 여러 부류로 나눌 수 있다. 하나는 게이트나 선의 지연 시간이 일정 한도내의 값을 가질때에 올바르게 동작하는 한정 지연 모델(bounded delay model)의 비동기 회로이다.^[13] 다른 한 부류는 선의 지연 시간은 0이라고 가정하고 게이트의 지연 시간이 임의의 값을 가지더라도 올바르게 동작하는 비동기 회로이다. 이러한 회로를 속도 독립 회로(speed-independent circuit)라 한다.^[3, 6] 또다른 한 부류는 선과 게이트 모두가 임의의 지연 시간을 가지더라도 올바르게 동작하는 회로이다.^[11] 지연 시간 모델의 제약 조건이 완화될 수록 보다 안정하게 동작하는 장점이 있지만, 반면에 회로의 면적이 커지고 속도가 느려질 수 있는 단점이 있다. 따라서, 본 논문에서는 중간 단계의 지연 시간 모델을 갖는 속도 독립 회로를 합성하기 위하여 비동기 유한 상태기를 신호 전이 그래프로 변환한다.

비동기 회로의 기술 방법으로 신호 전이 그래프^[6], 비동기 유한 상태기^[17], 병렬 프로그램^[5] 등이 사용되고 있다. 신호 전이 그래프는 병렬성을 갖는 비동기 회로의 기술에 용이하고 비동기 유한 상태기는 선택 행위를 갖는 비동기 회로의 기술에 용이하며, 병렬 프로그램은 시스템 단계의 기술이 용이하므로 각각의 기술 방법으로부터의 비동기 회로 합성 방법이 독자적으로 개발되어 왔다. 비동기 유한 상태기로부터의 합성 방법은 두가지로 분류될 수 있다. 하나는 비동기 유한 상태기로부터 카르노 맵을 생성하여 제한된 지연시간 모델하에서 동작하는 비동기 회로를 합성하는 방법이다^[17]. 다른 한 부류는 비동기 유한 상태기를 상태 그래프(state graph)로 변환하여 속도 독립 회로를 합성하는 방법이다^[10]. 이 방법에서 비동기 유한 상태기로부터 속도 독립 회로를 곧바로 합성하지 않고 상태 그래프로 변환하여 합성하는 이유는 회로의 지연 시간에 대한 분석이 상태 그래프 상에서 훨씬 용이하기 때문이다.

기존의 비동기 유한 상태기로부터의 속도 독립 회로

를 합성하는 방법들은 상태 그래프를 이용하는데, 상태 그래프의 각 노드는 모든 입출력 신호의 값을 나타낸다. 따라서, 입출력 신호의 수가 N 일 때 상태 그래프의 최대 노드수는 2^N 이다. 기존의 방법이 갖는 높은 데이터 복잡도 문제를 극복하기 위하여 본 논문에서는 비동기 유한 상태기를 입출력 신호의 수가 N 일 때 최대 $2N$ 개의 노드를 가지는 신호 전이 그래프로 변환한 다음에 기존의 신호 전이 그래프로부터의 합성 방법이 적용될 수 있도록한다. 이렇게함으로써 기존의 방법보다 더 효율적인 회로를 합성할 수 있었다.

II. 신호 전이 그래프와 비동기 유한 상태기

1. 비동기 유한 상태기

본 논문에서는 다음과 같이 정의되는 비동기 유한 상태기를 다룬다.

정의 1 비동기 유한 상태기는 $\langle S, T, I_0 \rangle$ 의 튜플(tuple)로서 정의된다. S 는 상태의 집합을 나타낸다. T 는 상태 전이의 집합으로서 $T \subseteq S \times S$ 의 관계를 가지며 각 상태 전이는 입력 신호 전이들의 집합(입력 조건)과 출력 신호 전이들의 집합(출력 조건)을 레이블로 가진다. 여기에서 입력 신호 전이들의 집합은 공집합일 수 없다. I_0 는 초기 상태를 나타낸다.

그림 1에는 비동기 유한 상태기의 예가 나타나 있다. 각 원은 상태를 나타내며 원 안의 번호는 상태를 구분하는 번호이다. 레이블을 가지는 방향성 아크(directed arc)는 상태 전이를 나타낸다. 상태 전이의 레이블은 "입력 신호 전이들의 집합/출력 신호 전이들의 집합"을 나타낸다. 이 비동기 유한 상태기에는 초기 상태가 나타나 있지 않은 데, 토큰을 가진 모듈의 경우에는 7번이 초기 상태이고 그렇지않은 모듈의 경우에는 0번이 초기 상태이다.

입력 신호 전이에는 $s+$, $s-$, $s\#$ 이 사용될 수 있고 출력 신호 전이에는 $s+$ 와 $s-$ 를 사용할 수 있다. 신호 전이 $s+$ 는 신호 s 의 값이 0이면 0에서 1로 변화됨을 나타내고 이미 1이면 1로 남아있는 다는 것을 나타낸다. $s-$ 는 신호 s 의 값이 1이면 1에서 0으로 변화됨을 나타내고 이미 0이면 0으로 남아있는 다는 것을 나타낸다. 신호 전이 $s+$ 와 $s-$ 를 종료 전이(terminating transition)라 한다.

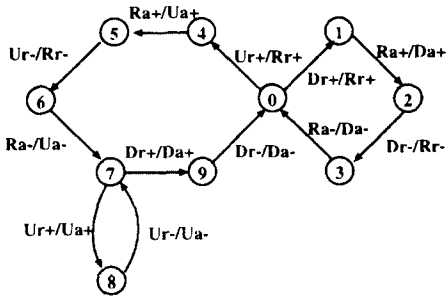


그림 1. 비동기 유한 상태기의 예
Fig. 1. An AFSM example.

신호 전이 $s\#$ 는 신호 s 의 값이 변할 수도 있고 변하지 않을 수도 있다는 것을 의미한다. 즉, 신호 전이 $s\#$ 다음에 오는 종료 전이가 $s+$ 이면 0으로 남아있거나, 0에서 1로 변화되거나 또는 이미 1로 변화되었으면 1로 남아있는 것을 나타낸다. 신호 전이 $s\#$ 다음에 오는 종료 전이가 $s-$ 이면 1로 남아있거나, 1에서 0으로 변화되거나 또는 이미 0으로 변화되었으면 0으로 남아있는 것을 나타낸다. 신호 전이 $s\#$ 를 무관 전이(don't care transition)라 한다.

상태 i, j, k 가 연속된 상태일 때 상태 전이 (i, j) 의 입력 조건에는 신호 s 의 무관 전이가 존재하지 않고, 상태 전이 (j, k) 의 입력 조건에는 신호 s 의 종료 전이가 존재하면 이 종료 전이를 의무 전이(compulsory transition)라 한다. 즉, 상태 j 로부터 상태 k 로 전이하려면 반드시 이 전이가 일어나야 한다.

비동기 유한 상태기에서 상태 전이의 의미는 다음과 같다. 상태 전이 $(s_1, s_2) \in T$ 이고 현재 회로의 상태가 s_1 일 때 상태 전이 (s_1, s_2) 의 입력 조건에 나타나 있는 모든 종료 전이가 발생하면 회로는 상태 전이 (s_1, s_2) 의 출력 조건에 나타나 있는 모든 신호 전이를 발생시킨 다음에 새로운 상태 s_2 로 된다. 여기에서 입력 조건에 나타나 있는 신호들은 서로 병렬적으로 발생할 수 있다. 또한 출력 조건에 나타나 있는 신호 전이들도 병렬적으로 발생된다.

위에서 정의한 비동기 유한 상태기가 신호 전이 그래프로 변환될 수 있기 위해서는 몇 가지 제한 조건을 만족할 필요가 있다. 본 논문에서는 다음과 같은 제한 점을 만족하는 비동기 유한 상태기만을 다룬다.

1. 자유 선택 조건: 한 상태의 후행자가 여러 개일 때에는 각 팬아웃 상태 전이의 입력 조건에는 단지 하나

의 종료 전이만 올 수 있다.

2. 자유 합병 조건: 한 상태의 선행자가 여러 개일 때에는 각 팬인 상태 전이의 출력 조건에는 단지 하나의 신호 전이만 올 수 있다.

신호 전이 그래프에서는 한 장소에서 여러 개의 출력 전이 중에 하나가 외부 환경에 의해 임의로 선택되어 발생된다. 즉, 신호 전이 그래프는 선택 행위 기술에 있어서 여러 전이들 중에서 한 전이만이 배타적으로 선택되는 행위만을 기술할 수 있다. 이에 반해, 비동기 유한 상태기에서는 선택 행위 기술에 있어서 여러 입력 신호 전이 집합들 중에 하나가 선택되는 행위를 기술할 수 있다. 이러한 선택 행위는 신호 전이 그래프에서는 표현될 수 없으므로 위와 같은 제한이 필요하다.

2. 신호 전이 그래프

신호 전이 그래프는 Chu^[6]에 의해 제안된 비동기 회로의 기술 방법으로서 Petri 네트^[7]의 한 부 집합을 비동기 회로의 기술에 적합하도록 해석한 것이다. Petri 네트는 다음과 같이 정의된다.

정의 2 Petri 네트는 $\langle T, P, F, M_0 \rangle$ 의 튜플로서 정의된다. T 는 전이(transition)의 집합을 나타내고 P 는 장소(place)의 집합을 나타낸다. F 는 전이와 장소 사이의 흐름 관계(flow relation)를 나타내며 $F \in (P \times T) \cup (T \times P)$ 의 관계를 갖는다. M_0 는 초기 표식(marking)을 나타내는데, 표식이란 네트의 각 장소에 토큰이라 불리는 0이상의 정수를 할당하는 함수로 정의된다.

Petri 네트는 표현력이 매우 강하여 광범위한 시스템을 기술할 수 있지만 이를 분석하기는 쉽지 않다^[12]. 따라서 표현력은 떨어지지만 분석하기에 용이한 Petri 네트의 여러 부 집합들이 제안되었다. 유용한 Petri 네트의 부 집합으로 표식 그래프(marked graph)와 자유 선택 네트(free-choice net)가 있다. 표식 그래프는 각각의 장소가 입력 전이와 출력 전이를 각각 하나 이하씩 갖는 Petri 네트로 정의된다. 자유 선택 네트는 만약 두 전이 t_1 과 t_2 가 같은 입력 장소 p 를 공유할 경우에 언제나 p 가 t_1 과 t_2 의 유일한 입력 장소가 되는 Petri 네트로 정의된다.

신호 전이 그래프는 자유 선택 네트의 전이를 기술 하려는 회로에서의 신호의 물리적인 전이로 해석한 것이다. 기술하고자 하는 회로의 신호의 집합을 S 로 나타 내기로 하자. 신호 s 에 대하여 $s+$ 는 신호 s 의 값이 0 에서 1로 바뀌는 것을 나타내고, $s-$ 는 s 의 값이 1에서 0으로 바뀌는 것을 나타낸다.

정의 3 신호 전이 그래프는 전이의 집합 T 가 신호 전 이의 집합 $S \times \{+, -\}$ 으로 해석된 자유 선택 네트로 정의된다.

신호 전이 그래프의 부집합인 결정성 신호 전이 그 래프는 다음과 같이 정의된다.

정의 4 결정성 신호 전이 그래프는 전이의 집합 T 가 신호 전이의 집합 $S \times \{+, -\}$ 으로 해석된 포 식 그래프로 정의된다.

그림 2에는 신호 전이 그래프의 예가 나타나 있다. 이 신호 전이 그래프에서 입력 신호는 Ur, Dr 및 Ra 이고 출력 신호는 $Ua, Da, Rr, Q0, Q1$ 및 $Q2$ 이다. 신호 전이 그래프에서 신호 전이는 $Q0+, Q0-$ 등과 같 이 전이의 이름으로 나타낸다. 한 신호의 전이가 여러 번 발생하면 $Ur+/1, Ur+/2$ 와 같이 번호를 붙여서 나 타낸다. 원은 장소를 나타내는데, 그래프를 간단하게 나타내기 위하여 입력 전이와 출력 전이가 각각 하나 씩인 장소는 그림에서는 생략되었다. 원안에 또는 아크 상에 있는 검은 색 점은 하나의 토큰을 나타낸다. 흐름 관계는 아크로 나타낸다. 그림 2에 나타나 있는 신호 전이 그래프와 그림 1에 나타나 있는 비동기 유한 상태기는 동일한 회로에 대한 기술이다.

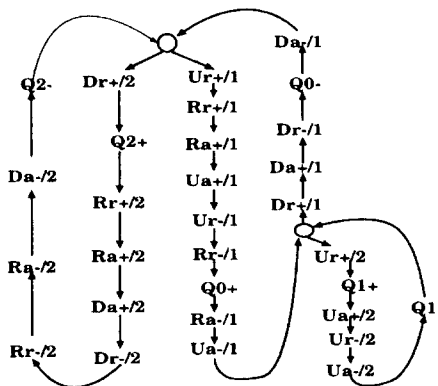


그림 2. 신호 전이 그래프의 예
Fig. 2. An STG example.

III. 신호 전이 그래프로의 변환

본 논문에서 제안하는 비동기 유한 상태기로부터 신 호 전이 그래프로의 변환 알고리즘은 네 단계로 구성 된다. 첫번째 단계에서는 비동기 유한 상태기의 모든 상태 전이를 포함하는 최소의 단순 사이클(simple cycle)의 집합을 구한다. 즉, 비동기 유한 상태기의 각 상태 전이는 이 단순 사이클 집합에 포함되어 있는 단 순 사이클 중에서 적어도 하나에는 나타나야 한다. 또 한 이 집합에 포함되는 단순 사이클의 수를 최소화해 야 한다. 이는 변환 과정에서 중복되는 작업을 피하기 위함이다. 두 번째 단계에서는 각각의 단순 사이클을 결정성 신호 전이 그래프로 변환한다. 단순 사이클에는 선택 행위가 나타나지 않으므로 결정성 신호 전이 그 래프로 변환될 수 있다. 세 번째 단계에서는 결정성 신 호 전이 그래프들을 합병하여 신호 전이 그래프를 생 성한다. 네 번째 단계에서는 합병된 신호 전이 그래프 가 유일 상태 코딩 특성을 만족하지 않으면 이 특성이 만족되도록 신호 전이 그래프를 수정한다.

1. 단순 사이클 집합 생성

비동기 유한 상태기에 대한 최소의 단순 사이클 집 합을 구하기 위해서는 먼저 비동기 유한 상태기의 모 든 단순 사이클을 구한 다음에 단순 사이클 중에서 비 동기 유한 상태기의 모든 상태 전이를 포함하는 최소 의 단순 사이클 집합을 찾는다. 단순 사이클을 찾는 과 정은 깊이 우선 탐색(depth first search) 방식의 리커 전(recursion)을 사용하였다. 모든 단순 사이클을 찾은 다음에는 사이클들을 서로 비교하여 다른 사이클에 포 함되는 사이클들을 제거한다. 그 다음에는 비동기 유한 상태기의 모든 상태 전이를 포함하는 단순 사이클 집 합을 모두 구하고 이 중에서 최소의 사이클로 구성된 집합을 임의로 선택한다.

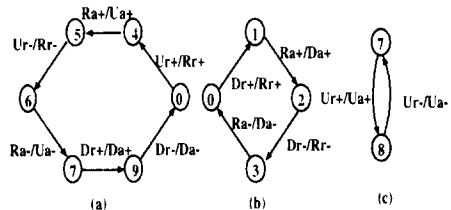


그림 3. 그림 1의 비동기 유한 상태기에 대한 최소의 단순 사이클 집합
Fig. 3. A set of minimal simple cycles for AFSM in Fig. 1.

그림 3에는 그림 1의 비동기 유한 상태기에 대한 최소의 단순 사이클 집합이 나타나 있다. 그림 1의 비동기 유한 상태기에는 모두 세 개의 단순 사이클이 존재하는 데, 각 단순 사이클이 각각 유일한 상태 전이를 포함하므로 세 단순 사이클 모두 최소의 단순 사이클 집합에 포함된다.

2. 한 단순 사이클로부터 결정성 신호 전이 그래프로의 변환

비동기 유한 상태기의 한 단순 사이클에는 선택 행위가 포함되지 않으므로 이는 신호 전이 그래프의 부집합인 결정성 신호 전이 그래프로 변환될 수 있다. 결정성 신호 전이 그래프로의 변환을 위해 먼저 각 상태 전이의 입력 조건에 나타나 있는 신호 전이들의 종류를 결정한다. 그림 4에는 상태 전이 (j, k) 에서 한 입력 신호 a 의 전이 종류를 결정하는 방법이 나타나 있다.

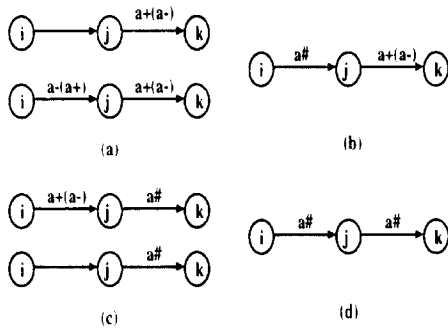


그림 4. 입력 신호 전이의 분류: (a) 의무 전이 (b) 종료 전이 (c) 유효 무관 전이 (d) 무효 무관 전이

Fig. 4. Classification of input signal transitions (a) compulsory transition (b) terminating transition (c) effective don't care transition (d) non-effective don't care transition.

상태 전이 (j,k) 에 대한 의무 전이들의 집합, 종료 전이들의 집합, 유효 무관 전이들의 집합을 각각 $T^c(j, k)$, $T^t(j, k)$, $T^e(j, k)$ 로 나타내기로 하자. 그리고 상태 전이 (j,k) 의 출력 조건에 나타나 있는 신호 전이들의 집합을 $T^o(j, k)$ 로 나타내기로 하자.

각 상태 전이의 입력 조건에 나타나 있는 신호 전이의 종류를 결정한 다음에는 비동기 유한 상태기의 각 상태 전이 (j, k) 에 대하여 두 개의 임시 전이 e_{jk}^c 와 e_{jk}^o 를 생성한다. 여기에서 e_{jk}^c 는 회로가 상태 j 에 있어

서 상태 전이 (j, k) 의 입력 조건에 나타나 있는 입력 신호 전이들이 일어날 수 있음을 나타낸다. 그리고 e_{jk}^o 는 상태 전이 (j, k) 의 입력 조건에 나타나 있는 종료 전이들이 모두 발생하여서 출력 조건에 나타나 있는 신호 전이들이 발생될 수 있음을 나타낸다.

각 상태 전이에 대하여 두 개의 임시 전이를 생성한 다음에는 아크들을 삽입한다. 먼저, 임시 전이 e_{jk}^c 전이로부터 $T^c(j, k)$ 와 $T^t(j, k)$ 의 전이들로의 아크를 삽입한다. 즉, 이들 전이는 상태 j 에서 발생할 수 있는 입력 신호 전이들이므로 임시 전이 e_{jk}^c 가 발생한 다음에 발생될 수 있도록 해주는 것이다. 다음에는 $T^e(j, k)$ 와 $T^o(j, k)$ 의 전이들로부터 임시 전이 e_{jk}^o 로의 아크를 삽입한다. 즉, 이들 전이가 모두 발생해야만 출력 조건에 나타나 있는 전이들을 발생시킬 수 있는 것이다. 그 다음에는 $T^o(j, k)$ 가 공집합이 아니면 e_{jk}^o 로부터 $T^o(j, k)$ 의 전이들로의 아크와 $T^o(j, k)$ 의 전이들로부터 e_{jk}^o 로의 아크를 삽입함으로써 출력 조건에 나타나 있는 신호 전이들을 모두 발생시킨 후에 다음 상태로 가도록 한다. $T^o(j, k)$ 가 공집합이면 e_{jk}^o 로부터 e_{kl}^o 로의 아크를 삽입함으로써 다음 상태로 가도록 한다.

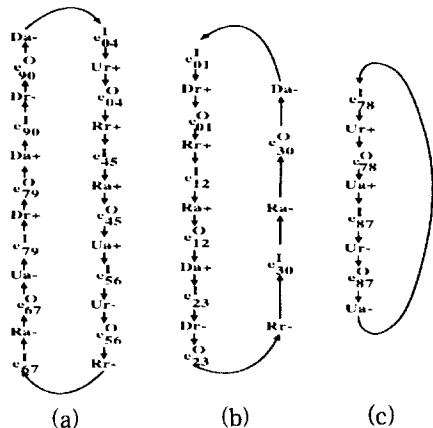


그림 5. 그림 3의 단순 사이클들에 대한 결정성 신호 전이 그래프.

Fig. 5. The deterministic STG for the simple cycles in Fig. 3.

각 상태 전이에 대하여 위와 같이 임시 전이를 생성하고 아크들을 삽입하면 종료 전이에는 입력 아크가 없고 유효 무관 전이에는 출력 아크가 없는 불완전한 결정성 신호 전이 그래프가 생성된다. 따라서, 그 다음

에는 종료 전이와 유효 무관 전이를 합병함으로써 모든 전이가 입력 아크와 출력 아크를 갖도록 만든다. 종료 전이와 유효 무관 전이를 합병하기 위해서는 각각의 유효 무관 전이 $t\#$ 에 대하여 $t\#$ 로부터 제일 가까이 있는 종료 전이 $t+$ 또는 $t-$ 를 찾는다. 그 다음에는 전이 $t\#$ 를 제거하고 $t\#$ 로의 입력 아크를 $t+$ 또는 $t-$ 에 연결함으로써 두 전이를 합병한다. 이와 같은 변환 방법을 그림 3의 단순 사이클에 적용하여 얻은 결정성 신호 전이 그래프들이 그림 5에 나타나 있다. 그림 3의 단순 사이클들에서는 각 상태 전이에 대한 입력 신호 전이들이 모두 의무 전이들이므로 각 상태 전이에 대한 임시 전이들을 생성하고 임시 전이로부터 의무전이의 아크를 첨가하여 결정성 신호 전이 그래프가 생성되었다.

3. 결정성 신호 전이 그래프들의 합병

비동기 유한 상태기의 단순 사이클을 결정성 신호 전이 그래프로 변환한 다음에는 이들을 합병하고 임시 전이들을 제거함으로써 원하는 신호 전이 그래프를 구한다. 본 논문에서는 두 개의 결정성 신호 전이 그래프의 합병을 반복하는 방법을 사용하여 여러 개의 결정성 신호 전이 그래프들을 합병한다. 두 결정성 신호 전이 그래프가 합병되는 경우는 두 가지가 있다. 하나는 두 결정성 신호 전이 그래프에 동일한 이름의 임시 전이들이 나타나는 경우이다. 동일한 임시 전이들이 나타난다는 것은 비동기 유한 상태기의 동일한 상태 전이가 두 결정성 신호 전이 그래프에 중복해서 나타난다는 것을 의미한다. 따라서 두 결정성 신호 전이 그래프에서 중복되는 부분을 합병해야 한다.

중복된 전이들을 제거하기 위해서는 두 결정성 신호 전이 그래프에서 먼저 일련의 중복된 전이들 중에서 첫 임시 전이를 찾아야 한다. 이는 두 단순 사이클에서 일련의 여러 상태 전이가 중복해서 나타날 수 있기 때문이다. 중복이 끝나는 시점은 두 단순 사이클에서 보면 서로 다른 상태로 전이하는 때이다. 이를 결정성 신호 전이 그래프에서 보면 동일한 임시 전이들이 나타나다가 서로 다른 임시 전이가 나타나면 중복이 끝나게 된다. 따라서 일련의 동일한 임시 전이들의 시작 전이를 찾은 다음에는 서로 다른 임시 전이가 나타날 때까지 두 결정성 신호 전이 그래프를 따라가면서 한쪽의 전이들을 제거한다. 중복이 시작되는 곳과 중복이 끝나는 곳에는 새로운 장소를 삽입한 다음에 아크를

삽입함으로써 두 결정성 신호 전이 그래프를 합병한다. 두 결정성 신호 전이 그래프가 합병되는 또 다른 경우는 두 단순 사이클에서 상태 전이가 중복하여 나타나지는 않지만 같은 상태가 나타나는 경우이다. 그림 3의 (a)와 (b)에 나타나 있는 단순 사이클에서는 상태 0이 중복해서 나타나고 (a)와 (c)에서는 상태 7이 중복된다. 상태 i 가 두 단순 사이클에서 중복되어 나타나면 변환된 두 결정성 신호 전이 그래프에서는 임시 전이 e_{ij}^i 와 $e_{ik}^i(j \neq k)$ 가 각각 나타나게 된다. 이러한 임시 전이들을 하나의 장소로 대치하고 아크들을 삽입함으로써 두 결정성 신호 전이 그래프를 합병한다. 그림 6에는 그림 5의 결정성 신호 전이 그래프들이 합병된 신호 전이 그래프가 나타나 있다.

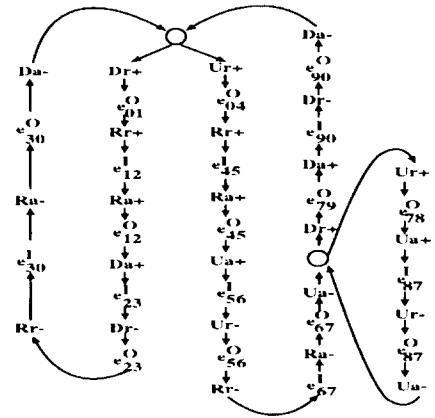


그림 6. 그림 5의 결정성 신호 전이 그래프들의 합병
Fig. 6. The merged STG of the deterministic STGs in Fig. 5.

두 임시 전이가 한 장소로 대치될 때 각 장소에는 그 장소가 대치한 임시 전이를 기록해둔다. 이렇게 함으로써 뒤따르는 합병에서 각 장소를 자신이 대치했던 임시 전이들 중의 하나처럼 사용하여 위의 합병 알고리즘을 적용할 수 있도록 할 수 있다.

결정성 신호 전이 그래프들을 합병한 다음에는 변환을 쉽게 하기 위해 첨가하였던 임시 전이들을 제거한다. 그림 7에는 한 임시 전이의 제거 방법이 나타나 있다. 한 임시 전이를 제거하기 위해서는 임시 전이의 모든 선행자와 후행자 각각의 쌍을 아크로 연결하면 된다. 그림 6의 신호 전이 그래프에서 임시 전이를 제거하고 난 후의 신호 전이 그래프가 그림 8에 나타나 있다.

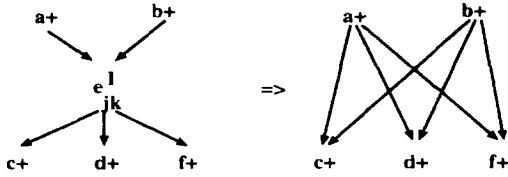


그림 7. 임시 전이의 제거 방법
Fig. 7. The removal method of empty transitions.

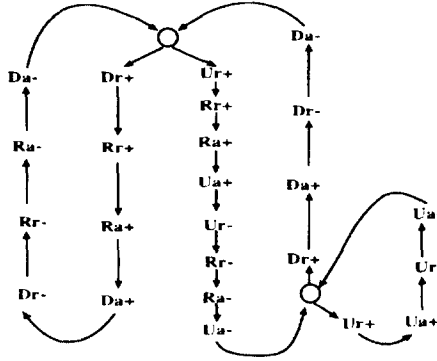


그림 8. 임시 전이가 제거된 신호 전이 그래프
Fig. 8. The STG from which empty transitions are removed.

4. 유일 상태 코딩

본 논문의 합성 방법은 안전성, 활동성, 유일 상태 코딩 특성을 만족하는 신호 전이 그래프로부터 속도 독립 회로를 합성한다^[1, 2, 8]. 따라서 비동기 유한 상태기로부터 변환된 신호 전이 그래프도 이 조건들을 만족하도록 해야 한다. 그런데 본 논문에서 제안한 변환 알고리즘에 의해 변환된 신호 전이 그래프는 안전성과 활동성을 만족하지만 유일 상태 코딩 특성은 만족하지 못할 수 있다. 유일 상태 코딩 특성을 만족하지 못하는 경우에는 신호 전이 그래프에 새로운 신호 전이들을 추가하여 이 특성을 만족하도록 한다. 본 논문에서는 Enric^[15]에 의해 제안된 유일 상태 코딩 알고리즘을 사용하여 이 특성이 만족되도록 한다. 이 방법으로 유일 상태 코딩 특성을 만족하도록 수정된 신호 전이 그래프가 그림 2에 나타나 있다. 이 신호 전이 그래프에 대해서는 세 개의 신호가 추가로 첨가되었다.

5. 알고리즘 복잡도

본 논문에서 제안한 변환 알고리즘의 주요 단계에 대한 시간 복잡도가 표 1에 나타나 있다. 첫번째 단계인 단순 사이클 집합 생성 단계에서는 먼저 비동기 유

한 상태기의 모든 단순 사이클을 구한다. 단순 사이클을 찾기 위해서는 각각의 상태 노드에서 출발하여 이미 방문된 노드들을 제외한 모든 노드들을 방문하는 방법을 사용한다. 이때 상태 노드의 수가 K 이라 할 때에 방문되는 노드의 수가 $K!$ 이 된다. 그 다음에는 다른 단순 사이클에 포함된 단순 사이클을 제거한다. 한 단순 사이클이 다른 단순 사이클에 포함되는지는 두 단순 사이클의 노드들을 모두 비교해 보면 되고 한 단순 사이클에 포함될 수 있는 노드의 수는 최대 K 개이므로 최대의 경우에 K^2 번의 비교가 필요하다. 단순 사이클의 개수는 최대 $K!$ 개가 될 수 있고 나머지 단순 사이클과 모두 비교해야 하므로 전체적으로 $K!(K!-1)K^2$ 번의 비교가 필요하다.

표 1. 변환 알고리즘에 대한 시간 복잡도
Table 1. Time Complexity of the Transformation Algorithms.

알고리즘	시간 복잡도
최소의 단순 사이클 집합 생성	$O(K!(K!-1)K^2)$
결정성 신호 전이 그래프로의 변환	$O(ML^2)$
결정성 신호 전이 그래프들의 합병	$O((M-1)L^3)$
유일 상태 코딩	$O(L^3)$

비고: K = 비동기 유한 상태기의 노드 수, M = 단순 사이클 수, L = 신호 전이 그래프의 노드 수

그 다음에는 다른 사이클에는 포함되지 않은 상태 전이를 유일하게 가지고 있는 단순 사이클의 집합 U 를 구한다. 이 작업도 각 단순 사이클의 상태 전이가 다른 단순 사이클에 포함되어 있는지 모두 살펴보아야 하는데, 바로 앞 단계에서 구한 단순 사이클의 수가 J 일 때 최대 $J(J-1)K^2$ 번의 비교가 필요하다. 그 다음에는 U 의 단순 사이클에 포함되지 않은 상태 전이들을 포함하는 단순 사이클의 집합을 구한다. 이를 위하여는 각 상태 전이에 대하여 단순 사이클들의 상태 전이를 모두 조사해야 하므로 최대 JK^2 번의 비교가 필요하다. 그 다음에는 위에서 구한 집합들을 곱하여 가장 작은 원소를 찾는다. 집합의 개수는 최대 K 개가 될 수 있고 각 집합의 원소 수는 최대 K 가 될 수 있으므로 집합의 곱셈에는 $JK!$ 번의 곱셈 연산이 필요하다. 따라서 단순 사이클의 최소 집합을 구하는 단계의 시간 복잡도는 $O(K!(K!-1)K^2)$ 이 된다.

두 번째 단계인 결정성 신호 전이 그래프로의 변환에서는 먼저 각 상태 전이에 대하여 임시 전이를 생성

하고 입력 신호 전이들의 부류를 검사한다. 각 상태 전이에 대하여 입력 신호 전이의 부류를 검사하기 위해서는 다음의 상태 전이만 살펴보면 되므로 시간 복잡도는 상수값을 갖는다. 그 다음에 아크들을 삽입하는 것도 상수값의 시간을 필요로한다. 아크들을 삽입한 다음에는 유효 무관 전이를 합병하는데, 하나의 전이를 합병하기 위해서는 신호 전이 그래프의 노드들을 한번씩 방문하면 된다. 따라서, 앞 단계에서 구한 단순 사이클이 M 개이고 신호 전이 그래프의 노드 수가 L 일 때 결정성 신호 전이 그래프로의 변환에 대한 시간 복잡도는 $O(M L^2)$ 이다.

세 번째 단계인 결정성 신호 전이 그래프의 합병 단계에서는 두 결정성 신호 전이 그래프를 합병하는 과정을 반복한다. 따라서 첫 번째 단계에서 구한 단순 사이클의 수가 M 개일 때에 $(M-1)$ 번의 합병을 필요로한다. 두 결정성 신호 전이 그래프의 합병 과정에서는 먼저 두 그래프에 공통적으로 나타나는 임시 전이로부터 시작하여 서로 다른 임시 전이가 나타날 때까지 그래프를 따라가면서 합병을 수행한다. 따라서 신호 전이 그래프의 전이가 L 개라 할 때에 공통의 전이를 찾는 데 L^2 번의 비교가 필요하고, 합병을 위하여는 $2 L^3$ 번의 비교가 필요하다. 그 다음에는 임시 전이의 아래 첨자중에서 첫번째 값이 같은 것들을 합병하는데, 이들 전이를 찾는 데에는 L^2 번의 비교가 필요하고 합병에는 상수값의 시간이 필요하다. 따라서 결정성 신호 전이 그래프의 합병에 대한 시간 복잡도는 $O((M-1)L^3)$ 이다. 본 논문에서 사용한 유일 상태 코딩 알고리즘^[15]의 시간 복잡도 $O(L^2)$ 이다.

IV. 실험 결과

본 논문의 변환 알고리즘은 Sparc 워크스테이션에서 C 언어를 사용하여 구현되었다. 본 논문에서 제안한 변환 알고리즘에 의해 비동기 유한 상태기들을 신호 전이 그래프로 변환한 다음, 기존의 신호 전이 그래프로부터의 속도 독립 회로 합성 방법^[21]을 이용하여 합성한 결과가 표 2에 나타나 있다. 표 2에 나타나 있는 벤치마크 회로들은 HP 회사에서 제작한 통신용 칩^[16]에 포함되어 있는 회로들이다. 표 2에는 비동기 유한 상태기를 상태 그래프로 변환한 다음에 Beerel의 알고리즘을 사용하여 합성한 결과가 본 논문의 합성 결과

와 함께 나타나 있다. 기존의 단순 게이트 속도 독립 회로의 합성 방법중에서 Beerel의 알고리즘이 다른 알고리즘보다 효율적인 회로를 합성하기 때문에 Beerel의 합성 결과와 회로의 면적과 수행 시간 면에서 비교하였다. 수행 시간은 본 논문의 알고리즘과 Beerel의 알고리즘을 동일한 Sparc 워크스테이션에서 수행한 결과이며 초 단위로 표기하였다. 회로 면적은 합성된 회로의 논리 함수에서의 리터럴(literal) 수와 기억 장치인 C-원소의 수에 의해 비교하였다.

Beerel의 합성 알고리즘은 상태 그래프를 이용하여 회로를 합성하는데, 상태 그래프에서 한 상태는 기술하는 회로의 모든 입력과 출력 신호의 값(0 또는 1)을 나타낸다. 따라서, 입력과 출력 신호의 수가 K 일 때 상태 그래프의 노드 수는 최대 2^K 이 된다. 이와 같이 데이터의 복잡도가 지수승으로 증가하기 때문에 Beerel의 합성 알고리즘에서는 휴리스틱 방법을 사용함으로써 합성 시간을 줄일수 있었으나 휴리스틱 사용으로 인하여 더 효율적인 회로가 존재함에도 불구하고 이를 발견하지 못하는 문제를 가지고 있다.

이에 반하여, 본 논문에서 사용한 합성 방법에서는 데이터 복잡도가 다항식으로 증가하는 신호 전이 그래프를 이용한다. 표 2에 나타나 있듯이 본 논문에서 제안한 방법이 Beerel의 방법에 비하여 면적이 작은 회로를 합성하는데, 이는 신호 전이 그래프를 이용함으로써 보다 많은 탐색 영역을 찾기 때문이다. 이와같이 비동기 유한 상태기를 신호 전이 그래프로 변환한 다음에 신호 전이 그래프로부터의 합성 방법을 적용함으로써 기존의 합성 방법보다 효율적인 회로를 합성할 수 있었다.

표 2. 실험 결과

Table 2. Experimental Results.

회 로	리터럴/C-원소		수행시간 (초)	
	본 연구	Beerel	본 연구	Beerel
alloc-outbound	24/2	26/3	0.7	0.3
mp-forward-pkt	12/1	16/5	0.4	0.4
nak-pa	16/1	17/4	0.4	2.6
ram-read-sbuf	13/1	19/4	0.8	1.5
sbuf-ram-write	16/3	16/3	0.6	3.6
sbuf-read-ctl	10/3	10/3	0.3	0.4
sbuf-send-ctl	24/3	25/3	3.5	0.5
sendr-done	4/1	4/1	0.1	0.1

V. 결 론

본 논문에서는 기존의 속도 독립 회로를 합성 방법이 적용될 수 있도록 하기 위하여 비동기 유한 상태기를 신호 전이 그래프로 변환하는 방법을 제안하였다.

비동기 유한 상태기로부터 단순 사이클을 추출한 다음에 이들을 결정성 신호 전이 그래프로 변환하고 변환된 결정성 신호 전이 그래프들을 합병하는 방법을 사용함으로써 변환 과정을 단순화하고 체계화하였다. 기존의 합성 방법은 비동기 유한 상태기를 상태그래프로 변환하여 합성하는데 반하여, 본 논문에서는 비동기 유한 상태기를 신호 전이 그래프로 변환하여 합성함으로써 기존의 방법보다 더 효율적인 회로를 합성할 수 있었다.

※ 본 연구는 1996년도 원광대학교 교내연구비 지원에 의하여 수행되었습니다.

참 고 문 헌

- [1] 정성태, 전주식. 결정성 신호 전이 그래프로부터 속도 독립 회로의 합성 알고리즘. 한국정보과학회 논문지, 제 21권 6호, pp. 1026-1036, 1994
- [2] 정성태, 전주식. 신호 전이 그래프로부터 속도 독립 회로의 합성 알고리즘. 한국정보과학회 논문지, 제 21권 11호, pp. 2026-2038, 1994
- [3] P. Beerel and T.H.-Y. Meng. Automatic gate-level synthesis of speed-independent circuits. In *Proceedings of International Conference on Computer Aided Design*, pp. 581-586, November 1992.
- [4] E. Brunvand and R.F. Sproull. Translating concurrent programs into delay-insensitive circuits. In *Proceedings of International Conference on Computer Aided Design*, pp. 262-265, November 1989.
- [5] Steven M. Burns and Alain J. Martin. Syntax-directed translation of concurrent programs into self-timed circuits. In J. Allen and F. Leighton, editors, *Proceedings of the Fifth MIT Conference on Advanced Research in VLSI*, pp. 35-50. MIT Press, 1988.
- [6] T.A. Chu. *Synthesis of Self-Timed VLSI Circuits from Graph-Theoretic Specifications*. PhD thesis, Department of Electrical Engineering and Computer Science, MIT, 1987.
- [7] M. Hack. Analysis of production schemata by petri nets. Technical Report TR-94, Project MAC, MIAT, 1972.
- [8] S.T. Jung and C.S. John. Direct synthesis of efficient speed-independent circuits from deterministic signal transition graphs. In *Proceedings of International Symposium on Circuits and Systems, Vol. 1 of 6*, pp. 305-308, June 1994.
- [9] L. Lavagno, K. Keutzer, and A. Sangiovanni-Vincentelli. Algorithms for synthesis of hazard-free asynchronous circuits. In *Proceedings of Design Automation Conference*, pp. 302-308, June 1991.
- [10] B. Lin and C. Ykman-Couvreur. Synthesis of burst-mode and asynchronous finite state machines at the state graph level. In *ACM Int. Workshop on Timing Issues in the Specification and Synthesis of Digital Systems*, 1993.
- [11] Alain J. Martin. A synthesis method for self-timed VLSI circuits. In *Proceedings of International Conference on Computer Design*, pp. 224-229, Rye Brook, NY, 1987. IEEE Computer Society Press.
- [12] T. Murata. Petri nets: Properties, analysis and applications. *Proceedings of IEEE, Vol. 77, No.4*, pp. 541-580, 1989.
- [13] S.M. Nowick and D.L.Dill. Automatic synthesis of locally-clocked asynchronous state machines. In *Proceedings of International Conference on Computer Aided Design*, pp. 318-321, November 1991.
- [14] Steven M. Nowick and David L. Dill. Synthesis of asynchronous state machines using a local clock. In *Proceedings of International Conference on Computer Design*, pp. 192-197. IEEE Computer Society Press, October 1991.
- [15] E. Pastor and J. Cortadella. An efficient unique state coding algorithm for signal

transition graphs. In *Proceedings of International Conference on Computer Design*, pp. 174-177, October 1993.

- [16] K.S. Stevens, S.V. Robinson, and A.L. Davis. The post office-communication support for distributed ensemble architectures. In *Proceedings of 6th*

International Conference on distributed Computing Systems, pp. 567-571, 1986.

- [17] K.Y. Yun and D.L. Dill. Automatic synthesis of 3D asynchronous state machines. In *Proceedings of International Conference on Computer Aided Design*, pp. 576-580, 1992.

저 자 소 개



鄭成太(正會員)

1987년 2월 서울대학교 컴퓨터공학과 졸업.
 1989년 2월 서울대학교 컴퓨터공학과 석사학
 위 취득. 1994년 8월 서울대학교 컴퓨터공학
 과 박사학위 취득. 1994년 9월 ~ 1995년 2
 월 한국전자통신연구소 박사후연수연구원.
 1995년 3월 ~ 현재 원광대학교 컴퓨터공학

과 전임강사. 관심분야는 VLSI/CAD, VLSI 설계, 컴퓨터그래픽스 등임