

論文96-33A-10-8

다층기판에서 복잡한 스트립라인 구조의 누화 해석

(Analysis of Crosstalk of Complicated Striplines in a FR-4 Multilayer PCB)

李命鎬*, 田溶一*, 全炳胤*, 朴權喆*, 吳昌煥**

(Moung Ho Lee, Yong Il Jun, Byoung Yoon Cheon, Kwon Chul Park, and Chang Hwan Oh)

요 약

본 논문에서는 FR-4 다층 기판에서 스트립라인 구조의 근단 누화 계수를 해석적인 방법과 HSPICE 시뮬레이션에 의한 방법에 의해 구했으며 해석적인 방법의 계산 오차와 적용 범위를 정의 하였다. 그리고, 복잡한 스트립라인 구조에서 FCT(Fast CMOS TTL)에 의한 근단 누화 계수를 HSPICE를 사용 계산 하였으며 근단 누화와 다층 기판의 유전체 두께 및 배선 간격과의 관계를 분석 하였다. 이러한 결과를 사용하여 임피던스가 정합된 복잡한 스트립라인 구조에서 근단 누화 결합 구조를 해석 하였으며 일반적인 스트립라인 구조에서 근단 누화 결합식을 유도 하였다. 특히, 배선 등급(grade) 규격에 의해 배선되는 경우 근단 누화 결합식이 근사화 됨을 보였다.

Abstract

In this paper, we find the values of near-end crosstalk coefficients in striplines of a FR-4 multilayer PCB by an analytic method and a HSPICE simulation method, and define calculation errors in an analytic method and define the application range, and simulate near-end crosstalk coefficients of the FCT(Fast CMOS TTL) in complicated striplines by HSPICE and analyze near-end crosstalk coefficients in relation to dielectric thickness and trace spaces of striplines. As a result, we analyze coupling structure of the near-end crosstalk in the complicated striplines that are impedance matched and define a coupling formula of near-end crosstalk coefficients in general complicated striplines. Especially, it is approximated in the layout grade rule.

I. 서 론

현재 ATM 교환 시스템의 throughput이 증가 하고 있으며 throughput이 증가하는 것에 따라 규모가 커지는 스위치 회로팩을 어떻게 실장하는 가가 중요한 문제로 대두 되고 있다. 이러한 문제를 해결하기 위해 선진국에서는 고집적도의 PGA(Pin Grid Array) 소

자들을 MCM(Multichip Module)화 하여 고밀도 실장을 하고 있다. 그러나, 현재 우리나라의 경우 MCM 기술 수준은 기초 기술 연구 단계이어서 MCM 기술을 사용한 스위치 회로팩 제작은 거의 불가능 하다. 따라서, MCM 기술을 사용하지 않고 기존의 FR-4 다층 기판에 ASIC(Application Specific Integrated Circuit)들을 사용하여 스위치 회로팩을 구현 하려면 가장 큰 문제가 ASIC과 ASIC 사이 고속인 신호 연결선이 길어지는 것에 의한 배선간 누화이며 특히, 고밀도 실장을 하는 경우 배선 수가 더 많아져 문제는 더 심각하다. 스위치 규모가 커짐에 따라 증가되는 고속 디지털 신호의 배선을 FR-4 다층 기판으로 어느 수준까지

* 正會員, 韓國電子通信研究所 ATM 交換研究室 (ETRI, ATM Switching Sect.)

** 正會員, 韓國電子通信研究所 交換方式研究室 (ETRI, ATM Switching Method Sect.)

接受日字:1996年5月28日, 수정완료일:1996年9月12日

구현 가능 한지 현시점에서 정확히 알 수는 없다. 그래서, 본 논문에서는 FR-4 다층 기판에 스위치 회로팩 ASIC의 구성 소자인 FCT(Fast CMOS TTL)가 스트립라인 구조로 고밀도 배선 되는 경우 배선간의 누화 현상을 HSPICE를 사용 시뮬레이션 하였으며 그 결과를 사용 고밀도 배선 가능 한계와 누화 결합 구조 해석을 하였다. 그리고 또, 누화 억제 방법 및 누화를 최소화하는 스트립라인 구조의 기구물적인 배치 구조에 대하여서도 기술 하였다. 단순한 구조의 누화 해석 방법은 여러 가지 방법이 발표 되었으며 그 중 전자장 수치 해석적인 방법이 비교적 정확한 결과를 얻으나 배선 구조가 복잡한 경우 해석 과정이 간단하지 않으며 매우 복잡하다. 따라서, 본 논문에서는 사용 방법이 복잡하지 않으며 확장성 및 응용성이 좋고 field solver와 결과를 일치 시켜 비교적 정확한 결과를 얻을 수 있는 HSPICE H95.1 버전을 사용하여 시뮬레이션 하였다. 다음 부터는 스트립라인을 스트립으로 약하여 쓰기로 한다.

본 논문의 내용은 I. 서론, II. 스트립 전송 선로의 누화 계수 계산 방법, III. 스트립 전송 선로 구조에 따른 누화 계산과 누화 결합 구조 해석, IV. 결론 순으로 구성 되어 있다.

II. 스트립 전송 선로의 누화 계수 계산 방법

스트립 전송 선로 구조에서 누화 계수의 계산 방법은 해석적 방법과 HSPICE를 사용하는 수치 해석적인 방법이 있다. 실제 복잡한 구조를 가지는 기구물에 해석적 방법은 적용하기 어려운 경우가 많으며 적용 가능 하더라도 근사 계산을 하므로 계산 오차를 많이 발생 시킬 수 있다. 이러한 경우 HSPICE를 사용하면 어렵지 않게 어느 정도 정확하게 누화 계수를 계산 할 수 있다. 본 장에서는 이 두가지 방법을 자세하게 기술 하며 그 결과를 비교 검토 한다.

1. 해석적 방법

여기에서는 Cohn^[1]에 의해 계산된 기수 모드(odd mode) 임피던스 Z_{oo} 와 우수 모드(even mode) 임피던스 Z_{oe} 를 사용하여 스트립 전송 선로^[2]에서 누화량을 계산 할 수 있다. 누화량 계산식을 유도하기 전에 그림1과 같은 구조에서 $\frac{W}{b} \geq 0.35$, 배선의 두께 $t = 0$, 전송 선로의 입출력 임피던스가 정합되었다고 가정

한다.

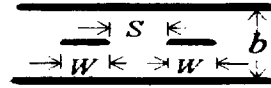


그림 1. 측면 결합 병렬 선로
Fig. 1. Side coupled parallel lines.

$$Z_{oo} = \frac{94.15/\sqrt{\epsilon_r}}{\frac{W}{b} + \frac{\ln 2}{\pi} + \frac{1}{\pi} \ln(1 + \coth(\frac{\pi}{2} \cdot \frac{S}{b}))} [\Omega] \quad (1)$$

$$Z_{oe} = \frac{94.15/\sqrt{\epsilon_r}}{\frac{W}{b} + \frac{\ln 2}{\pi} + \frac{1}{\pi} \ln(1 + \tanh(\frac{\pi}{2} \cdot \frac{S}{b}))} [\Omega] \quad (2)$$

단, ϵ_r = 상대 유전율

$$Z_o \sqrt{\epsilon_r} = \frac{n}{(C/\epsilon)} \quad (3)$$

여기서, Z_o 는 특성 임피던스를 나타내며, n 은 자유 공간의 임피던스, C 는 두 금속판사이의 단위 길이당 용량을 나타낸다. 또, ϵ 은 스트립 선로 유전체의 유전율을 나타낸다.

식(3)에서 우수 모드 경우 다음과 같이 주어진다.

$$Z_{oe} \sqrt{\epsilon_r} = \frac{n}{(C_e/\epsilon)} \quad (4)$$

단, C_e = 우수 모드에서 단위 길이당 용량 $[F/m]$

식(2)와 (4)에서 단위 길이당 우수 모드 용량 C_e 는 다음과 같이 주어진다.

$$C_e = 4\epsilon \left[\frac{W}{b} + \frac{\ln 2}{\pi} + \frac{1}{\pi} \ln(1 + \tanh(\frac{\pi}{2} \cdot \frac{S}{b})) \right] \quad (5)$$

단위 길이당 기수 모드 용량 C_o ^[3]는 다음과 같이 주어지며 C_m 은 단위 길이당 결합 용량을 나타낸다.

$$C_o \approx C_e + 2C_m \quad (6)$$

$$Z_{oe} = \frac{1}{\nu C_e}, \quad Z_{oo} = \frac{1}{\nu C_o} \quad (7)$$

단, ν = 유전체 속의 전파 속도 $[m/sec]$

결합 계수는 다음식으로 주어진다.

$$K_m = \frac{Z_{oe} - Z_{oo}}{Z_{oe} + Z_{oo}} \quad (8)$$

식(6), (7), (8)에서 다음과 같은 관계식을 얻는다.

$$C_m = \frac{K_m}{1 = K_e} C_e \quad (9)$$

다시, 단위 길이당 기수 모드 인덕턴스를 L_o 라 하고 단위 길이당 우수 모드 인덕턴스를 L_e 라 하면 다음과 같이 각각 나타낼 수 있다.

$$L_o = Z_{oo}^2 C_o = \frac{1}{v^2 C_o} = \frac{Z_{oo}}{v} \quad (10)$$

$$L_e = Z_{oe}^2 C_e = \frac{1}{v^2 C_e} = \frac{Z_{oe}}{v} \quad (11)$$

단위 길이당 결합 인덕턴스 L_m 은 다음식으로 주어진다.

$$L_m = \frac{1}{2} (L_e - L_o) \quad (12)$$

식(10), (11), (12)에서 다음식을 얻는다.

$$L_m = Z_{oo} \cdot Z_{oe} \cdot C_m = Z_o^2 \cdot C_m \quad (13)$$

누화에는 근단 누화(near-end crosstalk)와 원단 누화(far-end crosstalk)가 있으며 근단 누화 계수를 K_b 라 하고 원단 누화 계수를 K_f 라 하면 각각 다음식으로 주어진다.

$$K_b = \frac{l}{4\tau} \left(\frac{L_m}{Z_o} + C_m Z_o \right) \quad (14)$$

$$K_f = -\frac{1}{2} \left(\frac{L_m}{Z_o} - C_m Z_o \right) \quad (15)$$

식(13), (14), (15)와 $\tau = Z_o C$ 식에서 K_b 와 K_f 는 다음과 같이 계산 된다.

$$K_b = \frac{C_m}{2C} \quad (16)$$

단, $C = \frac{n\epsilon}{Z_o \sqrt{\epsilon_r}}$

$$K_f = 0$$

즉, $K_f = 0$ 이므로 스트립 전송 선로에서는 근단 누화만 존재하고 원단 누화는 발생하지 않음을 알 수 있으며 본 논문에서는 근단 누화에 대하여서 자세하게 기술 하도록 한다.

2. HSPICE에 의한 시뮬레이션 방법

HSPICE^[4]는 배선을 많은 부분(section)으로 나누

어 각각 분포 정수 회로를 사용 반복 계산하여 그 결과를 얻는다. 그림1의 구조를 HSPICE로 시뮬레이션 하기 위해서는 신호 원(signal source)과 회로 정의(circuit definition)를 해야 한다. 신호 원은 FCT (Fast CMOS TTL)의 상승 시간 $t_r = 1.5ns \sim 6ns$ 에서 1.5ns를 선택 하고 파형 모양은 진폭이 10V인 스텝 입력으로 하였으며 회로 정의는 R, L, C 분포 정수 회로인 lossy U model^[4]을 사용 하였다. 그리고 선로의 임출력 임피던스는 50Ω으로 하였고 50cm 전송 선로를 150 부분(section)으로 나누었으며 각각의 부분(section)은 L, C, R 분포 정수 회로 모형을 사용 하였다. 본 논문에 사용한 HSPICE H95.1 버전은 field solver와 결과를 일치 시킨 버전이므로 비교적 정확한 결과를 얻을 수 있다.

누화 계수와 누화량의 관계는 다음과 같이 정의되며 해석적 결과와 HSPICE에 의한 시뮬레이션 결과를 비교 하기 위해 전송 선로 길이와 누화량 계산 방법에 대하여 검토 해 볼 필요가 있다.

$t_r < 2t_d$ 일때

$$V_{X-Talk} = K_b \times V_{i(Swing)} \quad (17)$$

단, $t_d = (\sqrt{LC})l = \frac{n\epsilon}{\sqrt{\epsilon_r}} l$, l = 배선 길이 [m]

V_{X-Talk} = 근단 누화량 [V]

K_b = 근단 누화 계수

t_r = 누화 신호의 상승 시간 [sec]

t_d = 배선 길이에 의한 지연 시간 [sec]

n = 자유 공간의 임피던스 376.7 [Ω]

ϵ = PCB의 유전율 [F/m]

ϵ_r = PCB의 상대 유전율

$V_{i(Swing)}$ = 입력 전압 스윙 폭 [V]

$t_r > 2t_d$ 일때

$$V_{X-Talk} = K_b \times V_{i(Swing)} \times \frac{2t_d}{t_r} \quad (18)$$

HSPICE에서 주어지는 TDR(Time Domain Reflection method) 시뮬레이션 결과는 각 마디(node)의 파형(전압)으로 주어지므로 해석적 방법에 의한 결과와 HSPICE에 의한 시뮬레이션 결과를 비교 하려면 식

(17)이 성립하여야 되고 이 식의 조건식을 풀면 FR-4 에폭시 수지 기판에서 배선 길이가 14.22cm 보다 크면 만족함을 알 수 있다. 따라서, 배선 길이 50cm 로 시뮬레이션 하더라도 문제는 없다.

3. 해석적 방법과 HSPICE 방법에 의한 근단 누화 계수 K_b 계산 결과

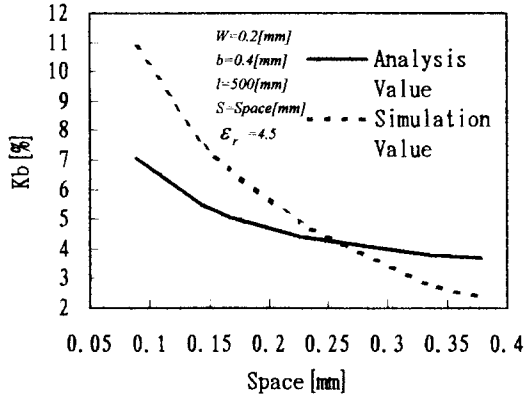


그림 2. 해석적 방법과 HSPICE의 시뮬레이션 방법에 의한 근단 누화 계수 K_b [%] 값

Fig. 2. Near-end crosstalk coefficients K_b [%] by the analytic method and the simulative method of HSPICE.

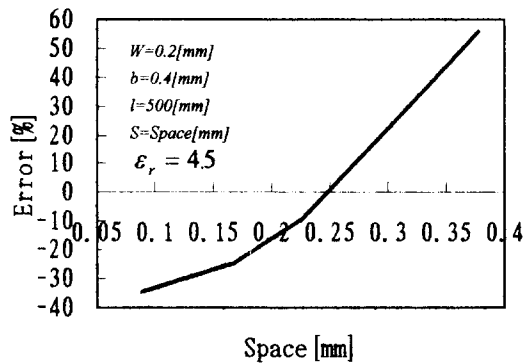


그림 3. 해석적 방법의 오차
Fig. 3. Error of the analytic method.

그림1의 구조에서 해석적 방법과 HSPICE로 시뮬레이션한 방법에 의한 근단 누화 계수 K_b [%]를 그림2에 나타냈으며 그림3에 해석적 방법에 의한 K_b 값의 오차를 나타냈다. 앞에서 기술한 것 같이 해석적 방법에 사용된 Cohn식에서 스트립 구조의 가장자리(fringing) [11, 12, 15] 용량을 근사화 하였기 때문에 배선 간 간격에 따라 오차 값이 크게 변하고 있다. 따라서, 식(16)의 유도 과정에 정의한 가정외에 S/b 에 대한 추

가적인 가정이 필요하다. 즉, 그림3에서 오차 약 ± 30 [%] 이내로 계산되기 위해서는 $0.25 < S/b < 0.75$ 추가 조건이 필요하며, Cohn식에 의한 해석적 방법의 결과는 오차가 큰 것을 알 수 있었다.

III. 스트립 전송 선로 구조에 따른 누화 계산과 누화 결합 구조 해석

본 장에서는 스트립 전송 선로 구조에서 누화가 결합되는 최악의 경우 몇가지 예를 정의 하여 근단 누화 계수를 *lossy U model* [4]을 사용 HSPICE로 시뮬레이션 하였으며 스트립 구조에서 유전체 두께와 배선 간격이 누화에 미치는 영향을 분석 하였다. 이러한 결과에 의해 배선 가능 한계와 누화 결합 구조를 해석 하였으며 그 결과를 HSPICE의 시뮬레이션을 사용 타당성을 확인하고 해석 결과를 일반화 하였다.

1. 배선 구조에 대한 HSPICE 시뮬레이션

앞에서 기술한 것 같이 해석적 방법에 의한 계산 보다 HSPICE에 의한 시뮬레이션 방법이 더 정확하며 복잡한 구조를 해석 할 수 있음을 알았다. 여기에서는 배선 구조에 따라 어떠한 구조 일때 근단 누화 계수 K_b 가 더 작은지 알기 위해 앞에서 기술한 HSPICE를 사용 시뮬레이션 하였다. 스트립 구조에서 배선 3개가 평행으로 배선될 때 그림4, 5와 같은 2가지의 배선 구조를 가질 수 있으며 Act는 능동 배선을 나타내고 Passi는 수동 배선을 나타낸다. 평행 배선 길이 l 은 0.5m로 150부분(section)으로 나누어 시뮬레이션 하였다.

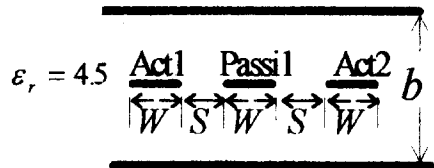


그림 4. 시뮬레이션 구조A
Fig. 4. A simulation structure A.

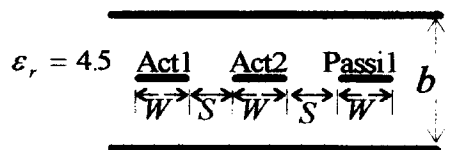


그림 5. 시뮬레이션 구조B
Fig. 5. A simulation structure B.

그림4, 5의 근단 누화 시뮬레이션 입력 조건은 아래와 같으며 시뮬레이션 결과를 그림6에 나타내었다.

- 입력 신호는 상승시간이 1.5ns인 10V 스텝으로 하였다.
- 그림4, 5에서 배선 Act1과 배선 Act2에 위의 입력 신호 두개를 동위상으로 독립적으로 각각 가하였다.
- 각각의 배선 Act1, Pass1, Act2의 임출력 임피던스는 50Ω으로 연결 하였다.

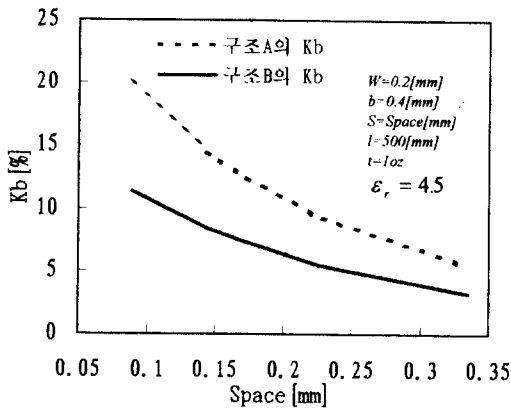


그림 6. 구조 A와 B의 근단 누화 계수 K_b [%]
Fig. 6. Near-end crosstalk coefficients K_b [%] in the structure A and the structure B.

그림4, 5의 구조A, B의 HSPICE 시뮬레이션 결과를 그림6에 나타내었으며 구조B의 경우 구조A의 경우보다 근단 누화량이 상당히 더 적음을 알 수 있다. 이것은 능동 배선은 능동 배선 거리 인접하게 배선 하고 수동 배선은 수동 배선 거리 배선하면 수동 배선에 근단 누화량이 줄어 듬을 알 수 있다. 특히, 여러개의 클럭 라인이 배선 될 때 클럭 라인 사이 수동 배선이 들어가면 근단 누화가 문제 될 수 있음을 알 수 있다. 그러나, 실제 PBA(Printed Board Assembly)에 배선을 하다 보면 그림4의 구조A와 같은 형태로 배선되는 경우가 있을 수 있으며 이 경우 근단 누화 문제를 발생 시키지 않게 하기 위해 배선간 최소 도체 간격을 정의 할 필요가 있다. 표1에 다층 기판 제작 업체가 많이 사용하는 배선 등급(grade)의 최소 도체 간격에 대한 구조A, B의 근단 누화 계수 K_{bA} [%], K_{bB} [%]를 나타내었다.

표1에서 IC 핀(pin)간 2선 통과 구조(최소 배선 간격 $S=0.226mm$)에서 식(17)을 사용하여 나쁜 경우 근

단 누화량을 계산 하면 약 310 [mV]가 계산되나 실제 2선 통과 구조에서 일반적인 배선 간격은 0.328mm이므로 누화량은 약 180 [mV]가 된다(표1, 참조).

표 1. 배선 등급에 따른 최소 도체 간격의 근단 누화 계수 K_b [%] 값
Table 1. Near-end crosstalk coefficients K_b [%] for traces space in the layout grade rule.

S [mm]	0.335	0.226	0.168	0.1525	0.144	0.08875
구조 A의 K_{bA} [%]	5.44	9.41	12.83	13.83	14.44	20.18
구조 B의 K_{bB} [%]	3.18	5.44	7.50	8.06	8.39	11.43

단, 구조A, B에서 $W=0.2mm$, $b=0.4mm$, $l=500mm$, 동박 두께 $t=1oz$

그러나, PBA에 배선되는 FCT(Fast CMOS TTL) 경우 잡음 여유는 400 [mV] ¹⁸⁾이나 커넥터 등에 의해 누화 효과가 더 추가되지 않는다고 가정하고 배선의 동시 스위칭에 따른 잡음과 전기적인 주변 환경만 고려 한다면 PBA의 누화에 대한 잡음 여유는 약 $400mV \times 0.45 = 180 [mV]$ 가 되어 최악의 경우인 FCT의 가장 빠른 $t_r = 1.5ns$ 에서 IC 핀간 2선 통과 구조는 배선 한계가 된다. 따라서, 만약 유전체 두께 b 가 0.4mm 보다 더 크게 되면 누화 문제로 IC 핀간 2선 통과 구조 배선이 어렵다. 그림7에서 근단 누화 계수 값이 비교적 문제가 되지 않는 IC pin간 1선 통과 구조인 최소 도체 간격 $S=0.335 [mm]$ (class1 pattern 규격) 제외 하고, 유전체 두께 b 가 증가함에 따라 근단 누화 계수 K_b [%]는 선형적으로 증가함을 알 수 있다. FCT 소자의 경우 K_b [%]가 약 9%(최소 도체 간격 S 기준) 보다 작은 경우 배선의 누화는 제어 가능하여 문제가 되지 않는다. 그러나, 그림7에서 최소 도체 간격 $S=0.08875 [mm]$ (class 5 pattern)은 유전체 두께 b 를 현재 두께의 반인 0.2 [mm]로 하더라도 누화 제어가 어려워 배선 불가능함을 알 수 있다. 그림7에서 최소 도체 간격 $S=0.144 [mm]$ (class 4 pattern)은 $b=0.2 [mm]$ 에서 근단 누화 계수가 약 9%가 됨을 알 수 있으며 다층 기판에서 IC 핀간 4선 통과 구조는 배선 한계가 됨을 예측 할 수 있다.

이러한 결과에 대해서는 현재 잘 알려지지 않았으나 일반적으로 두선의 경우 근단 누화 K_b 는 근사적으로

$K_b \propto \frac{1}{1+(2S/b)^2}$ 관계^[9]가 있다고 알려져 있으나 시뮬레이션 결과 배선 간격 $S=0.226 [mm]$ 보다 큰 경우 근사적으로 이 식에 접근 하며 배선 간격이 매우 좁은 경우는 성립하지 않음을 알 수 있다.

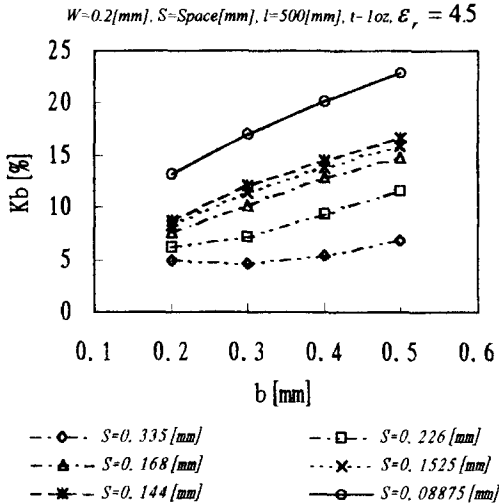


그림 7. 스트립 구조에서 유전체 두께 b 에 대한 근단 누화 계수

Fig. 7. Near-end crosstalk coefficients for dielectric thickness b in the strip lines.

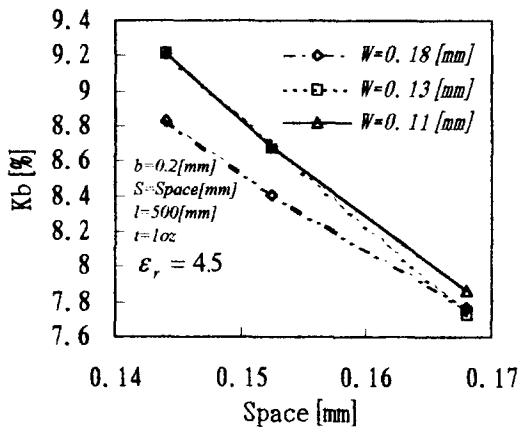


그림 8. 스트립 구조에서 배선폭 W 에 대한 근단 누화 계수

Fig. 8. Near-end crosstalk coefficients for the trace width W in the strip lines.

그림8은 스트립 구조에서 유전체 두께 $b=0.2 [mm]$ /로 한 경우 배선 도체폭 W 값을 배선 등급에 따라 변화 시키면서 시뮬레이션한 결과이며 배선폭 W 값이 약간 더 커지면 배선의 특성 임피던스 값이 좀더 줄어들어 근단 누화 계수 값이 약간 감소하나 큰 영향은

주지 않음을 알 수 있다. 따라서, 만약 현재 한국의 다층 기판 생산 한계인 유전체 두께 $b=0.4 [mm]$ 에서 절반인 $b=0.2 [mm]$ 로 하면 현재의 배선 한계인 IC pin간 2선 통과 구조에서 4선 통과 구조(배선 한계)로 개선됨을 알 수 있으며 같은 다층 기판 두께에서 FCT의 배선 밀도는 약 4배($= \{ (0.328mm+0.18mm) / (0.144mm+0.11mm) \} \times 2$)로 증가 됨을 알 수 있다.

2. 스트립 구조에서 근단 누화 결합 구조 해석

스트립 구조에서 여러개의 배선이 평행으로 배선 될 때 근단 누화가 어떤 형태로 결합되는 지 정량적으로 해석해 볼 필요가 있다. 우선 앞에서 기술한 구조A, B의 근단 누화 결합 구조를 해석 하기 위해 다음과 같은 구조C, D를 정의 하자. 해석 방법은 수식에 의한 방법과 HSPICE 시뮬레이션에 의한 방법이 있으나 HSPICE에 의한 방법이 더 정확하므로 이 방법을 사용 한다. 구조C, D의 시뮬레이션 입력 조건은 앞의 구조A, B와 같으며 각각의 배선은 임피던스 정합이 되었다고 가정하며, 구조D는 구조C에서 그다음 인접한 배선(구조A의 Act1 위치)이 S_p 간격으로 배선 됨을 나타낸다.

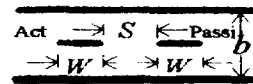


그림 9. 시뮬레이션 구조 C
Fig. 9. A simulation structure C.

$$S_p = 2 \times S + W [mm]$$

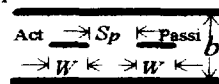


그림 10. 시뮬레이션 구조 D
Fig. 10. A simulation structure D.

구조C, D의 근단 누화 계수를 각각 K_{bc}, K_{bd} 라고 하면 표2에 HSPICE 시뮬레이션 결과를 배선 간격 S 에 대해 백분율로 나타내었다.

구조A는 구조C의 대칭 구조를 가지므로 구조A의 누화는 구조C의 누화에 2배가 된다.

$$K_{bd(cal)} \approx 2 \times K_{bc} \tag{19}$$

첨자 cal은 계산된 값을 나타냄

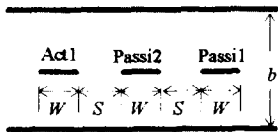
구조B는 구조C와 구조D로 구성되며 구조B의 배선

Act1에 의한(Act2에 대한 효과는 다음에 기술함.) Passi1에 대한 기구물적인 구조는 그림11a와 같으며 전기적인 누화 결합 구조는 그림11b와 같다고 가정 하자. 즉, 각각의 배선이 임피던스 정합이 된 경우 배선 Act1에 인접한 배선 Passi2는 Passi1에 대해 -6dB 감쇠기로 작용한다고 하자.

표 2. 구조 C,D의 근단 누화 계수
Table 2. Near-end crosstalk coefficients in the structure C and the structure D.

$S [mm]$	0.335	0.226	0.168	0.1525	0.144	0.08875
구조C의 $K_{bc} [%]$	2.77	4.84	6.68	7.22	7.55	10.76
구조D의 $K_{bd} [%]$	1.05	1.30	1.55	1.65	1.73	2.36

단, 구조C, D에서 $W=0.2mm, b=0.4mm, l=500mm, \text{동박 두께 } t=1oz$



전송 선로와 입출력 임피던스는 정합

그림 11a. 해석을 위한 구조 E
Fig. 11a. A structure E for analysis.

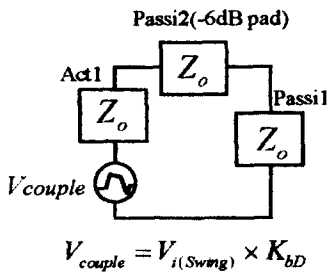


그림 11b. 구조E의 전기적 구조
Fig. 11b. A electrical circuit for the structure E.

따라서, 구조B의 근단 누화 계수는 구조C의 근단 누화 계수와 그림11b 배선 Passi1의 근단 누화 계수의 합으로 표현될 수 있다라고 가정 할 수 있으며 계산된 구조B의 근단 누화 계수를 $K_{bB(cal)}$ 이라고 한다면 다음 식이 성립 한다.

$$K_{bB(cal)} \approx K_{bC} + \frac{1}{2} \times K_{bD} \quad (20)$$

여기서 K_{bC} 는 구조B의 Act2에 의한 누화 계수이며, K_{bD} 에 $\frac{1}{2}$ 을 곱한 것은 그림11b에서 배선 Act1의 누

화 세력이 배선 Passi2에 의해 -6dB 감쇠 됨을 나타낸다. 표1, 표2와 식(20)에서 구해진 $K_{bA}, K_{bB}, K_{bA(cal)}, K_{bB(cal)}$ 값을 비교 하기 위해 그림12에 각각의 값을 나타냈으며 그림13에 오차를 나타냈다.

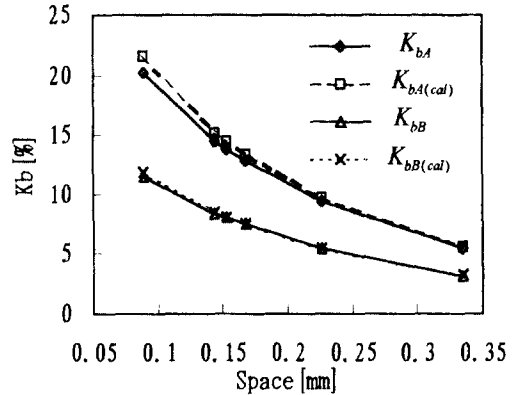


그림 12. 계산된 근단 누화 계수와 시뮬레이션된 근단 누화 계수

Fig. 12. Near-end crosstalk coefficients in the calculation and the simulation.

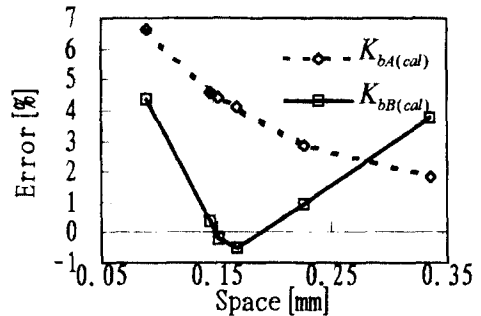


그림 13. 근단 누화 계수의 계산 오차
Fig. 13. Calculation Error of Near-end crosstalk coefficients.

그림13에서 계산 오차는 약 3.5% 이내이며 계산값과 시뮬레이션 값이 잘 일치함을 알 수 있으며, 또, HSPICE의 lossy U model에 의한 시뮬레이션 오차는 약 $\pm 2.5 [%]$ 가 됨을 알 수 있다. $K_{bA(cal)}$ 의 경우 구조A에서 배선간 간격이 좁아지면 미약하나마 가장자리(fringe) 필드 작용에 의해 계산값이 시뮬레이션 값보다 커지는 것을 알 수 있다. 따라서, 그림11a의 구조는 그림11b의 구조로 정의 됨을 확인 할 수 있으며 앞에서 기술한 배선 Passi2가 -6dB 감쇠기라는 가정이 만족됨을 알 수 있다. 앞에서 기술한 같이 배선의 입출력 임피던스 정합 조건 아래 이러한 것을 일반적으로

확장하면 그림14a, 14b와 같은 결과를 얻을 수 있다.

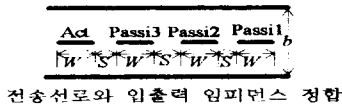


그림 14a. 해석을 위한 구조 F
Fig. 14a. A structure F for analysis.

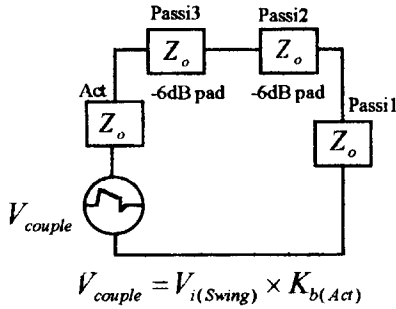


그림 14b. 구조 F의 전기적인 회로
Fig. 14b. A electrical circuit of the structure F.

그림14b에서 배선 Act에서 배선 Passi1에 누화 되는 누화 계수는 다음과 같다.

$$K_{bF} \approx \frac{1}{2} \times \frac{1}{2} \times K_{b(Act)} = \frac{1}{4} \times K_{b(Act)} \quad (21)$$

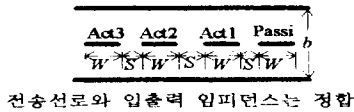


그림 15. 해석을 위한 구조 G
Fig. 15. A structure G for analysis.

그림15는 4선 구조의 배선도이며 이것의 근단 누화 계수는 그림11의 식(20)과 그림14의 식(21)에서 다음과 같이 계산되어 진다.

$$K_{b(Passi)} \approx K_{b(Act1)} + \frac{1}{2} K_{b(Act2)} + \frac{1}{4} K_{b(Act3)} \quad (22)$$

배선 등급에 따라 배선되는 경우 $K_{b(Act1)} > K_{b(Act2)} > K_{b(Act3)}$ 이므로 다음 조건이 성립 한다.

$$K_{b(Act1)} + \frac{1}{2} \times K_{b(Act2)} >> \frac{1}{4} K_{b(Act3)} \quad (23)$$

따라서, 배선 등급에 따라 배선되는 경우 위의 조건에서 누화는 인접한 능동 배선 2개만 영향을 미치며 그 나머지는 큰 영향을 미치지 못 하는 것을 알 수 있었으며 식(22)는 다음과 같이 근사화 될 수도 있다.

$$K_{b(Passi)} \approx K_{b(Act1)} + \frac{1}{2} K_{b(Act2)} \quad (24)$$

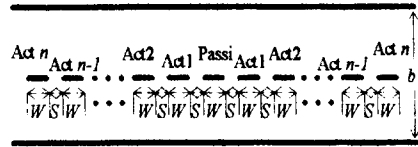


그림 16. 일반적인 배선 구조H
Fig. 16. A general structure H.

그림16의 일반적인 구조H는 그림4의 구조A를 그림 15의 형태로 일반화 시킨 것으로 좌우 대칭으로 각각 n개의 능동 배선이 배선되며 가운데 수동 배선이 있다 라고 가정하고 이때 수동 배선이 받는 근단 누화 계수를 $K_{b(tol)}$ 이라고 한다면, 식(19), (22)에서 다음식이 성립된다. 단, $t_r < 2t_d$ 조건과 임피던스 정합이된 스트립 구조에서 일반화 되어 질 수 있다.

$$K_{b(tol)} \approx 2 \cdot (K_{b1} + \frac{1}{2} K_{b2} + \frac{1}{4} K_{b3} + \dots + \frac{1}{2^{n-1}} K_{bn}) \quad (25)$$

$$K_{b(tol)} \approx 2K_{b1} + K_{b2} + \frac{1}{2} K_{b3} + \dots + \frac{1}{2^{n-2}} K_{bn} \quad (26)$$

여기서, K_{b1} 은 수동 배선을 기준으로 좌우 첫번째로 인접한 능동 배선 한개의 근단 누화 계수이며 K_{bn} 은 수동 배선을 기준으로 좌우 n번째로 인접한 능동 배선 한개의 근단 누화 계수이다. 또, 식(26)은 배선 등급으로 배선이 되는 경우 식(23)의 조건에 의해 다음의 식 (27)로 근사화 될 수도 있다.

$$K_{b(tol)} \approx 2K_{b1} + K_{b2} + \frac{1}{2} K_{b3} \quad (27)$$

본 논문에서는 스트립 구조에서 배선간 간격이 배선 등급에 따라 배선되며 $t_r < 2t_d$ 조건과 임피던스 정합 조건 아래 누화 결합 구조를 해석 했으나 이러한 조건들이 성립되지 않을 경우 누화 결합 구조 해석은 상당히 어렵다. 이러한 경우 HSPICE를 사용하여 TDR적인 해를 얻거나 HSPICE를 적용하기 어려운 구조인 경우 전자장 이론을 적용 상당히 복잡한 과정을 거쳐 수치 해석적인 해를 얻고 있다.

IV. 결 론

본 논문에서는 Cohn에 의해 계산된 기수 모드(odd

mode) 임피던스와 우수 모드(even mode) 임피던스를 사용하여 FR-4 다층 기판의 스트립 전송 선로에 대하여 해석적인 방법으로 근단 누화 및 원단 누화를 계산하였다. 배선 등급(grade)에 따른 최소 도체 간격에서 HSPICE 시뮬레이션에 대한 계산 오차는 약 ± 30 [%] 이었으며 계산하는 과정에 정의된 몇가지 가정 외에 $\frac{S}{b}$ 의 범위에 대한 추가적인 가정이 필요함을 제시하였다. 이러한 오차는 가장자리(fringe) 용량의 근사화에 의해 발생됨을 알 수 있었다. 따라서, 누화 계수를 수식적으로 얻을 수 있는 Cohn식에 의한 해석적 방법은 정확한 결과를 요구하는 곳에 적용하기 어려운 것을 알 수 있었다.

따라서, 본 논문에서는 비교적 정확한 결과를 얻을 수 있는 HSPICE를 사용하여 스트립 전송 선로 구조에 따른 근단 누화 시뮬레이션 결과(신호원은 FCT: Fast CMOS TTL) 능동 배선은 능동 배선 끼리 수동 배선은 수동 배선 끼리 배선 하는 방법이 근단 누화를 상당히 줄여 줄 수 있음을 알 수 있었으며, 능동 배선 사이 수동 배선이 평행으로 배선되는 최악의 경우 배선 등급에 따른 최소 도체 간격에 대해 근단 누화값을 계산 하였다. 계산 결과 FR-4 다층 기판의 PBA(Printed Board Assembly)에 스트립라인 구조로 FCT 소자가 실장되는 경우 현재 국내에 생산되는 한계값인 유전체 두께 $b=0.4mm$ 에서 IC pin간 2선 통과 구조(class 2 pattern 규격)가 배선 한계 임을 알 수 있었다. HSPICE 시뮬레이션을 통해 스트립라인 구조에서 유전체 두께가 $b=0.2mm$ 로 되는 경우 IC pin간 4선 통과 구조(class 4 pattern 규격)가 배선 한계 임을 알 수 있었으며 배선 밀도는 현재 보다 4배나 증가 됨을 밝혔다.

본 논문에서는 배선 등급 규격에 따라 배선되며, t , $\langle 2t_d$ 조건과 배선이 임피던스 정합되는 경우 여러가지 스트립라인 구조를 정의하여 HSPICE로 시뮬레이션 하였으며 이러한 결과를 바탕으로 누화 결합 구조를 수식적으로 해석 하였으며 능동 배선 사이 수동 배선이 배선되는 경우 수동 배선을 기준으로 각각 좌우 2개의 배선이 수동 배선에 주된 영향을 줄 수 있음을 밝혔다.

본 논문에서 정의된 상하 유전체가 대칭인 모든 스트립라인 구조에서 시뮬레이션 결과 원단 누화는 근단 누화에 비교되지 않을 정도로 미약하게 발생 하였으며

해석적 방법에 의한 결과와 일치됨을 확인 하였다.

이러한 시뮬레이션 결과 자료는 고속 디지털 고밀도 배선의 설계 기준이 되어 PCB 제작 업체와 하드웨어 설계자 모두에게 유용한 자료가 될 것으로 생각 한다. 단, FCT 소자의 종단 방법에 의해 본 논문에 계산된 누화 계수 값은 실제의 값과 약간 차이가 나타날 수 있다.

참 고 문 헌

- [1] HARLAN HOWE, JR. *STRIPLINE CIRCUIT DESIGN*, Artech House, Inc., pp. 33-40, 111-119, 1974.
- [2] Brian C. Wadell, *Transmission Line Design Handbook*, Artech House, Inc., pp. 232-237, 1991.
- [3] David M. Pozar, *Microwave Engineering*, ADDISON WESLEY, pp. 415-421, 1993.
- [4] META-SOFTWARE, *HSPICE USERS MANUAL Volume 2 Elements and Models*, Meta-Software, Inc., pp. 2-8-2-35, 1995.
- [5] Charles S. Walker, *Capacitance, Inductance and Crosstalk Analysis*, Artech House, Inc., pp. 71-81, 1990.
- [6] DAVID H. SCHRADER, *MICROSTRIP CIRCUIT ANALYSIS*, Prentice Hall PTR, pp. 153-156, 1995.
- [7] 과학기술정보연구소, *PCB 패턴의 설계기술 및 설계 KNOW-HOW*, 과학기술정보연구소, pp. 95-106, 1995
- [8] David A. Weston, *Electromagnetic Compatibility*, Marcel Dekker, Inc., pp. 268-269, 1991.
- [9] HOWARD W. JOHNSON, *MARTIN GRHAM, HIGH-SPEED DIGITAL DESIGN*, PTR PRENTICE HALL, pp. 204-211, 1993.
- [10] ASHOK K. GOEL, *HIGH-SPEED VLSI INTERCONNECTIONS*, JOHN WILEY & SONS, INC., pp. 333-375, 1994.

— 저 자 소 개 —



李 命 鎬(正會員)
 1954년 8월 12일. 1977년 2월 고려대학교 전자공학과(학사). 1983년 2월 고려대학교 대학원 전자공학과(석사). 1983년 6월 ~ 현재 한국전자통신연구소 ATM교환연구실 선임연구원



田 溶 一(正會員)
 1958년 9월 5일. 1981년 2월 고려대학교 전기공학과(학사). 1983년 2월 한국과학기술원 전기공학과(석사). 1983년 3월 1987년 3월 금성정밀(주) 주임연구원. 1987년 4월 ~ 현재 한국전자통신연구소 ATM

교환연구실 선임연구원



全 炳 胤(正會員)
 1962년 3월 5일. 1984년 2월 아주대학교 전자공학과(학사). 1987년 8월 한국과학기술원 전기 및 전자공학과(석사). 1987년 9월 ~ 현재 한국전자통신연구소 ATM교환연구실 선임



朴 權 喆(正會員)
 1953년 10월 8일. 1977년 2월 고려대학교 대학원 전자공학과(학사). 1979년 2월 고려대학교 대학원 전자공학과(석사). 1988년 2월 고려대학교 대학원 전자공학과(박사). 1982년 2월 ~ 현재 한국전자통신

연구소 ATM교환연구실장



吳 昌 煥(正會員)
 1955년 6월 6일. 1980년 고려대학교 전자공학과(학사). 1983년 2월 고려대학교 대학원 전자공학과(석사). 1994년 3월 오사카대학 정보공학과(박사). 1979년 12월 ~ 현재 한국전자통신연구

소 책임연구원