

論文96-33A-3-16

플립 칩 본딩으로 패키징한 레이저 다이오우드 어레이의 열적 특성 변화 분석

(Analysis of Thermal Characteristic Variations in LD Arrays Packaged by Flip-Chip Solder-Bump Bonding Technique)

徐宗和*, 丁鍾珉*, 池尹圭**

(Chong Hwa Seo, Jong Min Cheong, and Yoon Kyoo Jhee)

요 약

본 논문에서는 LD 어레이를 flip-chip 본딩을 이용해 패키징한 광송신단의 열적인 특성 변화를 해석하였다. 본 논문에서 제작한 프로그램으로 시뮬레이션한 결과 기존의 본딩 방법으로 패키징한 구조와 flip-chip 본딩 방법으로 패키징한 구조의 비교에서 flip-chip 본딩 구조만의 영향은 기존의 본딩 방법보다 250% - 340% 열 누화를 더 악화시킨다는 것을 알 수 있었다. Flip-chip 본딩 방법으로 패키징한 냉각기가 없는 구조에서는 열적 누화에 따른 활성층의 절대온도가 중요한 값이며 heatsink에 대한 엄격한 고려가 없이는 LD 활성층의 온도가, 4개의 LD를 동시에 동작시켰을 때는 단지 한 LD 당 100mW씩의 전력이 소모된다고 하더라도 125°C 이상이 된다는 것을 알 수 있었다. 이 문제를 해결하기 위한 한 방법으로 heatsink의 구조를 제안하였고 그 효과는 약 40% 정도 활성층의 온도를 하강시켰다.

Abstract

In this paper, we analyze the variations of thermal characteristics of LD(laser diode) arrays packaged by a flip-chip bonding method. When we simulate the temperature distribution in LD arrays with a BEM(boundary element method) program coded in this paper, we find that thermal crosstalks in LD arrays packaged by the flip-chip bonding method increases by 250-340% compared to that in LD arrays packaged by previous methods. In the LD array module packaged by the flip-chip bonding technique without TEC(thermo-electric cooler), the important parameter is the absolute temperature of the active layer increased due to thermal crosstalk. And we find that the temperature of the active layers of LD arrays increases up to 125°C when all four LDs, without a carefully designed heatsink, are turned on, assuming the power consumption of 100mW from each LD. In order to reduce thermal crosstalk we propose a heatsink structure which can decrease the temperature at the active layer by 40%.

I. 서 론

* 正會員, 韓國科學技術院 電氣 및 電子工學科

(Dept. of Elec. Eng., KAIST)

** 正會員, 梨花女子大學校 電子工學科

(Dept. of Elec. Eng., Ewha Womans Univ.)

接受日字: 1995年1月4日, 수정완료일: 1995年1月23日

ATM 시스템과 같은 대용량 시스템을 위한 광 상호 연결은 기존의 전기적 상호연결 시스템이 갖는 한계를 극복할 수 있는 방안으로 매우 많은 관심을 받고 있다. 이러한 광 상호연결을 고속 serial 채널로 구현하는 경

우는 다중화나 역다중화 소자 등의 가격이 병렬 채널에 비해 유리한 장거리 상호 연결 시스템이고, 병렬 채널로 구현하는 경우는 단거리 연결 시스템이다. 따라서 시스템 성능을 향상시키기 위해서는 시스템 내부에서 병렬채널 광 상호연결을 사용하는 연구가 필요하다. 여러 가지 방법 중에서 가장 현실성이 높은 것은 광섬유 리본을 이용하는 방법이다. 이 방법은 LD(laser diode) 어레이, PD(photodiode) 어레이 제작기술과 광섬유 리본 커넥터 기술의 발전에 힘입어 많이 연구 개발되고 있는 실정이다. 특히 Si 기판 기술과 혼합되어 그 실용성이 나날이 증가되고 있다. 이때 LD 어레이를 포함한 광송신기에서 저가격 패키징 방법으로 생각되고있는 flip-chip 본딩을 이용하여 광모듈을 패키징할 때 LD 어레이의 특성 변화에 대한 연구가 필요하다¹¹⁻³¹.

병렬 광 상호연결은 직렬 연결에 비해 여러 가지 장점과 함께 직렬 광 상호연결에는 없는 누화(crosstalk) 문제와 skew 문제가 있다. 누화의 종류에는 전기적 누화, 광학적 누화, 열적 누화 등이 있는데 전기적 누화는 인접 LD 간의 전기적 전송선(예 : 본딩 와이어) 커플링 임피던스에 의한 것이고 광 누화는 빛의 분산과 회절 및 모드간의 커플링에 그 원인이 있으며, 열적 누화는 주위 온도의 변화때문에 발생하며 발진임계 전류값(threshold current)의 변화, 외부 양자효율의 변화, 발진 파장의 변화, 광학적 이득의 변화에 영향을 미친다.

Flip-chip 본딩은 개개의 소자를 하나씩 정확히 정렬하는 데는 많은 시간과 비용이 소모되므로 이것을 극복하기 위해 개발된 새로운 패키징 기술이다. 이 방식은 1969년 IBM사에서 처음 개발되었고 많은 발전을 거듭해 왔다. 아무런 heatsink가 없을 때 LD의 활성 영역(active region)에서 발생한 열은 LD 어레이의 윗쪽으로 전달되거나 아니면 flip-chip bonding을 통해 아래쪽의 substrate로 전달되어야 한다. 여기서 대부분의 heatsink는 LD 어레이 아래쪽에 위치하므로 LD어레이 아래쪽으로 열이 전달되어야 하는데 flip-chip 본딩을 할 때 존재하는 공기층은 열에 대해서는 장벽으로 작용하기 때문에 이로 인한 활성층의 온도 상승은 예견되었으나 얼마 만큼 온도가 상승한다는 것은 보고되어 있지 않은 실정이다¹³¹.

따라서 본 논문에서는 LD 어레이를 flip-chip 본딩을 이용해 패키징한 경우 열적 누화를 중심으로 해석

하고자 한다. 그 과정으로서 먼저 열 전도에 관한 기본 법칙을 알아본 다음, 정확한 경계 조건을 적용할 수 있는 온도 계산용 2차원 경계 요소법(BEM : boundary element method) 프로그램을 제작하고 flip-chip 본딩한 단일 LD에 대해 실험값과 시뮬레이션 값을 비교해 봄으로써 본 논문에서 제작한 프로그램의 유용성을 확인하려 한다. 그리고 기존의 본딩 방법으로 패키징한 구조와 flip-chip 본딩 방법으로 패키징한 구조의 비교에서 공기층의 영향을 해석해 보고 그 다음 flip-chip 본딩 방법과 함께 냉각기가 없는 구조에서 열 분포의 계산으로부터 flip-chip 본딩과 냉각기의 부재가 레이저 다이오드의 활성층의 온도에 어떠한 영향을 미칠 것인지를 알아보려 한다.

II. 열전도 기본 법칙 및 수치 해석 방법

1. 열 전도에 관한 기본 법칙

열 전도를 지배하는 기본 법칙은 열속비(the rate of heat flux) q 의 실험적 정의에서 시작된다¹⁴¹. 한 직육면체에서 왼쪽면과 오른쪽 면을 통하여 열속이 흐른다고 할 때 그 정의는 식 (1)에 있는데 여기서 A 는 면적, t_1 은 왼쪽 수직 평면에서의 온도, t_2 는 오른쪽 수직 평면에서의 온도, Δx 는 직육면체의 두께이고 k 는 열 전도도로서 [W/m-K]의 단위를 갖는다.

$$q = kA \frac{t_1 - t_2}{\Delta x} \quad (1)$$

식 (1)의 3차원 확장과 에너지 보존의 법칙 그리고 발산 정리를 사용하면 한 점에서의 온도 T 에 관한 미분 방정식을 얻는데 이것이 식 (2)이다.

$$-\nabla \cdot [k \nabla T(\mathbf{r}, t)] + g(\mathbf{r}, t) = \rho C_p \frac{\partial T(\mathbf{r}, t)}{\partial t} \quad (2)$$

여기서 ρ 는 매질의 밀도이고 C_p 는 specific heat이다. 전도도가 위치와 시간에 따라 변하지 않는다고 할 때 식 (2)는,

$$-\nabla^2 T(\mathbf{r}, t) + \frac{1}{k} g(\mathbf{r}, t) = \frac{1}{\alpha} \frac{\partial T(\mathbf{r}, t)}{\partial t} \quad (3)$$

이 되며 여기서 α 는 열확산 계수이다. 정상 상태(steady state)에서 $\frac{\partial}{\partial t} = 0$ 이므로 식 (3)은,

$$-\nabla^2 T(\mathbf{r}) = -\frac{1}{k} q(\mathbf{r}) \quad (4)$$

가 되어 결국에는 포아손(poisson) 방정식으로 귀결된다.

모든 미분 방정식의 해가 그러하듯이 LD를 포함한 광 송신단 내에서의 온도를 계산하기 위해서는 경계 조건이 확립되어야 한다. LD 내부의 온도를 계산하는 초기의 논문에서는 냉각기와 접하는 경계를 제외한 모든 경계에서 열의 흐름이 없다. 즉 경계에서 온도의 기울기가 영이라고 가정하고 있다^[5]. 이 경계 조건은 냉각기가 있을 때와 없을 때에 따라 현저하게 달라지게 되는데 그 이유는 냉각기가 존재하면 대부분의 열이 그 냉각기를 통해 빠지기 때문에 냉각기를 제외한 다른 경계에서의 경계 조건이 중요하지 않게 되는 반면, 냉각기가 없을 때는 공기와 접하는 면의 경계 조건이 해석을 원하는 구조 내부의 온도를 직접적으로 결정하기 때문이다.

공기와 접하는 경계에서의 경계 조건은 식 (5)로 표시되는 뉴우튼의 냉각 법칙으로 나타낼 수 있다.

$$-(\frac{\partial T}{\partial n}) = \frac{h}{k}(T_s - T) \quad (5)$$

식 (5)에 나오는 열 전달 상수 h를 정확히 계산하기 위해서는 유체(여기서는 공기) 속도의 3성분과 유체의 압력, 온도, 밀도를 위치와 시간의 함수로써 알아야 한다. 이것은 뉴우튼의 운동 법칙에서 3개의 편미방, 질량과 에너지 보존 법칙에서 2개의 편미방, 유체 공급 상태에 관한 방정식(the equation of state of the fluid furnishes)에서 1개의 대수식을 얻고 이들을 동시에 풀어야 하는 응용 수학에서 가장 어려운 분야 중의 하나가 된다.

대기압 상태에서 외부로부터의 강제적 흐름이 없는 자유 공기 내에서의 수직 평면에 관한 열 전달 상수에 관한 식은 참고 문헌^[4]에 나타나 있는데 식 (6)으로 표시된다.

$$Nu_L = 0.68 + 0.670 Ra_L^{(1/4)} [1 + \frac{(0.492)^{9/16}}{Pr}]^{-4/9}, \quad 0 < Ra_L < 10^9 \quad (6)$$

여기서 Nu_L는 누셀트 수, Pr은 프란틀 수, Ra_L은 레일리히 수이며 다시 누셀트 수는 식 (7)과 같이 정의된다.

$$Nu_L = \frac{hL}{k_{air}} \quad (7)$$

여기서 L은 수직 평면의 길이이며 k_{air}는 공기의 열 전도도이다. 수평 평면에 관한 열 전달 상수는 식 (6)과

차이가 있지만 해석을 원하는 물체의 크기가 작아지면 공기 내에서도 열이 주로 전도(conduction)에 의해 전달되기 때문에 수직 평면과 수평 평면에 관한 열 전달 상수의 식이 유사해진다. 따라서 경계의 수직, 수평에 관계없이 열 전달 상수는 식(6)으로부터 계산하였다.

2. 수치 해석법

미분 방정식을 수치 해석적으로 푸는 방법에는 여러 가지가 있는데, 유한 차분법(finite difference method), 유한 요소법(finite element method), 경계 요소법(boundary element method) 등이 그것이다. 본 논문에서 사용한 방법은 경계 요소법으로 유한 요소법보다 다음과 같은 장단점이 있다. 장점으로는 첫째, 유한 요소법은 해석해야할 영역을 조각내기 했을 때 그 크기들이 서로 비슷해야만 더 정확한 근사가 되지만 경계 요소법은 조각낸 영역들의 상대적인 크기에 제약이 없다. 둘째, 경계 요소법은 유한 요소법과는 달리 원래의 문제를 한 차원 낮추어서 생각하기 때문에 그 만큼 더 적은 수의 연립 방정식을 생성하므로, 해석의 속도가 빠르다. 단점으로는 첫째, 경계 요소법은 해석해야할 영역의 구석이나 모서리 부분에서 정확한 계산이 되지 않는다. 둘째, 유한 요소법의 100년 역사에 비해 약 20년의 짧은 역사를 가지고 있기 때문에 다양한 패키지와의 그 패키지들의 안정성 문제에 있어서는 유한 요소법보다 못하다.

본 논문에서 사용한 수치 해석 방법은 경계 요소법으로 그 원리는 경계 조건을 경계에서의 가상 열원으로 대체함으로써 그 열원들의 singular solution의 중첩으로 임의의 점에서의 원하는 물리량을 구하는 것이다. 경계 요소법의 실제적 적용에 있어서 그 방식에 따라 세 가지 적용 방식이 있는데 본 논문에서 사용한 방식은 경계 요소법의 비직접적 공식화(indirect formulation of BEM)이다^[6].

경계 요소법의 비직접적 공식화의 핵심은 식 (8)와 식 (9)에 있다.

$$T(r) = \int_S G(r, \xi) \phi(\xi) dS(\xi) + \int_A G(r, z) \psi(z) dA(z) + C \quad (8)$$

$$u(r) = \int_S F(r, \xi) \phi(\xi) dS(\xi) + \int_A F(r, z) \psi(z) dA(z) \quad (9)$$

위의 식에서 T는 온도이고 u는 온도의 기울기에 해당하는 양이며 ϕ는 경계에서의 등가 열원, ψ는 원래의 열

원. G는 각각의 열원에 의한 온도에 관한 singular solution이며 F는 각각의 열원에 의한 온도의 기울기에 관한 singular solution이다. 수치 해석을 위해 이산 형태(discrete form)의 행렬식으로 쓰면 식 (10)과 식 (11)이 된다.

$$T^o = G^{oo}\phi^o + G^{oi}\phi^i + C \quad (10)$$

$$u^o = F^{oo}\phi^o + F^{oi}\phi^i \quad (11)$$

식 (10)에서 경계를 적절한 개수의 조각으로 나눈 다음 그 각각의 조각 경계에 대해 G와 F를 계산하고 경계 조건(T, u)을 대입한 후, 식 (10)과 식 (11)을 연립하여 ϕ 를 구한다. ϕ 를 알면 임의의 위치에서의 G를 계산함으로써 식 (10)에 의해 그 위치에서의 온도를 알 수 있다.

III. 경계 요소법 수치 해석 결과

1. 경계 요소법의 비직접적 공식화의 코딩 및 시물레이션 방법

앞 장에서 설명한 경계 요소법의 비직접적 공식화를 C 언어를 사용하여 코딩하였다. 식 (7)과 식 (8)을 하나의 행렬식으로 쓰면 식 (12)가 된다.

$$T = A^i\phi + B^A\phi \quad (12)$$

T는 일반적인 경계조건을 나타내고, 윗 첨자로서 L은 ϕ 가 2차원 해석에서는 등가 선 열원이기 때문에 선을 의미하며, A는 매질내에서의 일반적 열원이 면적 열원이기 때문에 면적을 의미한다. 경계 요소법의 비직접적 공식화는 식 (12)를 푸는 과정이므로 그림 1에 있는 본 논문에서 제작한 프로그램의 흐름도도 그 과정을 따라 작성하였다. 프로그램 내에서의 역행렬의 계산은 가우스 소거법을 사용하였고, 이 방법의 적용시 0으로 나누어지는 현상을 막기 위해서 적절한 행의 자리바꿈을 수행하였다. 본 프로그램은 SI 단위를 사용한다. 열 전달 상수는 표면 온도의 함수이기 때문에 프로그램을 한 번 실행해서는 완벽한 온도 분포를 구할 수 없다. 따라서 첫번째 프로그램 실행에서는 적절한 초기 온도를 가정하고 온도의 분포가 0.5°C 이내에서 더 이상 변하지 않을 때까지 반복 실행하였다. 온도 제어가 없을 때, LD의 온도가 변하면 출력광의 세기가 변해 열원의 크기를 변화시키므로 정확한 온도 분포를 계산하

기 위해서는 온도에 따른 P-I 곡선을 아는 것이 필수적이며 이것은 온도 분포의 계산을 더 복잡하게 만든다. 이 효과를 다음 절에 나오는 단일 LD의 시물레이션에서는 고려하였지만 이 시물레이션 결과에서 알 수 있듯이 표면 온도에 의한 광출력의 변화 효과가 무시할 수 있을 정도이기 때문에 그 외의 시물레이션의 경우는 고려하지 않았다.

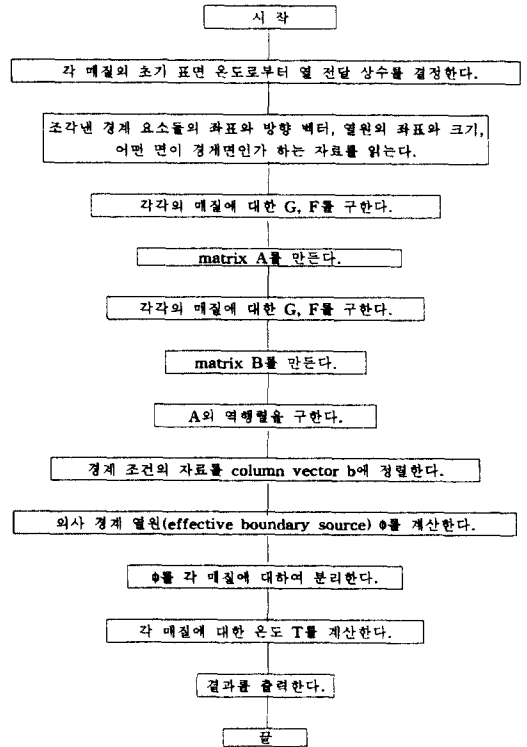


그림 1. 프로그램의 흐름도

Fig. 1. Flowchart for a program coded in this paper.

2. 단일 매질에서의 유한 요소법과의 비교

이 논문에서 작성된 프로그램의 정확성을 확인하기 위해 기존의 유한 요소법 프로그램과 같은 조건에서의 그 결과를 비교해 보았다. 비교의 대상이 된 유한 요소법은 Daryl L. Logan의 프로그램으로 참고 문헌 [7]의 부록으로 제공되는 프로그램이다. 시물레이션의 조건은 가로와 세로가 각각 12ft와 6ft인 직사각형에서 세로의 한 쪽면에서 100°F를 유지하고 다른 세개의 면은 공기와 접한다고 가정하였다. 여기서 열 전달 상수는 20 Btu/(h-ft²-°F)이고 매질의 열 전도도는 25 Btu/(h-ft-°F)이다. 단위를 SI 단위로 바꾸면 위의

값은 차례로 $113.57 \text{ W}/(\text{m}^2\text{-}^\circ\text{C})$ 와 $43.27 \text{ W}/(\text{m}^2\text{-}^\circ\text{C})$ 가 된다. 이 경계 조건을 사용한 두 방법의 결과가 그림 2에 있고 절대값의 평균차이는 0.18%이다.

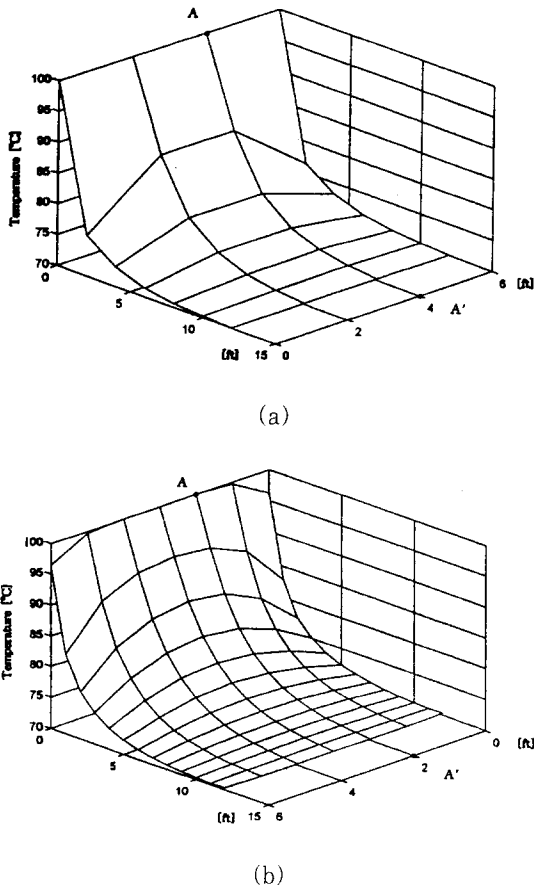


그림 2. (a) FEM으로 시뮬레이션한 온도 분포 (b) BEM으로 시뮬레이션한 온도 분포
 Fig. 2. (a) Temperature distribution calculated by FEM. (b) Temperature distribution calculated by BEM.

2. Flip-Chip 본딩한 단일 레이저 다이오우드에 대한 시뮬레이션

본 논문에서 제작한 프로그램으로 flip-chip 본딩한 하나의 LD에 대해 시뮬레이션해 보았다. 시뮬레이션에 사용된 LD는 전자통신연구소에서 평가입자망 용으로 제작한 $1.3\mu\text{m}$ FP MQW-LD(Fabry-Perot multi quantum well-laser diode)로서 6.1mA의 임계 전류, 0.8V의 turn-on 전압, $0.24\text{mW}/\text{mA}$ 의 외부 양자 효율 그리고 80°C 에서 10mW 이상의 광출력을 내는 특징을 가지고 있다. 이 LD를 실리콘 기판 위에

flip-chip 본딩시킨 구조가 그림 3에 있다. 그림 4에 보여준 바와 같이 열 문제를 해결하기 위해 LD를 다시 알루미늄 기판 위에 장착시켰고 실험은 온도 제어기를 동작시키지 않은 TEC(thermo-electric cooler) 위에서 행해졌다. 즉 TEC는 LD의 주입 전류를 변화시키면서 파장의 변화를 측정하여 온도의 변화를 유추할 때는 단지 heatsink로서의 역할만 한다. 그림 4에서 LD의 전류는 Metal 1을 통하여 공급되고 TEC의 온도 제어기를 동작시키면 온도는 Metal 2를 통하여 제어된다.

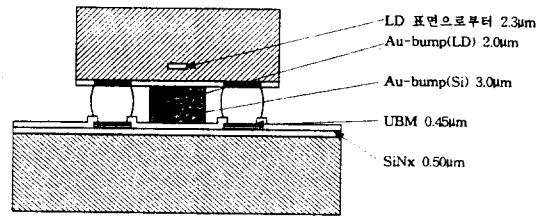


그림 3. LD를 실리콘 기판에 flip-chip으로 본딩한 구조
 Fig. 3. Structure of a LD module packaged by the flip-chip bonding method.

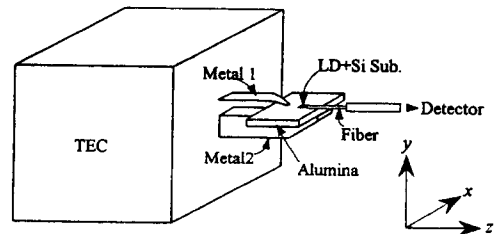


그림 4. 실험 모듈의 구조
 Fig. 4. Experimental module structure.

이 실험 모듈에 대하여 그림 5과 같은 시뮬레이션 모델을 가정하였다. 이 모델은 TEC가 LD의 옆에 있는 것이 아니라 LD 아래에 있다고 가정한 것으로 이와 같은 구조의 근사를 하는 이유는 LD에서 발생한 열이 알루미늄 기판을 통해 Metal 2로 전해진 다음 이 열이 아래 쪽의 공기로 발산하는 것이 아니라 대부분이 TEC 쪽으로 전달되기 때문이다. 이 해석은 그림 6을 보면 더 명확해질 것이다. 그림 4의 실험 모듈을 2차원으로 모델링을 하면 x-y평면으로 모델링하게 되는데 이 모델링은 LD에서 알루미늄 층까지는 유효할 것이다. 그림 4의 Metal 2와 TEC에서는 심각한 z방향의 온도 변화가 있기 때문에 단순히 그림 4의 LD에

서 x-y 평면으로 수직으로 자른 단면을 모델링한 그림 6(b)의 구조만으로는 정확한 온도의 분포를 계산할 수 없다. 따라서 TEC를 LD 아래에 있게하여 z방향의 온도 변화를 y방향의 온도 변화로 전환시킨 그림 6(c), 즉 그림 5과 같은 모델을 생각하게 된 것이다.

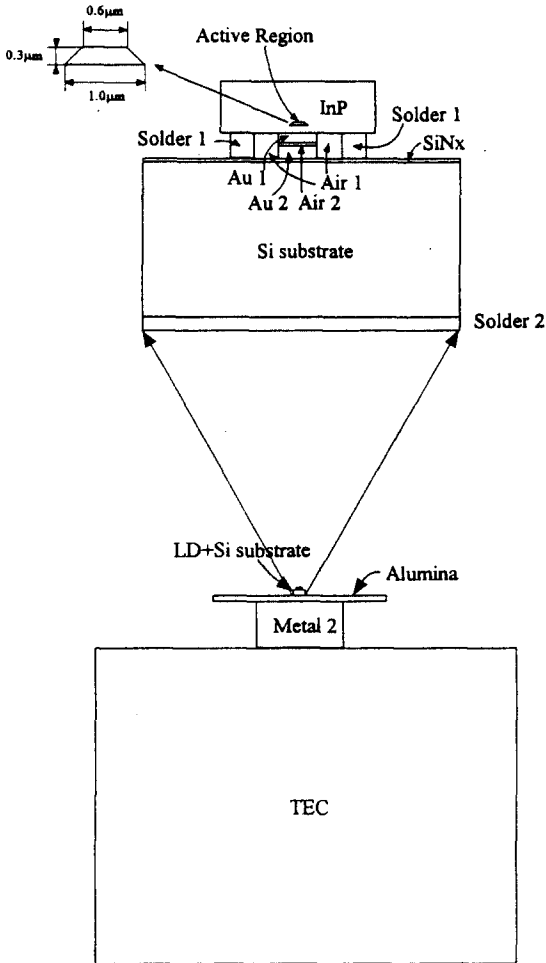


그림 5. 실험 모듈에 대한 시뮬레이션 모델
Fig. 5. Simulation model for the experiment module.

시뮬레이션에 사용된 각 요소들의 열전도도와 크기는 표 1에 있다. 경계 조건은 공기와 접하는 모든 면에서는 뉴우튼의 냉각 법칙을 사용했고 그림 5의 Air 1은 작은 공간에 한정되어 있기 때문에 유체의 흐름을 무시하였다. LD 내부에서 열원의 종류는 주울열, non-radiative recombination에 의해서 발생하는 열, radiative recombination되는 전력 중 lasing이

일어나지 않는 전력에 의해 발생하는 열 등이 있는데 주울열을 제외하고는 대부분 활성층에서 열을 발생시킨다. 더구나 index-guided LD에서는 주울열의 효과를 무시할 수 있기 때문에 열원 조건은 공급되는 전력에서 광출력을 제외한 모든 전력이 빛이 발생하는 활성층 내부에 균일하게 열로 전환된다고 가정하였고 온도의 변화에 따른 광출력의 변화도 고려하였다¹⁸⁾.

표 1. 그림 5의 구조에 사용된 상수값
Table 1. Parameters used for Fig. 5.

| 매 질 | 열전도도(W/m ² ·C) | 크기(μm x μm) |
|--------------|---------------------------|---------------|
| InP | 68 | 400 x 100 |
| solder 1 | 150 | 50 x 5 |
| solder 2 | 4 | 1600 x 50 |
| Air 1 | 0.026 | 50 x 5 |
| Air 2 | 0.026 | 150 x 0.1 |
| Au 1 | 318 | 150 x 2 |
| Au 2 | 318 | 150 x 3 |
| SiNx | 20 | 1600 x 0.1 |
| Si Substrate | 150 | 1600 x 600 |
| Alumina | 200 | 12000 x 600 |
| Metal 2 | 386 | 6000 x 6000 |
| TEC | 10-200 | 60000 x 60000 |

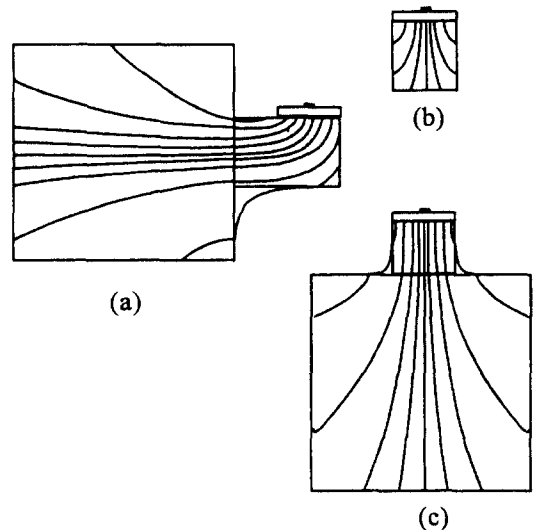


그림 6. 시뮬레이션 모델의 설명을 위한 그림
Fig. 6. Figure to illustrate the simulation model.

그림 5의 모델을 사용한 시뮬레이션의 결과는 실험 값과 함께 그림 8에 나타나 있다. 표 1에서 TEC의 열

전도도를 10-200 이라고 가정한 이유는 TEC 내부의 구조를 잘 알 수 없지만, TEC의 등가 열 전도도가 금속 중에서 가장 작은 열 전도도를 갖는 철-니켈 합금의 열전도도에서 비교적 큰 열전도도 값을 갖는 알루미늄의 열 전도도 사이의 값을 가질 것이라는 생각에서였다. 그림 8를 보면 활성층의 온도는 TEC이 열 전도도가 10에서 200으로 변할 때 0.95°C의 변화로 그 변화가 아주 작음을 알 수 있다.

IV. Flip-Chip 본딩한 단일 레이저 다이오우드에 대한 실험

이 절에서는 전자통신연구소에서 flip-chip 본딩한 단일 LD에 대해 전류의 변화에 따른 파장 변화로부터 활성 영역의 온도를 유추해 봄으로써 시뮬레이션의 결과와 비교해 보려고 한다¹⁹⁾. 주위 공기의 온도는 24°C였고 이 상태에서 전류를 10mA, 30mA, 50mA, 70mA로 바꿔 가며 출력 빛의 파장을 측정하였다. 측정치에서 광학적 이득의 최대가 되는 세개의 파장을 찾아 전류의 변화에 따른 파장의 변화를 그린 것이 그림 7이다. 그림 7의 점선은 모든 점들의 least mean square line이다. 이 그림을 보면 전류가 10mA에서 70mA로 변할 때 6nm 정도의 파장 변화를 보임을 알 수 있다.

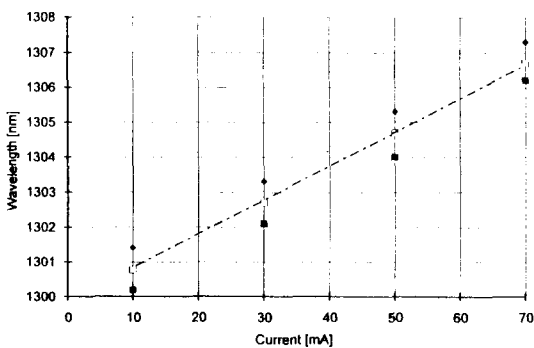


그림 7. 실험 모듈의 구조에서 전류의 변화에 따른 파장의 변화

Fig. 7. avelength shift due to current variations in the experiment module.

그림 7로부터 LD 활성층의 온도를 유추하기 위해서는 활성층의 온도가 변할 때 파장이 얼마나 변하는가를 알아야 한다. 이 관계를 알아보기 위해서 LD에 일

정한 전류를 흘리면서 TEC에 있는 온도 제어기를 사용하여, 알루미늄 아래 표면의 온도를 25°C에서 50°C까지 변화시키면서 출력광의 파장을 측정하였다. 그 결과 알루미늄 표면 온도에 따른 출력광의 파장의 변화는 3.0A/°C임을 알 수 있다.

그런데 이 측정값이 활성층의 온도 변화에 따른 파장의 변화로 전환되기 위해서는 주위의 온도가 변할 때 출력광의 세기가 일정하여 알루미늄층의 표면 온도와 활성층의 온도 차이가 일정해야 하지만 실제로는 그렇지 않다. 실험에 사용된 LD의 P-I 곡선을 참조하면, LD에 전류를 20mA를 흐르게하고 표면의 온도를 20°C에서 50°C로 증가시킬 때 출력광의 전력이 4mW에서 2.5mW로 작아짐을 알 수 있다. 하지만 전원에서 공급되는 전력은 $0.8V \times 20mA = 16mW$ 이므로 출력광의 전력을 제외한 모든 전력이 열원으로서 작용한다고 전제할 때 열원의 전력은 12mW에서 13.5mW로 12.5%만큼 증가하며 이들 값의 변화에 따른 활성층의 온도와 알루미늄 표면의 온도 차이의 변화는, 앞 절의 시뮬레이션에 따르면 1.32°C에서 1.50°C로 0.18°C의 차이를 보인다. 이것은 20°C에서 50°C로의 알루미늄 표면 온도의 변화가 근사적으로 21.32°C에서 51.50°C로의 활성층의 온도 변화로 환원될 수 있다는 것을 보여주며 결국 실제 활성층의 온도 변화에 따른 파장의 변화는 앞서 계산한 3.0A/°C보다 약 1% 더 작은 값이라는 것을 알 수 있지만 이것은 사실상 무시할 수 있는 값이다.

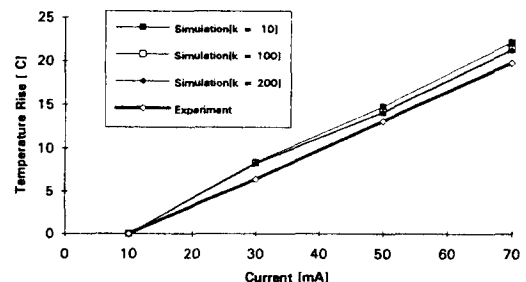


그림 8. 활성층의 온도 상승에 대한 실험과 시뮬레이션의 비교

Fig. 8. Comparision between experiment and simulation for temperature increase-ment in the active layer.

따라서 알루미늄 표면 온도에 따른 출력광 파장의 변화를 활성층의 온도 변화에 따른 출력광의 파장 변

화라고 생각할 수 있으며, 이 값을 이용하여 그림 7의 주입 전류에 따른 파장의 변화를 주입 전류에 따른 활성층 온도의 변화로 전환시켜 앞 절의 시뮬레이션 결과와 함께 표시한 것이 그림 8이다. 그림 8을 보면 시뮬레이션의 결과는 실험값에서 유추한 결과와 각 점에서의 오차의 평균은 12-14%임을 알 수 있다.

V. Flip-Chip 본딩 구조에서의 열적 누화

이제 이 논문의 첫번째 목표인 flip-chip 본딩 구조에서의 열적 누화를 기존의 본딩 구조에서의 열적 누화와 비교해보려 한다. 비교의 대상이 되는 기존의 본딩 구조는 참고 문헌 [9]의 구조를 선택하였다. 참고 문헌 [9]에 있는 LD 어레이 모듈의 2차원 시뮬레이션 모델은 그림 9에 있다.

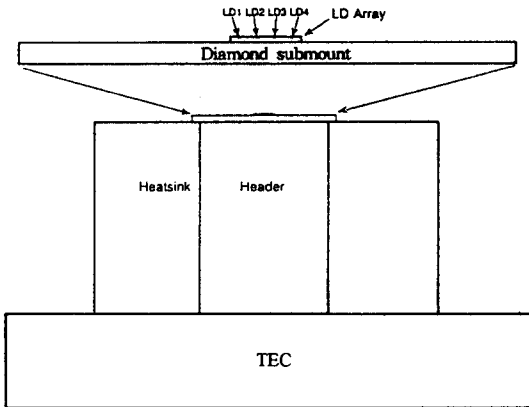


그림 9. LD 어레이 모듈에 대한 참고 문헌 [9]의 시뮬레이션 모델
 Fig. 9. Simulation model of the LD array module in Ref. [9].

이 구조는 열 문제를 해결하는 방법으로 LD 어레이 밑에 다이아몬드 층을 두고 그 아래에 heatsink와 TEC를 두는 방법을 사용하고 있는데 이 방법의 단점은 다이아몬드 층이 크면 클수록 좋은 효과를 보이지만 경제적인 이유에서 구현하기 어렵다는 것이다. 이 문제는 다음 절에서 살펴볼 것이다. 이 모델에 대한 경계 조건은 냉각기가 있는 면에서는 0°C, 공기와 접하는 면에서는 뉴우튼의 냉각 법칙을 사용하고 열원 조건으로 한 LD당 800W/m²의 전력이 열로 전환된다고 가정할 때, 본 논문에서 작성한 프로그램으로 시뮬레

이션 한 결과가 그림 10이다. 이 결과는 참고 문헌 [9]에서의 시뮬레이션 결과와 3%의 차이를 보인다.

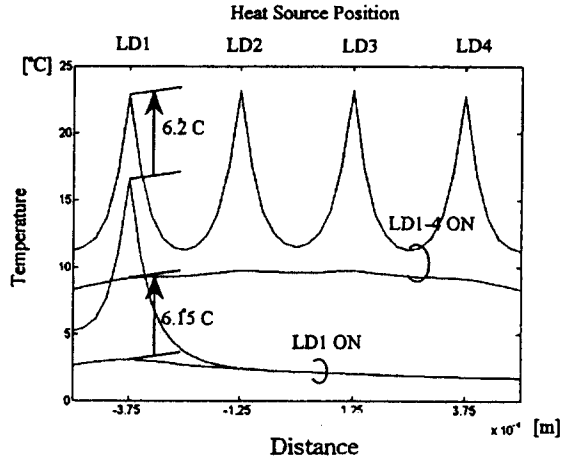


그림 10. 그림 9의 구조에 대한 본 논문의 프로그램 시뮬레이션 결과 (LD 어레이 윗 표면에서의 온도 분포)
 Fig. 10. Temperature distribution at the upper surface of LD arrays simulated by BEM program coded in this paper.

Flip-chip 본딩 구조가 LD 어레이의 열적 누화에 미치는 영향을 참고 문헌 [9]의 본딩 구조와 비교하기 위해서 그림 9에서 레이저 다이오드의 본딩 부분을 제외한 모든 부분을 똑같이 둔 채로 레이저 다이오드 어레이를 flip-chip 본딩 시켰을 때의 구조에 대해 온도 분포를 계산하였다. Flip-chip 본딩의 구조는 그림 11에 있다. 경계 조건은 단일 LD에서 적용한 조건과 일치하며 열원 조건은 참고 문헌 [9]의 조건과 같다. 공기층의 두께는 5μm이고 활성층은 Au층 위 5μm 지점에 위치한다. 실제의 flip-chip 본딩에서 공기층의 면적이 전체의 본딩 면적의 몇 %에 해당하는지를 알 수 없기 때문에 이 구조를 그대로 유지한 채 공기층의 폭과 범프층인 Au층의 폭의 비율 1:4, 2:3, 3:2, 4:1로 바꾸어 가며 시뮬레이션 해보았다. 비율이 2:3일 때의 결과가 그림 11에 있다.

전체적인 결과를 살펴 보면 참고 문헌 [9]의 구조에서의 온도 상승 6.2°C에 비해 250-340%의 비율로 온도 상승이 더 커진다는 사실을 알 수 있다. 공기층의 존재는 열이 빠져나갈 통로를 줄여 LD 내부에 더 많은 열을 가두기 때문에 열적 누화가 더 커진 것을 알

수 있다. 여기서 내릴 수 있는 결론은 flip-chip 본딩으로 레이저 다이오드 어레이를 광송신기에 장착시켰을 때 flip-chip 본딩 구조에 의한 열 상호작용(누화)은 기존의 본딩 방법으로 장착한 것보다 약 3배 가량 더 악화된다는 것이다.

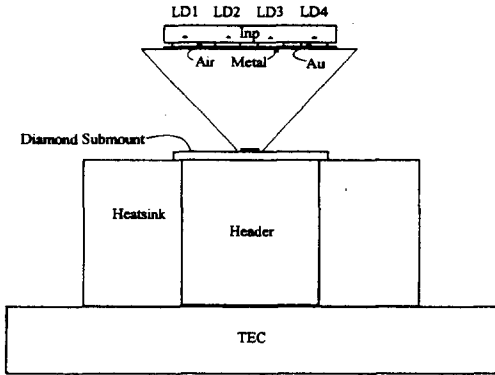


그림 11. 그림 9에서 본딩 부분만 flip-chip 본딩 방법으로 장착한 레이저 다이오드 모듈에 대한 2차원 모델

Fig. 11. Two-dimensional model for the LD array module replaced by the flip-chip bonding method for Fig. 10.

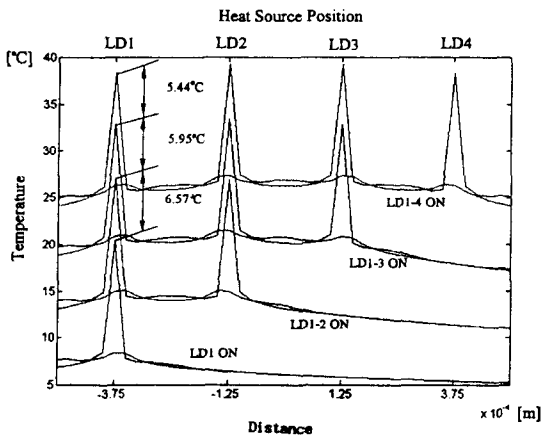


그림 12. 공기층의 폭이 전체 본딩 면적의 40%일 때의 LD 활성층 높이에서의 온도 분포

Fig. 12. Temperature distribution at the active layer of the LD arrays when the width of air gap is 40% of total bonding width.

VI. 냉각기가 없을 경우 온도 분포

여기서는 LD 어레이를 flip-chip 본딩 방법으로 패

키징하고 저가격화를 위해 냉각기를 설치하지 않았을 때의 열 분포에 대해 고찰해 보려고 한다. 그림 13에 해석을 위한 구조가 있고 그림 13에 사용된 각 매질들의 열 전도도와 크기는 표 2에 있다. 그림 13에서 냉각기가 없기 때문에 모든 경계면이 공기로 둘러싸여 있음을 알 수 있다.

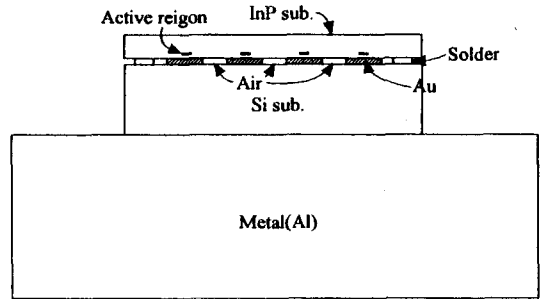


그림 13. 냉각기가 없는 구조에 대한 2차원 모델 1 Fig. 13. Two-dimensional model 1 for the LD array module without TEC.

표 2. 그림 13의 구조에 사용된 상수값 Table 2. Parameters used for Fig. 13.

| 매 질 | 열전도도(W/m ² ·°C) | 크기(μm x μm) |
|--------------|----------------------------|--------------|
| InP | 68 | 400 x 100 |
| Au | 318 | 150 x 2 |
| Air | 0.026 | 100 x 5 |
| Si Substrate | 150 | 1000 x 300 |
| Metal | 214 | 10000 x 1000 |

공기와 접하는 경계에서는 뉴우튼의 냉각 법칙을 경계 조건으로 사용하였고, 금속으로 둘러싸여 있는 공기들에 대한 가정은 단일 LD에서와 같은 가정을 하였다. 열원은 빛이 발생하는 활성층 내부에서 균일하게 분포한다고 가정하였고 한 LD당 0.8V x 100mA = 80mW의 전력이 소비된다고 가정하였다. 이 값은 앞의 실험에 쓰인 LD에서 80°C의 주위 온도에서 10mW 광출력을 낼 수 있어야 한다는 조건을 만족시키는 최저의 전력이다. 광출력은 어느 경우에도 10mW가 나온다고 가정하였다. 이 구조의 시뮬레이션 결과가 그림 14에 있다.

그림 14의 결과에서 볼 수 있듯이 heatsink에 대한 아무런 고려를 하지 않은 그림 13의 구조에서 4개의 LD를 모두 동작시켰을 때 활성층의 온도가 126.5°C가 된다.

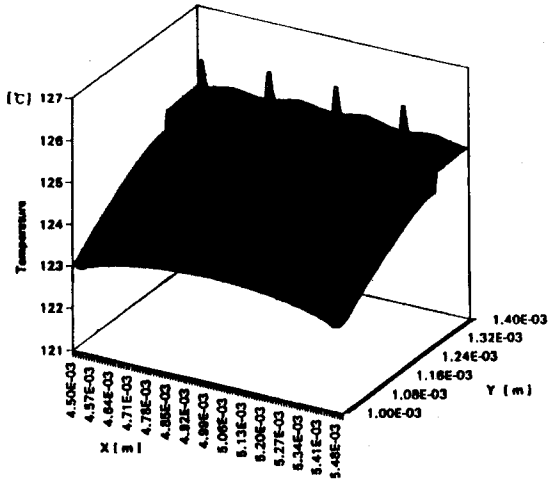


그림 14. 그림 13 구조에 대한 BEM 시뮬레이션 결과 (LD1-4를 모두 켜 있을 때)

Fig. 14. Temperature distribution in LD arrays and Si substrate simulated by the BEM program for Fig. 13 (LD1-4 turn on).

이런 상태에서는 일반적으로 LD는 정상적인 동작을 하지 않을 것이 예상된다. LD 어레이에서는 소비되는 전력이 단일 LD의 전력에 비하여 그 소자의 갯수에 해당하는 만큼 배가되기 때문에 어떤 형태의 본딩 구조에서라도 심각한 열 문제가 발생한다. 더구나 냉각기가 없는 상황에서 열 문제는 더 심각해지며 이런 상황에서 더 부각되는 문제점은 열적 누화때문에 발생하는 LD 어레이 활성층의 절대온도 상승이다. 이런 LD 어레이의 열 문제를 해결하는 방법으로 앞에서 언급한 참고 문헌 [9]와 같은 구조가 연구되었지만 이 구조는 경제적인 문제가 있다^[10]. 이런 문제점을 해결하기 위해 본 논문에서 제안한 heatsink의 구조가 그림 15의 모델 2이다. 이 모델 2에서 단지 두 층의 방열판 구조를 선택한 이유는 방열판의 층이 증가할 수록 모델링에서 무시한 접착층의 효과가 커지는 것을 우려하였기 때문이다. 표 3에 모델 2에서 사용한 상수값들이 있다. 표 3에 나타나 있지 않은 상수값들은 표 2과 동일하다. 모델 2를 사용하여 시뮬레이션한 결과가 그림 16에 있다. 그림 14와 그림 16을 보면 모델 1을 사용한 시뮬레이션에서는 활성층의 온도가 126.5°C이었는데 모델 2를 사용한 결과는 86.1°C가 된다. 즉 모델 2에서 LD 아래에 있는 방열판 구조가 40.4°C의 온

도 하강을 가져왔다. 이 효과는 주위 온도 24°C를 감안할 때 약 40% 정도 활성층의 온도를 감소시킨 것에 해당한다.

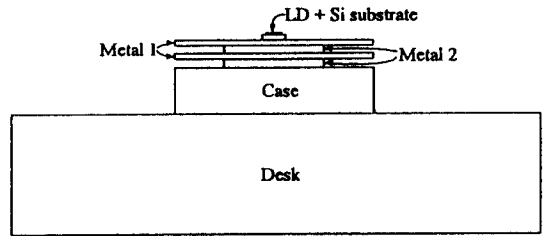


그림 15. 제안된 heatsink 구조에 대한 2차원 모델 2

Fig. 15. Two-dimensional model 2 for the LD array module with the designed heatsink.

표 3. 그림 15의 구조에 사용된 상수값
Table 3. Parameters used for Fig. 15.

| 매 질 | 열전도도(W/m ² ·°C) | 크기(μm x μm) |
|--------------|----------------------------|----------------|
| Si Substrate | 150 | 1600 x 800 |
| Metal 1 | 214 | 20000 x 600 |
| Metal 2 | 214 | 10000 x 1200 |
| Case | 200 | 2000 x 5000 |
| Desk | 1 | 600000 x 30000 |

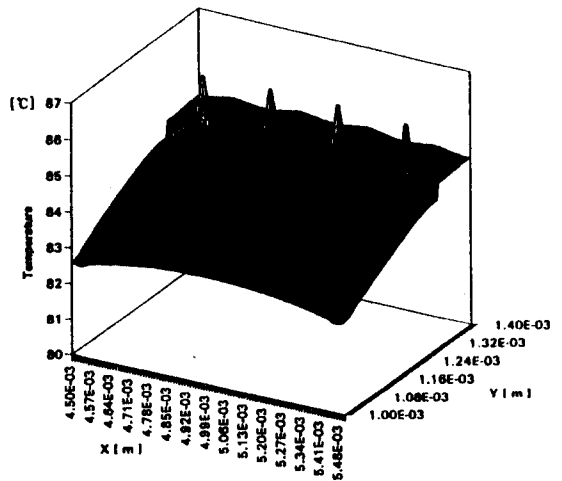


그림 16. 그림 15의 구조에 대한 BEM 시뮬레이션 결과 (LD1-4를 모두 켜 있을 때)

Fig. 16. Temperature distribution in LD arrays and Si substrate simulated by the BEM program for Fig. 15 (LD1-4 turn on).

VII. 결 론

본 논문에서는 LD 어레이를 flip-chip 본딩을 이용해 패키징한 광송신단의 열적인 특성 변화를 해석하였다. 그 과정으로서 경계 조건에 대해 자세히 살펴 보았고 경계 요소법의 비직접적 공식화를 직접 C 언어로 코딩하였다. 본 프로그램의 정확성을 확인하기 위해 flip-chip 본딩한 단일 LD에 대해 그 시뮬레이션 결과를 실험으로부터 유추한 값과 비교한 결과 약 12-14%의 차이를 가진다는 것을 알 수 있었다. 이 프로그램으로 시뮬레이션한 결과 기존의 본딩 방법으로 패키징한 구조와 flip-chip 본딩 방법으로 패키징한 구조의 비교에서 flip-chip 본딩 구조만의 영향은 기존의 본딩 방법보다 250% - 340% 열 누화를 더 악화시킨다는 것을 알 수 있었다. Flip-chip 본딩 방법과 함께 냉각기가 없는 구조에서 열적 누화에 따른 활성층의 절대온도 상승이 중요한 값이며 heatsink에 대한 엄격한 고려가 없이는 LD 활성층의 온도가, 4개의 LD 를 동시에 동작시켰을 때는 단지 한 LD 당 100mW씩의 전력이 소모된다고 하더라도 125°C 이상이 된다는 것을 알 수 있었다. 이 문제를 해결하기 위한 한 방법으로 heatsink의 구조를 제안하였고 그 효과는 약 40% 정도 활성층의 온도를 하강시켰다.

참 고 문 헌

- [1] P.D. Hoh *et al.*, "Thermal/Electrical Behavior of 1300-nm Quad Laser Arrays in Various Packaging Arrangement," in *Proc. of 42nd ECTC*, pp.88-92, 1992.
- [2] K. Sato and M. Murakani, "Experiment Investigation og Thermal Crosstalk in a Dstributed Feedback Laser Array," *IEEE Photonics Technology Letters*, vol. 6, no. 3, pp. 501-503, Mar 1994.
- [3] C. Edge et al. "FLIP-CHIP SOLDER BOND MOUNTING OF LASER DIODE," *Electronic letters*, vol. 27, no. 6, pp. 499-501, Mar 1991.
- [4] Alan J. Chapman, *Heat Transfer*, 4th, Macmillan, New York, 1984.
- [5] W. B. Joyce and R. W. Dixon, "Thermal resistance of heterostrucrute lasers," *J. Appl. Phys.*, Vol. 46, No. 2, February 1975.
- [6] P. K. Banerjee , R. Butterfield , *Boundary Element Methods in Engineering Science*, McGRAW-HILL, London, 1981.
- [7] D. L. Logan, *A First Course in the Finite Element Method*, PWS-KENT, Boston, 1992.
- [8] T. Kobayashi and Yoshitaka Furukawa, "Temperature Distribution in the GaAa-AlGaAs Double-Heterostructure Laser below and above the Threshold Current," *Japan J. appl. Phys.* vol. 14, no. 12, pp. 1981-1986, Dec. 1975.
- [9] T. HayashiA et al., "Thermal Interaction in a Distributed-Feedback Laser Diode(DFB LD) Array Module," *J. Lightwave Technol.*, vol. 11, no. 3, pp. 442-447, Mar. 1993.
- [10] E. M. Garmire and M. T. Tavis, "Heatsink Requirements for Coherent Operation of High-Power Semiconductor Laser Arrays," *IEEE J. Quantum Eletron.*, vol. QE-20, no. 11, pp. 1277-1283, Nov. 1984.

— 저 자 소 개 —



徐 宗 和(正會員)

1993년 2월 한국과학기술원 학
부과정 졸업. 1995년 2월 한국
과학기술원 석사과정 졸업.
1995년 3월 - 현재 한국과학기술
원 박사과정 재학중

丁 宗 珉(正會員)

第 31卷 A編 第 6號 參照
현재 한국이동통신 중앙연구원
재직중



池 尹 圭(正會員)

서울대학교 공과대학 전자공학
과(학.석사). The University
of Texas as Austin(박
사:1984년). AT & T Bell
Laboratories(MTS:1984년~
1989). KAIST 전기 및 전자공학과(조교수, 부교
수:1989~1994). 이화여자대학교 전자공학과(부교
수:1994~현재). 관심분야는 광통신, 광대역통신 등
임