

論文96-33A-3-15

CMOS 아날로그 집적회로를 위한 새로운 구조의 One Port 저항 셀 (One Port Resistor Cell for CMOS Analog Integrated Circuits)

曹泳唱*, 金成煥*, 崔坪*

(Young Chang Jo, Sung Hwan Kim, and Pyung Choi)

요 약

MOS 트랜지스터를 이용하여 집적회로 상에서 아날로그 회로를 설계할 때 저항을 집적화 시키는 과정이 문제시 되어왔다. 지금까지는 다결정 실리콘이나 확산 저항 등을 이용하여 저항을 집적화 시켰으나 집적화시킨 후 실제 저항값이 여러가지 공정변수에 의해 매우 민감하게 변하는 단점이 존재해 왔다. 이를 개선시키기 위해 본 연구에서는 정확한 저항값을 얻을 수 있고 선형성이 우수한 집적회로용 CMOS 저항기 셀을 제안하고 이를 사용하여 2차 저역통과 능동 필터를 구성하여 실제 저항기를 사용하였을 때와의 동작을 시뮬레이션을 통하여 비교하였으며 그 결과 거의 동일한 특성을 가짐을 확인 하였다.

Abstract

It is difficult to fabricate precise resistors for the analog integrated circuits using MOS technology. Until now polysilicon resistors were used at the analog integrated circuits, but some deviations of resistance and sensitive variation processes still cause their misactions. In order to improve these misactions, we suggest a CMOS resistor cell which provides precise resistance and excellent linearity. Also we designed the second order active low pass filter using the CMOS resistor cells and verified their superior performances compared to the actual resistors.

I. 서 론

기존의 이산적인 소자들로 구성된 아날로그 신호처리 시스템의 여러 비효율성을 개선하기 위해 최근 추진되고 있는 경향이 바로 ASIC(Application Specific Integrated Circuits)화 이다. ASIC화를 추진하는데 있어서 소비전력과 집적도의 측면에서 유리한 CMOS를 이용한 집적화 경향이 최근의 추세이며 기존의 아날로그 시스템에 존재하는 수동소자, 특히 저항을 집적화 시키는 문제가 크게 대두되고 있다. 지금까지는 표준 CMOS 공정에서 저항을 구현하기 위해

다결정 실리콘과 확산층 등이 널리 사용되고 있는데 다결정 실리콘의 단위 길이당 저항값이 작아서 큰 저항값을 구현하기 위해서는 집적회로 상에서 많은 면적을 필요로 하고 확산층을 이용할 경우는 제작 공정상의 불안정함에 의해 구현된 저항값에 큰 오차가 생기는 점이 문제시 되어왔다.^[1] 이 문제를 해결하기 위한 방법에는 크게 두 가지, Switched Capacitor 법과 MOSFET 저항 법이 있다.^{[2] [3]} 그러나 Switched Capacitor 법을 사용할 경우에는 처리가 능한 주파수가 공급 클럭주파수보다 충분히 작은 경우에만 한정되며 동시에 nonoverlapping 클럭발생기 등의 부가적인 회로가 필요한 단점이 있다. 또한 기존에 개발된 MOSFET 저항 구조들은 정상적인 동작을 위해 부가적인 회로가 필요하거나 구현된 회로 자체가 매우 복잡하고 큰 면적을 필요로 하든지 또는 two

* 正會員, 慶北大學校 電子工學科

(Dept. of Elec. Eng., Kyungpook Nat'l Univ.)

接受日字: 1996년1월9日, 수정완료일: 1996년2월13日

port 회로망 형태로 구성되어 실제 저항을 직접 대체하기에는 다소 부적합한 면을 내포하고 있다.^{[4] [5] [6]} 따라서 본 논문에서는 두 개의 NMOS와 두 개의 PMOS의 조합으로 구성된 간단한 구조의 one port CMOS 저항 셀을 개발하여 이에 인가되는 gate전압 및 외형비(aspect ratio)의 조정함으로써 실제 저항을 부가적인 회로나 바이어스용 전류원 등의 필요없이 직접 대체할 수 있도록 하였다.

II. 제안된 CMOS 저항 셀의 구조

제안된 새로운 CMOS 저항 셀의 구조는 그림 1과 같으며 선형영역에서 동작하는 4개의 MOS 트랜지스터의 조합으로 구성되어 있다.

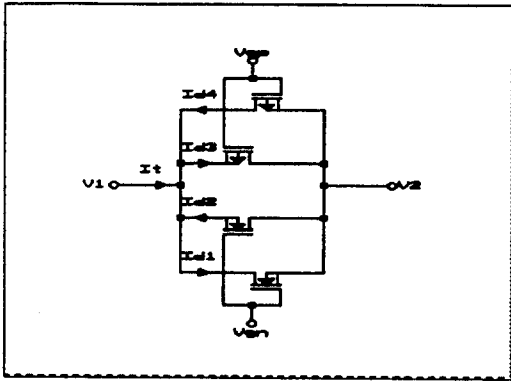


그림 1. CMOS 저항 셀
Fig. 1. CMOS resistor cell.

선형영역에서 NMOS와 PMOS의 드레인 전류는 각각 식 (1), 식 (2)와 같이 표현될 수 있다.^[7]

$$I_{dn} = K_n \left(\frac{W}{L}\right)_n [(V_{gs} - V_{tn})V_{ds} - \frac{V_{ds}^2}{2}] \quad (1)$$

$$I_{dp} = K_p \left(\frac{W}{L}\right)_p [(V_{sg} + V_{tp})V_{sd} - \frac{V_{sd}^2}{2}] \quad (2)$$

여기서 $K_{n(p)} = \mu_{n(p)}C_{oxn(p)}$ 이고 V_{gs} 는 게이트-소오스간의 전압, $V_{tn(p)}$ 는 NMOS(PMOS)의 문턱전압이고 V_{ds} 는 드레인-소오스간의 전압이다. V_1 과 V_2 를 MOS 저항기 양단의 전압으로 두면 두개의 NMOS 트랜지스터에 의한 전류는 식 (3)과 같이 표현되며

$$I_n = I_{d1} - I_{d2} = K_n \left(\frac{W}{L}\right)_n [(V_2 - V_1) [(V_1 + V_2) + 2(V_{tn} - V_{gn})]] \quad (3)$$

두개의 PMOS 트랜지스터에 의한 전류는 식 (4)와 같

이 표현된다.

$$I_p = I_{d3} - I_{d4} = K_p \left(\frac{W}{L}\right)_p [(V_2 - V_1) [2(V_{sp} - V_{tp}) - (V_1 + V_2)]] \quad (4)$$

만일 $K = K_n \left(\frac{W}{L}\right)_n = K_p \left(\frac{W}{L}\right)_p$ 로 둔다면 전체 전류는 식 (5)와 같이 표현될 수 있으며

$$I_t = I_n + I_p = 2K [(V_1 - V_2) [V_{gn} - V_{sp} + V_{tp} - V_{tn}]] \quad (5)$$

등가 저항값은 식 (6)과 같이 표현될 수 있다.

$$R_{eq} = \frac{V_1 - V_2}{I_t} = \frac{1}{2K [V_{gn} - V_{sp} + V_{tp} - V_{tn}] } \quad (6)$$

식 (6)에서 보는 바와 같이 MOS 저항의 등가 저항값은 게이트에 가해지는 전압과 트랜지스터의 W/L에 의해 조절될 수 있다. 만일 이온주입 기술에 의해 NMOS와 PMOS의 문턱전압이 거의 0으로 접근될 수 있다면 등가 저항값은 문턱전압에 무관하게 될 수 있을 것이다. 그러나 사용된 MOS 트랜지스터가 선형영역에서 동작하기 위해서는 $V_{gn} = -V_{sp} = 5V$ 일 때의 저항기 셀 양단의 전압차가 $-0.5V$ 에서 $+0.5V$ 정도의 범위 내의 값을 유지해야 하는 단점이 있으나 저항 셀을 직렬로 연결해서 사용할 경우 이러한 문제점을 해결할 수 있다.

III. CMOS 저항 셀의 특성

그림 2는 $V_{gn} = -V_{sp} = 5V$ 이고 NMOS의 W/L이 $2\mu m/2\mu m$, PMOS의 W/L이 $6\mu m/2\mu m$ 일 때 제안된 MOS 저항 셀의 I-V특성을 나타내고 있다.

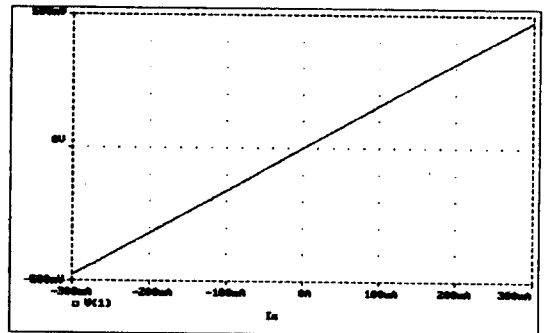


그림 2. CMOS 저항 셀의 I-V 특성
Fig. 2. I-V characteristic of a CMOS resistor cell.

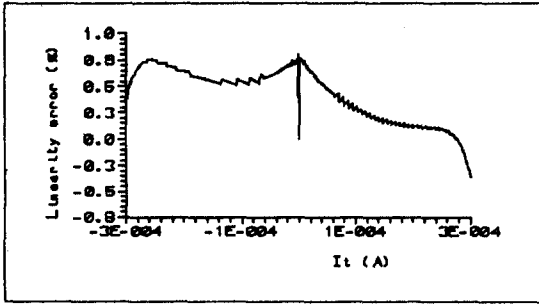


그림 3. CMOS 저항 셀의 선형도 오차 백분률
 Fig. 3. Linearity percentage error of a CMOS resistor cell.

또한 그림 3은 ideal한 저항의 특성에 대한 제안된 저항셀의 선형도 오차를 나타내고 있으며 이상적인 저항에 비해 최대 0.8%의 선형도 오차를 가지므로 선형성이 우수함을 알 수 있다. 그림 2에서 나타난 바와 같이 제안된 저항 셀은 단방성 소자가 아닌 양방성 소자이므로 양의 신호 뿐 만 아니라 음의 신호도 처리가 가능하며 소신호에는 직접 사용 가능하며 대신호에 사용하는 셀을 직렬로 연결하여 사용하면 가능하다.

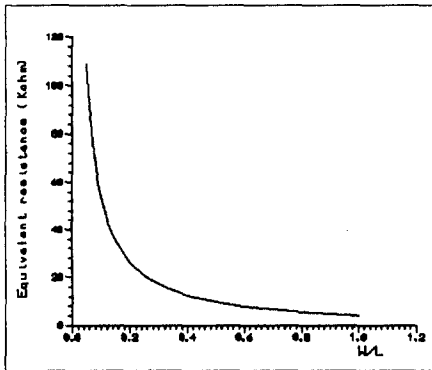


그림 4. W/L의 변화에 대한 등가 저항값의 변화
 Fig. 4. Equivalent resistance vs. aspect ratio.

제안된 저항 셀은 MOS 트랜지스터의 외형비(aspect ratio)의 변화와 게이트 전압의 변화에 따라 등가저항값을 조절할 수 있다. $V_{gn} = -V_{gp} = 2V$ 일 때 MOS 트랜지스터의 외형비(aspect ratio)의 변화에 대한 등가 저항값의 변화가 그림 4에 나타나 있으며 NMOS 와 PMOS의 W/L이 각각 $2\mu\text{m}/20\mu\text{m}$, $6\mu\text{m}/20\mu\text{m}$ 로 고정되었을 때 게이트 전압 변화에 대한 등가 저항값의 변화가 그림 5에 나타나 있다. 실제 집적회로

상에서 저항 셀을 이용하여 저항을 구현할 때 그림 4를 통해 근사적으로 원하는 저항값을 가지는 W/L을 결정한 후 그림 5에서 보여주는 바와 같이 게이트 공급 전압값을 조정함으로써 정확한 값의 저항의 구현이 가능하다.

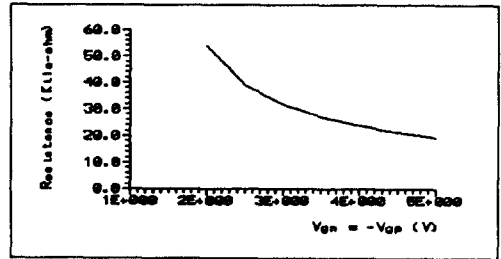


그림 5. 게이트 공급전압값 변화에 대한 등가 저항값의 변화
 Fig. 5. Equivalent resistance vs. gate supply voltage.

IV. CMOS 저항 셀의 응용

제안된 CMOS 저항 셀을 이용하여 고차의 능동 필터, Fully CMOS I-V 변환기, (비)반전 증폭기, 전압 분할기 등을 구현하여 검증해 보았으며 실제 저항을 사용하였을 경우와 거의 동일한 동작을 함을 확인할 수 있었다.

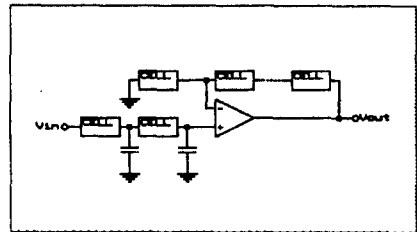


그림 6. 제안된 저항 셀을 사용한 2차 저역통과 능동 필터
 Fig. 6. 2nd order active low pass filter using the proposed resistor cells.

그림 6은 제안된 CMOS 저항기 셀을 이용한 2차 능동 저역통과 필터를 보여주고 있으며 실제 저항을 사용했을 때와의 검증결과를 그림 7에서 비교하였다.^[8] 그림 6에서 소신호가 처리되는 부분에는 셀 하나만으로 원하는 저항을 구현하였으며 대신호가 처리되는 부분에는 셀을 직렬로 연결하여 원하는 저항을 구현하였다. 전체 동작 특성은 그림 7에 나타나 있으며 실제

저항을 사용하였을 때와 거의 유사한 필터 특성을 가짐을 알 수 있다. 단지 수 GHz 단위 이상의 고 주파수 대역에서 약간의 차이를 발견할 수 있었으며 저 주파수와 중간 주파수 대역에서는 동일한 특성을 보였다.

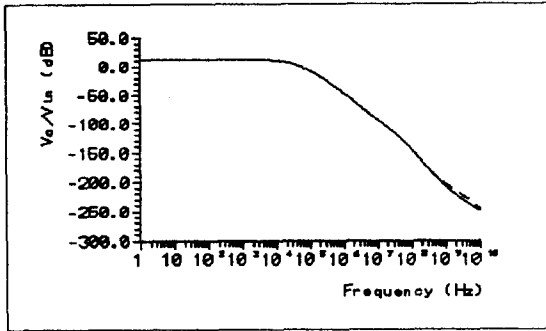


그림 7. 제안된 저항 셀(실선)과 실제 저항(점선)을 사용하였을 때의 주파수 특성의 비교

Fig. 7. Comparison of the frequency response of the low pass filter which uses the proposed resistor cells(solid line) and real resistors(dashed line).

V. 결 론

본 연구에서는 새로운 구조의 CMOS 저항 셀을 제안하였다. 집적회로 상에서 제안된 셀을 이용하여 아날로그 회로상에서 저항을 구현할 때 구현된 저항값이 여러 공정변수에 의한 영향으로 설계된 값과 차이가 발생할 경우 셀을 구성하고 있는 MOS 트랜지스터들의 게이트 전압을 조정함으로써 원하는 정확한 저항값을 가지는 저항기를 구현할 수 있는 장점이 있다. 또한 제안된 셀은 실험성이 최대 약 0.8%로 매우 우수하여 정밀한 아날로그 회로에도 사용이 가능하다. 제안된 구조의 CMOS 저항 셀을 이용하여 2차 저역통과 능동 필터를 구성하여 미국 Orbit사의 CMOS 공정에서 추출한 SPICE 파라미터를 사용하여 검증한 후 실제 저항기를 사용하였을 경우와 동작특성을 비교하여 본 결과 GHz단위 이상의 고주파 영역에서만 약간의 오차가 생김을 확인할 수 있었으며 그 이하의 주파수 대역에서는 동일한 특성을 가짐을 알 수 있었다.

따라서 제안된 저항 셀은 그 구조가 one port 형태로 이루어져 있으며 부가적인 회로없이 직접 실제 저항을 대체할 수 있으며 기존의 이산적인 소자들로 구성된 신호처리시스템의 비효율성을 개선하여 전체 시

스템의 ASIC화를 위한 유용한 방법이 될 수 있으리라 생각된다.

참 고 문 헌

- [1] Z. Wang, "Current-controlled linear MOS earthed and floating resistors and their application", IEE Proceedings, Vol.137, Pt.G, No.6, pp.479-481, Dec. 1990.
- [2] Z. Wang, "Novel Voltage-controlled grounded resistor", Electronics Letters, 27th, Vol.26, No.20, pp.1711-1712, September 1990.
- [3] Satoshi Sakurai and Mohammed Ismail, "A CMOS Square-Law Programmable Floating Resistor Independent of the Threshold Voltage", IEEE Transactions on Circuits and Systems, Vol. 39, No. 8, pp. 565-574, August 1992.
- [4] Z. Wang, "Novel Electronically-Controlled Floating Resistors using MOS Transistors Operating in Saturation", IEE Electronics Letters, 17th, Vol. 27, No. 2, pp. 188-189, January 1991.
- [5] J. Silva-Martinez, M. Steyaert and W. Sansen, "Very Linear CMOS Floating Resistor", IEE Electronics Letters, 13th, Vol. 26, No. 19, pp. 1610-1611, September 1990.
- [6] Zhenhua Wang and Walter Guggenbuhl, "A Voltage-Controllable Linear MOS Transconductor Using Bias Offset Technique", IEEE Journal of Solid State Circuits, Vol. 25, No. 1, pp. 315-317, February 1990.
- [7] Douglas A. Pucknell and Kamran Eshraghian, *Basic VLSI Design*, Prentice Hall of Australia Pty, 1988.
- [8] David A. Bell, *Operational Amplifiers*, Prentice-Hall, 1990.
- [9] Robert F. Coughlin and Frederick F. Driscoll, *Operational Amplifiers & Linear Integrated Circuits*, Prentice Hall, 1991.

저 자 소 개



曹 泳 唱(正會員)

1993년 2월 경북대학교 전자공학과 졸업 (공학사). 1995년 2월 경북대학교 대학원 전자공학과 졸업 (공학석사). 1995년 1월 ~ 현재 현대자동차 승용제

제 개발 1연구소 근무. 주관심 분야는 ASIC 설계, Vehicle safety and security system design



金 成 煥(正會員)

1992년 2월 경북대학교 전자공학과 졸업 (공학사). 1995년 2월 경북대학교 대학원 전자공학과 졸업 (공학석사). 1995년 3월 ~ 현재 경북대학교 대학원 전자공학과 박사과정. 주관심분야는 광통신시스

템 설계, 계측시스템 설계, ASIC 설계

崔 坪(正會員) 第32卷 B編 第2號 參照

현재 경북대학교 전자·전기공학부 조교수