

論文96-33A-3-13

열처리된 SiO₂/TiW 구조의 계면 특성(The interfacial properties of the annealed SiO₂/TiW structure)

李在成*, 朴滢浩**, 李正熙*, 李龍鉉*

(Jae Sung Lee, Hyung Ho Park, Jung Hee Lee, and Yong Hyun Lee)

요 약

열처리 온도에 따른 SiO₂/TiW구조의 계면특성 변화와 전기적 특성변화를 각각 조사하였다. SiO₂가 TiW 위에 증착될 때 SiO₂/TiW계면에서는 SiO₂, TiW, WO₃, WO₂, TiO₂ 및 Ti₂O₃/Ti₃O₅의 결합들이 형성되었다. 300°C의 열처리에서부터 W와 Ti의 환원 현상이 서서히 발생하여 열처리 이전에 비해 WO₃과 TiO₂의 감소와 금속결합을 갖는 W와 Ti의 증가가 발견되었다. 500°C이상의 열처리온도부터 Si-O의 결합이 일부 파괴되면서 Ti/W 실리사이드가 형성되었다. Al/SiO₂(220Å)/TiW 안티퓨즈 소자의 전류-전압 특성에서 소자의 절연과괴전압은 SiO₂(220Å)/TiW구조의 열처리 온도가 증가함에 따라 감소하였다. 그러나 700°C이상의 열처리를 통해 제조된 소자의 경우에는 금속층간 SiO₂내로 유입된 금속 결합의 W와 Ti로 인해 안티퓨즈 소자의 절연특성이 전혀 나타나지 않았다.

Abstract

The variation of the interfacial and the electrical properties of SiO₂/TiW layers as a function of anneal temperature was extensively investigated. During the deposition of SiO₂ on TiW, chemical bonds such as SiO₂, TiW, WO₃, WO₂, TiO₂, Ti₂O₃ and/or Ti₃O₅ has been created at the SiO₂/TiW interface. At the anneal temperature of 300°C, WO₃ and TiO₂ bonds started to break due to the reduction phenomena of W and Ti and simultaneously the metallic W and Ti bonds started to create. Above 500°C, a part of Si-O bonds was broken and consequently Ti/W silicide was formed. From the current-voltage characteristics of Al/SiO₂(220Å)/TiW antifuse structure, it was found that the breakdown voltage of antifuse device was decreased with increasing annealing temperature for SiO₂(220Å)/TiW layer. When r, the insulating property of antifuse device e of the deterioration of intermetallic SiO₂ film, caused by the inflow of Ti and W.

*正會員, 慶北大學校 電子電氣工學部

(School of Electronic & Electrical. Eng., Kyungpook Nat'l Univ.)

**正會員, 延世大學校 세라믹工學科

(Ceramic Eng., Yonsei Univ.)

接受日字: 1995年6月1日 수정완료일: 1996年2月13日

I. 서 론

현재 급속한 수요를 보이고 있는 field programmable gate array (FPGA)는 논리 회로를 구현하는데 있어 그 응용성과 신뢰성이 뛰어나 앞으로의 비메모리 반도체 시장을 점유할 것으로 기대된다.^{1) 3)} 그러나 소비자들의 다양한 요구를 만족시키기 위해서

는 보다 집적화된 형태의 FPGA가 제조되어야한다. FPGA의 집적화를 위해서는 FPGA를 구성하는 논리 합수블록, 스위치 블록 및 연결 블록 요소들 중에서 스위치 블록을 집적화하는 것이 가장 효과적인 방법으로 알려져 있다.^[3] 스위치 블록은 여러 종류의 논리 합수 블록들을 선택적으로 서로 연결시켜 주는 역할을 하며, 대부분이 프로그래머블 스위치 소자로 구성되어 있다.

프로그래머블 스위치 소자로는 nichrome 및 다결정 실리콘 등의 용융특성을 이용한 퓨즈(fuse)소자와 박막 절연물의 절연과괴 현상을 이용한 안티퓨즈(antifuse) 소자가 사용되고 있다. 특히, 안티퓨즈 소자는 소자의 단면적을 매우 작게 줄일 수가 있어 스위치 블록의 집적화를 위해 가장 타당한 형태로 알려져 있다.^[4,5] 안티퓨즈 소자를 구성하는 박막 절연물로는 비정질 실리콘, 산화막 및 질화막등이 사용되며, 전극으로는 고농도 도핑된 단결정 실리콘 및 다결정 실리콘 그리고 금속 등이 사용되고 있다.^[5-7] 이러한 물질을 사용한 여러 종류의 안티퓨즈 소자의 구조들 중에서 금속-절연물-금속(Metal-Insulator-Metal : MIM)형태의 적층 구조는 안티퓨즈 소자의 집적도를 높일 뿐 아니라 전도특성을 개선시킬 수 있어 효율적인 프로그래밍 동작을 수행할 수가 있다.^[3,4]

안티퓨즈 소자의 신뢰성은 프로그래밍 전의 낮은 누설전류 및 낮은 커패시턴스와 낮은 구동 프로그래밍전압에의해 평가된다.^[7] MIM구조의 안티퓨즈 소자에서 이러한 특성들은 금속층간 절연물과 상하층 금속의 물성에의해 결정된다. 특히, 박막 절연물과 금속의 계면상태 변화는 안티퓨즈 소자의 전기적 특성을 변화시키므로 제조된 소자는 안정된 계면특성을 갖도록해야 한다. 대부분의 박막 금속의 물성은 외부 온도에 의해 영향을 받으므로 MIM구조에서 박막의 절연물이 하층 금속 위에 형성될 때의 공정조건이나 형성된 절연물의 열처리 공정 조건에 의해 절연물과 하층 금속의 계면상태는 변화하게된다. 그러므로 안티퓨즈 소자 구성 물질간의 계면특성 분석은 신뢰성 있는 소자의 동작을 위해 매우 중요하다.

본 논문에서는 TiW(20at.% Ti)금속 위에 SiO₂박막을 형성하여 열처리 전과 열처리 후의 SiO₂/TiW의 계면 특성을 물성 분석을 통해 조사하였다. 그리고 상층 금속으로 Al과 하층 금속으로 TiW를 각각 사용하고 금속층간 절연물로는 SiO₂를 사용한 MIM형태의

안티퓨즈 소자를 제조하여 SiO₂/TiW 계면 특성 변화에 대한 안티퓨즈 소자의 전기적 특성변화를 조사하다.

II. 소자 제작 및 측정 방법

본 논문에 제조된 안티퓨즈 소자는 MIM의 형태를 갖는 Al/SiO₂/TiW의 구조이다. 하층 금속으로 사용된 TiW 합금은 용점이 높고 약 700°C이하의 온도에서도 안정된 물성을 유지할 수 있으며, 표면에 SiO₂와 같은 산화막이 안정되게 형성될 수 있다고 알려져 있다.^[8] 사용된 TiW는 상온에서 DC 스퍼터링법으로 실리콘 기판위에 형성된 후 alloy 공정을 통하여 제조되었다. 제조된 TiW는 약 20at.%의 Ti와 80at.%의 W로 구성되어 있으며, 주상(columnar) 구조를 갖고 있었다. SiO₂는 약 200°C의 기판온도에서 RF 스퍼터링법으로 TiW금속층위에 형성되었다. 본 연구에서 이용한 RF 스퍼터링법으로는 형성 막의 두께를 약 수십Å의 범위에서 조절할 수 있어 재현성 있는 박막 SiO₂ 형성이 가능하였다. SiO₂/TiW 구조에 대한 열처리는 100°C-700°C범위의 공정 온도에서 각각 2시간 동안 행하여졌다. 이때 반응노는 1×10⁻⁶ Torr의 고진공을 유지하여 외부 공기등과같은 불순물의 유입을 방지했다. 최종적으로 상층 금속인 Al을 진공 증착법으로 증착하여 Al/SiO₂/TiW 구조를 제조하였다. 그림 1에 제조된 구조의 형태를 나타내고 있다. 상층 Al 전극의 직경은 50 μm이며, 전극 주위에 guard ring을 구성하여 SiO₂의 표면에서의 누설전류를 억제하고자 하였다.

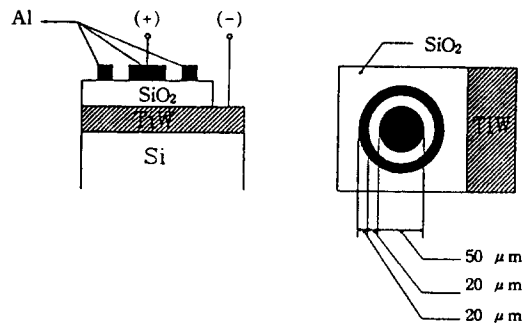


그림 1. 제조된 antifuse 소자의 구조
Fig. 1. Structure of manufactured antifuse device.

SiO₂의 두께는 ellipsometer를 이용하여 광학적으로 측정되었다. TiW의 두께 및 표면 상태는

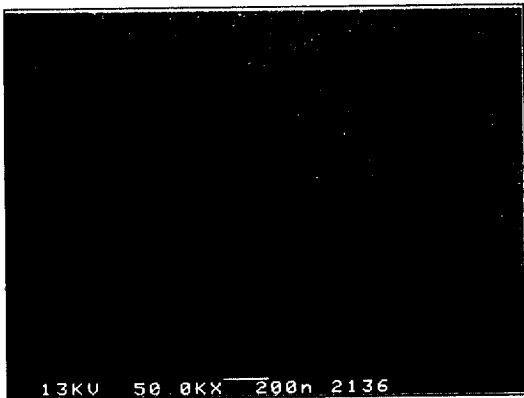
scanning electron microscopy(SEM)통해 관찰되었으며, SiO₂/TiW구조의 단면은 cross-sectional transmission electron microscopy(TEM)를 통해 관찰되었다. SiO₂/TiW 구조에 대한 물성특성은 X-ray photoelectron spectroscopy(XPS)와 Auger electron spectroscopy(AES)에 의해 각각 분석되었다. 특히, 비파괴 계면 분석을 위해 TiW위에 형성된 약 30Å의 SiO₂의 시료를 준비한 후 열처리 공정에 따른 계면 상태 변화를 angle resolved XPS(ARXPS) 분석으로 관찰하였다. 제조된 Al/SiO₂/TiW소자의 전기적 특성은 HP4145 semiconductor parameter analyzer를 이용하여 관찰되었다. 이때 SiO₂/TiW 계면에서의 전기적 특성 관찰을 위해 상층 Al을 애노드(anode)로 하층 전극 TiW를 캐소드(cathode)로 각각 설정하여 측정하였다.

III. 결과 및 토의

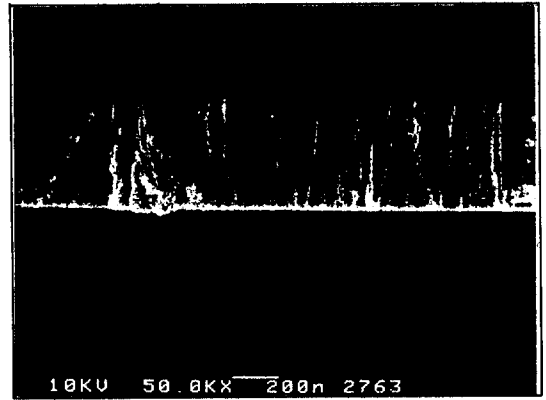
1. TiW위에 SiO₂의 형성

스퍼터링법에 의해 TiW가 제조될 때 Ti가 W에 비해 그 질량이 가볍기 때문에 Ti 이온이 W 이온에 비해 더욱 많이 반응노안에서 산란된다. 그러므로 기판위에 제조된 TiW의 조성비와 원시타겟 물질(source target material)의 조성비와는 차이가 나게 된다. 본 연구에서는 TiW(15at.% Ti)을 원시타겟물질로 사용하여 20at.% Ti 과 80at.% W의 조성을 갖는 TiW를 제조할 수 있었다.

그림 2는 MIM구조의 하층금속으로 사용될 TiW금속의 표면 및 단면 형태를 나타내고 있다. 실리콘 기판위에 형성된 TiW의 두께는 약 5000Å 이었다.



(a)



(b)

그림 2. TiW(5000Å)의 표면(a)과 단면(b) SEM 사진

Fig. 2. (a) surface and (b) cross section SEM photographs of TiW(5000Å).

그림에서 TiW는 주상(columnar)형상으로 형성되었으며, 표면에는 미세한 입계(grain)들이 나타나고 있다. 표면의 거칠기 상태는 매우 양호하여 약 수 십Å의 평균 거칠기를 나타내었다.^[9] 제조된 TiW금속의 비저항은 100-200μΩ.cm의 값을 가져 다른 전극용 금속에 비해 높게 나타났다. 그리고 문헌에 의하면 이러한 조성비를 가진 TiW의 융점은 약 1700°C이며, 결정구조는 β-body centered cubic을 갖는다고 알려져 있다.^[8]

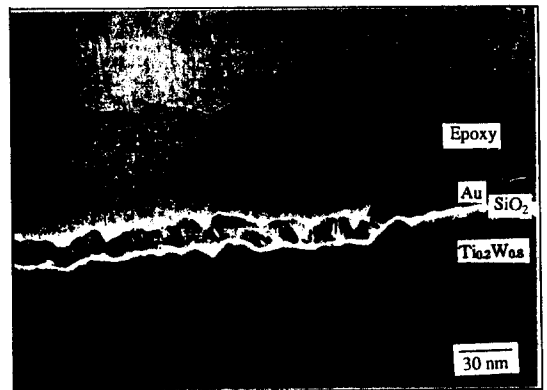


그림 3. SiO₂/TiW구조의 단면 TEM 사진

Fig. 3. Cross section TEM photograph of SiO₂/TiW structure.

그림 3은 제조된 SiO₂/TiW 시료의 단면 TEM 사진

을 나타내고 있다. SiO₂는 TiW위에 약 30 Å의 두께로 균일하게 형성되어 있다. 그리고 TEM 사진을 보다 명확하게 촬영하기 위해 SiO₂ 위에 Au와 epoxy를 각각 형성하였다. 본 연구에서 사용한 스퍼터링 장치의 타겟과 기판사이의 거리를 가급적 멀리함으로써 균일한 두께를 갖는 박막 SiO₂를 형성할 수 있었다. 이와 같이 물성 분석될 SiO₂의 두께를 얇게한것은 charging현상이 발생하지 않는 비파괴 XPS분석으로 계면 상태를 파악하기 위해서이다.

그림 4는 열처리하기 전인 SiO₂/TiW 계면에서 조사된 각 구성 원소들의 XPS 분석이다. 그림 4(a), 4(b), 4(c) 및 4(d)는 각각 W4f, Ti2p, Si2p 및 O1s에 대한 스펙트럼을 나타내고 있다. 각 XPS스펙트럼에서는 특정 원소 결합에 해당되는 고유의 결합에너지가 나타나므로 이를 통해 각 성분 및 결합 상태를 분석할 수 있다.

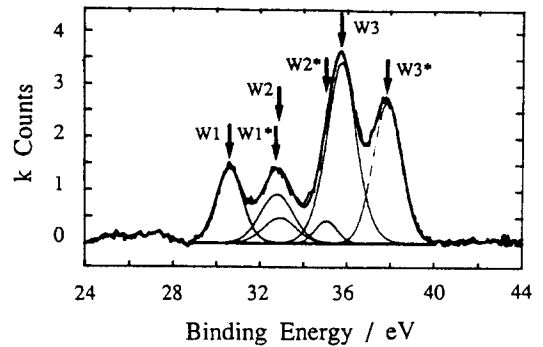
그림 4(a)는 W4f 스펙트럼을 나타내고 있다. 순수 금속성 W에대한 XPS 스펙트럼은 31.0eV에서 나타나는 W4f_{7/2}성분과 33.0eV에서 나타나는 W4f_{5/2}성분을 동시에 가진다. 그림에서는 이들 성분을 각각 W1과 W1'로 표시하였다. 32.8eV와 34.8eV의 위치에 표시된 W2 및 W2' 스펙트럼은 WO₂에 대한 스펙트럼이며, 35.8eV와 37.8eV의 위치에 표시된 W3 및 W3' 스펙트럼은 WO₃에 대한 스펙트럼이다. SiO₂가 TiW 위에 형성될 때 SiO₂/TiW 계면에 존재하는 W는 Ti와 결합한 TiW 성분뿐 아니라 산소와 결합한 텅스텐 산화물의 형태로 동시에 존재하고 있었다. 분석된 텅스텐 산화물은 대부분 WO₂ 와 WO₃이었으며, 이들은 안정된 결합을 이루지 못하고 화학적 흡착 상태로 존재할 것이다. 그러므로 텅스텐 산화물은 외부 에너지에 의해 쉽게 환원되어 W와 O로 분리될 수 있을 것으로 생각한다.

그림 4(b)는 Ti2p 스펙트럼을 나타내고 있다. 순수한 금속성 Ti에대한 스펙트럼은 454.1eV에서 나타나는 Ti2p_{3/2} 성분과 460.1eV에서 나타나는 Ti2p_{1/2}성분을 동시에 가진다. 그림에서는 이들 성분을 각각 Ti1과 Ti1'으로 표시하였다. 456.8eV와 462.8eV의 위치에 표시된 Ti2와 Ti2'는 Ti₂O₃ 혹은 Ti₃O₅에 대한 스펙트럼이며, 458.8eV와 464.8eV의 위치에 표시된 Ti3과 Ti3'는 TiO₂에 대한 스펙트럼이다. SiO₂가 형성될 때 TiW표면에 노출된 Ti는 W과의 금속 결합을 끊고 O와 결합하여 티타늄 산화물의 형태로

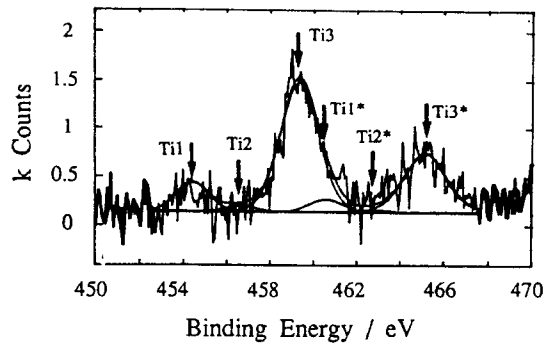
SiO₂/TiW계면에 존재하고 있었다. 그리고 형성된 티타늄 산화물은 대부분 TiO₂의 결합을 이루고 있었다.

그림 4(c)의 Si2p스펙트럼에서는 SiO₂ 결합에 해당되는 103.0eV만이 나타났다. TiW 위에 형성된 SiO₂의 계면 근처에 존재하는 Si는 다른 원소들과는 결합하지 않고 오직 SiO₂의 형태로만 존재하고 있었다.

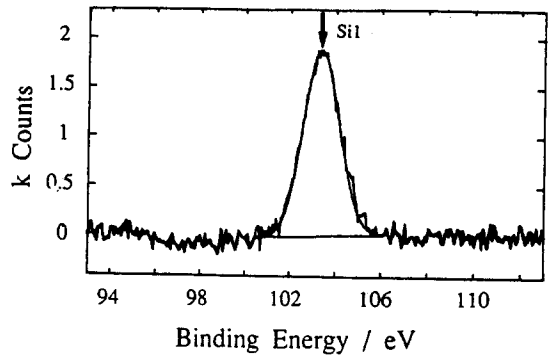
그림 4(d)는 O1s 스펙트럼을 나타내고 있다. Ti/W 산화물에 해당되는 530.6eV과 SiO₂에 해당되는 533.0eV에서 각각 스펙트럼 피크가 나타났다.



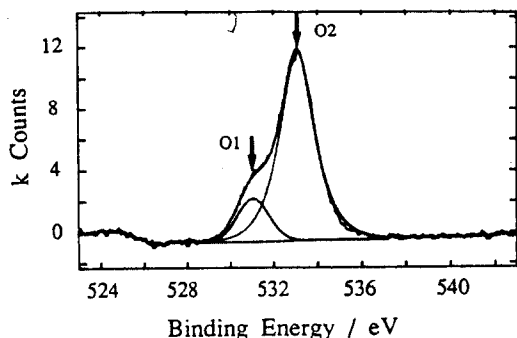
(a)



(b)



(c)



(d)

그림 4. 열처리 전 SiO_2/TiW 계면에서 조사된 W4f(a), Ti2p(b), Si2p(c) 및 O1s(d)의 XPS분석

Fig. 4. (a) W4f, (b) Ti2p, (c) Si2p, and (d) O1s XPS spectra in the SiO_2/TiW interface before anneal process.

그림에서 이들은 각각 O1와 O2로 표시되어 있다. SiO_2/TiW 계면에서 O는 실리콘산화막의 형태와 금속산화물의 형태로 동시에 존재하였다. TiO_2 결합에 대한 O1s스펙트럼은 529.9eV에서 나타나며, WO_3 결합에 대한 O1s 스펙트럼은 530.6eV에서 각각 나타나기 때문에 두 결합형태의 결합에너지의 차이는 매우 적다.¹⁰⁾ 그림에서 두 결합에 대한 스펙트럼은 중복되어 나타나고 있을 것이다. 그리고 TiW표면에서 W의 농도가 Ti의 농도보다 높기 때문에 SiO_2/TiW 계면에서의 금속 산화물 성분에서도 텅스텐산화물이 티타늄산화물보다 그 농도가 높을 것으로 생각된다. 그림 4의 결과들로부터 TiW위에 형성된 SiO_2 의 계면에서는 TiW, SiO_2 , 텅스텐 산화물 및 티타늄의 산화물이 동시에 존재하고 있음을 확인하였다. 그리고 이러한 성분들의 분포는 매우 얇은 깊이의 영역에 국한되어 존재할 것으로 생각된다. 열처리전의 분석결과는 열처리 공정에 따른 계면특성 변화 관찰을 위한 XPS 분석의 기본자료로 사용된다.

2. SiO_2/TiW 의 열처리

그림 5는 열처리온도에 의존하는 SiO_2/TiW 의 계면 상태 변화를 나타낸 XPS분석이며, 그림 4에서 관찰한 스펙트럼들을 기준으로 각각 분석되었다. 그림 5(a), 5(b), 5(c) 및 5(d)는 W4f, Ti4f, Si2p 및 O1s에 대한 스펙트럼 변화를 각각 나타낸다.

그림 5(a)의 W4f 스펙트럼에서 계면근처의 W는 열처리 전에는 금속결합의 W와 텅스텐 산화물의 형태로 존재하다가 열처리온도가 증가하게 되면 금속결합을 갖는 W 형태로만 존재하게되었다. 이는 계면에 존재하고 있던 WO_2 와 WO_3 등과 같은 텅스텐 산화물이 500°C이상의 열처리에 의해 환원됨으로써 Ti-W 결합 및 다른 종류의 금속성 결합만이 계면에 남아 있음을 의미한다.

그림 5(b)에서 열처리 전이나 400°C이하의 저온 열처리에서 나타난 대부분의 Ti 성분은 TiO_2 의 결합 형태로 존재한다. 열처리 온도가 500°C가 되면 TiO_2 의 결합은 없어지고 금속결합 형태가 우세하게 나타난다. 열처리 온도 700°C에 해당되는 스펙트럼에서는 금속결합성분이 대부분 나타나지만 Ta_2O_5 나 Ta_3O_5 와 같은 산화물도 미량 발견되었다. 그림 5(a)와 그림 5(b)의 결과에서부터 TiW위에 SiO_2 가 형성될 때 계면에 존재하는 금속산화물들은 대부분 500°C이상의 열처리에서 환원됨을 알 수 있었다.

그림 5(c)의 Si2p 스펙트럼에서 103.3eV에서 나타난 Si1 스펙트럼은 SiO_2 에 해당되는 것이며, 101.8eV에서 나타난 Si2 스펙트럼은 SiC결합에 해당된다. 그리고 98.8eV에서 나타난 Si3 스펙트럼은 Ti/W 실리사이드에 대한 것이다. 500°C이하의 열처리 공정을 행한 SiO_2/TiW 계면에 존재하는 대부분의 Si은 열처리 온도에 관계없이 SiO_2 의 형태로만 존재하고 있었다. 그러나 600°C의 열처리온도에서부터 SiC의 결합이나 Ti/W실리사이드의 결합이 미소하게 발견되었다. 일반적인 모든 종류의 실리사이드에 대한 Si2p XPS스펙트럼은 99.4eV-99.8eV의 결합에너지의 범위에서 나타난다.¹⁰⁾ SiO_2/TiW 계면에서 존재할 수 있는 실리사이드로는 Ti 실리사이드, W 실리사이드 혹은 TiW 실리사이드가 있으나 그림 5(c)의 스펙트럼에서는 이러한 종류들을 구분하기가 힘들었다. 발표된 자료에 의하면 700°C이하의 공정에서 생성되는 TiW과 Si과의 실리사이드결합은 TiSi 및 $(\text{Ti}_{0.6}\text{W}_{0.4})\text{Si}_2$ 의 형태로 나타나기 때문에 본 결과에서의 실리사이드도 이와 같은 형태로 존재할 것으로 생각된다.¹⁰⁾ 그러나 SiO_2/TiW 계면에서 열처리에 의해 생성된 실리사이드는 계면에서 균일하게 형성되기보다는 O의 영향으로 불규칙한 덩어리 형태로 존재할 것으로 생각된다. 이러한 현상은 SiO_2/TiW 의 계면 특성을 악화시키는 원인이 될 수도 있다. SiO_2/TiW 계면에서의 실리사이드의 형성은 열처

리온도가 증가함에 따라 발생한 Ti-O 및 W-O결합의 환원반응과 동시에 발생할 것으로 생각된다. 그림 5(a)와 5(b)로부터 실리사이드의 형성온도는 약 500 °C일 것으로 추측되며, 이때 그 양은 매우 적어 XPS로 분석되지 않았다.

그림 5(d)의 O1s 스펙트럼에서 열처리 공정 이전에는 SiO₂와 Ti/W 산화물이 계면에 동시에 존재하고 있지만 열처리온도가 높아질수록 Ti 및 W와 결합한 O는 감소하고 Si과 결합한 O만이 계면에 남게 되었다. 이러한 결과는 W4f, Ti2p 및 Si2p에 대한 스펙트럼 결과에서도 알 수 있었다. 금속산화물의 환원에 의해

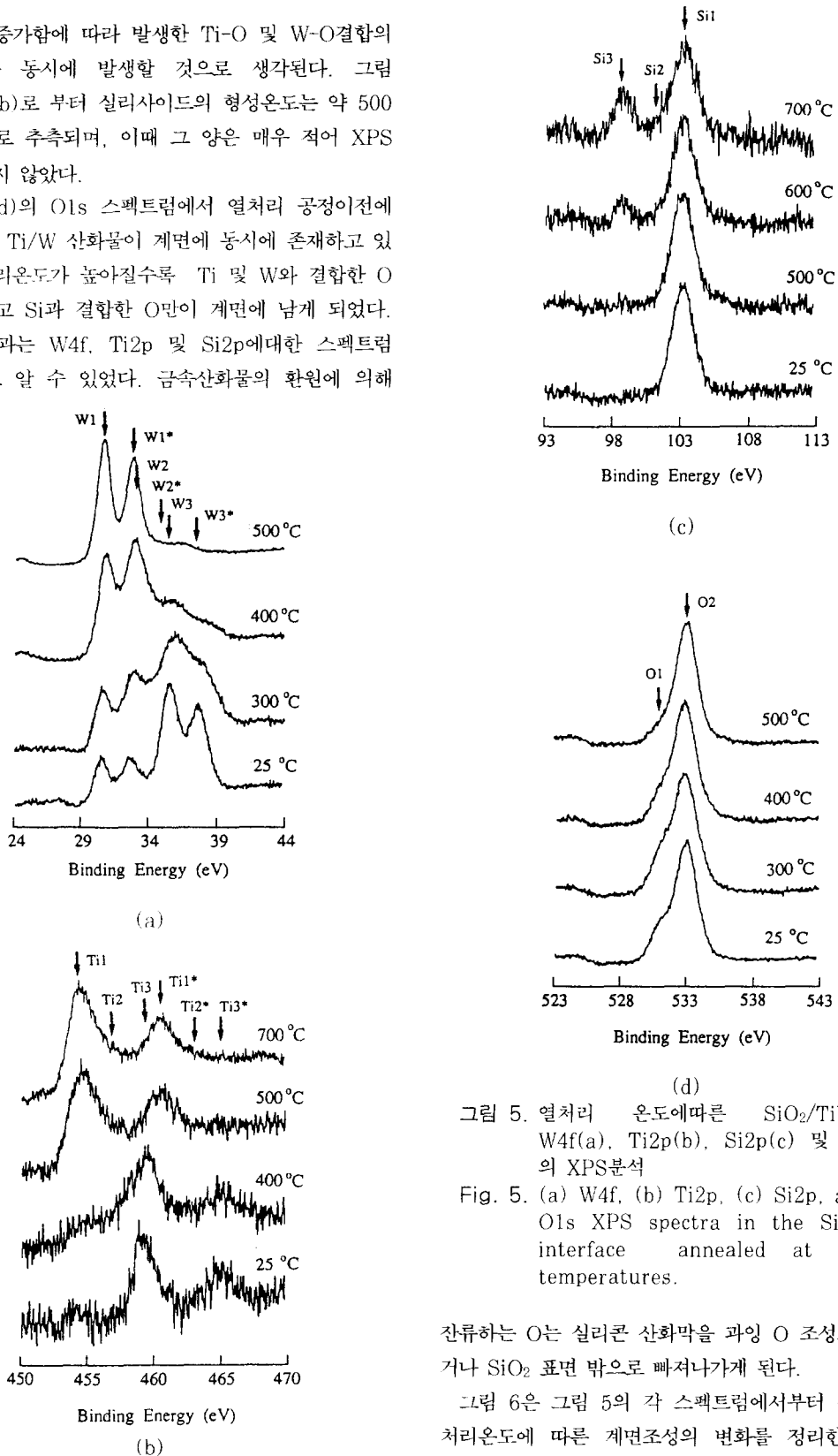
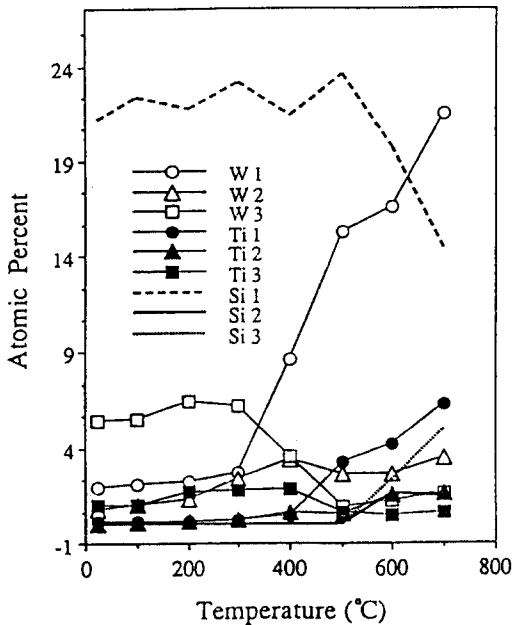


그림 5. 열처리 온도에 따른 SiO₂/TiW계면의 W4f(a), Ti2p(b), Si2p(c) 및 O1s(d)의 XPS분석
 Fig. 5. (a) W4f, (b) Ti2p, (c) Si2p, and (d) O1s XPS spectra in the SiO₂/TiW interface annealed at various temperatures.

잔류하는 O는 실리콘 산화막을 과잉 O 조성으로 만들거나 SiO₂ 표면 밖으로 빠져나가게 된다.
 그림 6은 그림 5의 각 스펙트럼에서부터 분석된 열처리온도에 따른 계면조성의 변화를 정리한 것이다.

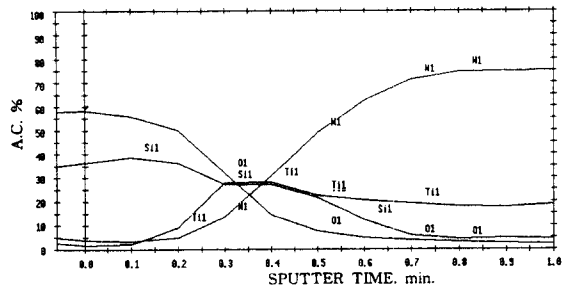
300°C이하의 열처리 공정에서 SiO₂는 그 불성을 그대로 유지하고 있으며, TiW와의 계면에는 텅스텐 산화물 및 티타늄 산화막이 존재하고 있다. 300°C이상의 열처리에서부터 SiO₂내로 하층금속인 Ti-W의 유입이 활발하게 진행되는데 이는 SiO₂/TiW 계면의 이동을 의미한다. 즉, 절연특성을 갖는 SiO₂의 두께가 더울 얇아짐을 의미한다. 열처리 전 및 300°C이하의 저온 열처리 공정에서 많이 나타나는 WO₃과 TiO₂는 300°C와 400°C 근처의 열처리 온도에서부터 감소하기 시작하였다. 그러나 WO₂와 Ti₂O₃ 혹은 Ti₃O₅와 같은 결합은 공정온도가 높아지더라도 미소하게 증가하고 있어 WO₃과 TiO₂의 감소에도 불구하고 SiO₂/TiW계면에서는 여전히 미량의 W-O 및 Ti-O의 결합이 존재하고 있다. 500°C에서부터는 SiO₂결합이 감소하면서 Ti/W 실리사이드가 생성되기 시작하였다. Si-O결합이 파괴되면서 Si이 환원되어 Ti-W와 결합된 Ti/W 실리사이드가 생성되었다. 또한 시료 표면에 존재하는 미량의 불순물인 C에 의해 Si-C의 결합도 존재하였다.



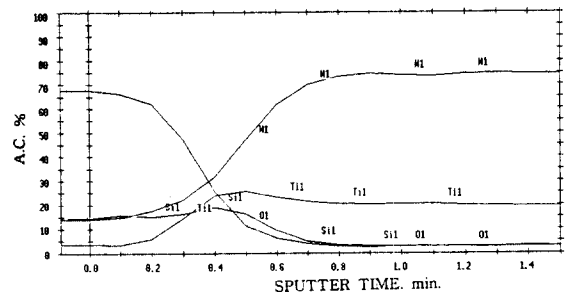
W1 : W-Ti	Ti1 : Ti-W	Si1 : SiO ₂
W2 : WO ₂	Ti2 : Ti ₂ O ₃ and/or Ti ₃ O ₅	Si2 : SiC
W3 : WO ₃	Ti3 : TiO ₂	Si3 : Ti/W silicide

그림 6. 열처리 온도에따른 SiO₂/TiW계면 구성원소들의 결합상태 변화

Fig. 6. Changes of bonds in SiO₂/TiW interface as a function of anneal temperature.



(a)



(b)

그림 7. 400°C(a)와 700°C(b)에서 각각 열처리한 SiO₂/TiW 구조의 AES depth profile
Fig. 7. AES depth profiles of SiO₂/TiW structure annealed at (a) 400°C and (b) 700°C, respectively.

약 220Å의 SiO₂를 TiW위에 형성하여 열처리를 행한 후 열처리 온도에 따른 SiO₂/TiW 구조의 조성변화를 그림 7의 AES depth profile로 나타냈다. 그림 7(a)와 7(b)는 400°C 및 700°C에서 각각 1 시간동안 시료를 열처리한 후 나타난 분석결과들이다. 그림 7(a)의 400°C 열처리를 행한 시료에서는 SiO₂/TiW 계면에서 형성된 Ti-O 결합으로 인해 Ti 농도가 계면에서 높게 나타나고 있다. 220Å의 SiO₂ 표면근처에서는 Ti 및 W의 성분이 발견되지 않았다. 그러므로 SiO₂막으로 Ti-W의 유입은 발생하지 않고 계면 근처에 국한되어 금속 산화물 및 금속성 결합들이 존재하고 있다. 400°C까지의 열처리에 따른 시료의 조성 변화는 열처리 이전의 것과 거의 비슷하였다. 그림 7(b)의 700°C 열처리를 행한 시료의 경우에는 SiO₂의 전체에 걸쳐 W의 성분이 많이 나타나고 있다. 유입된 W은 대부분 Ti-W나 Ti/W실리사이드 형태로 SiO₂내에 존재하고 있을 것이며, 일부는 WO₂의 형태로 존재할 것으로 생각된다. Ti의 경우에는 400°C 열처리 경우에 비해 계면에서 농도가 감소하였으나 여전히 Ti-O 결합

은 존재하고 있었다. SiO₂ 내로 유입된 Ti-W는 SiO₂의 절연특성을 저하시켜 누설전류를 많이 흐르게 하고 절연파괴 강도를 낮출 것으로 생각된다.

3. 전기적 특성

그림 8은 열처리를 행한 SiO₂/TiW구조에 Al을 상층 전극으로 형성한 후 제조된 MIM소자의 전류-전압 특성을 열처리 온도에 따라 나타내었다. SiO₂의 두께는 약 220Å이었으며, Al전극의 두께는 약 5000Å이었다. SiO₂가 박막이므로 MIM 구조에서 SiO₂의 전도 특성은 각 전극과의 계면 특성에 의해 결정된다. SiO₂에 대한 열처리는 Al 증착전에 이루어졌으므로 MIM 구조에서 전류-전압 특성변화는 SiO₂/TiW계면 특성변화에 의해서만 발생할 것이다. 그림 8(a), 8(b) 및 8(c)는 700°C, 500°C 및 300°C 에서 각각 열처리한 시료의 전류-전압 특성이다. 300°C이하에서 열처리를 행한 시료의 경우에는 열처리 조건에 무관하게 거의 일정한 전류-전압 특성을 보였다. 그림에서 열처리 온도가 300°C일때 SiO₂의 절연파괴는 약 20.0V에서 발생하였다. 그리고 절연파괴전의 누설전류도 수 nA이어서 매우 양호하였다. 열처리 온도가 500°C일때 SiO₂의 절연파괴는 약 7.5V에서 발생하여 300°C의 열처리 경우보다 낮게 나타났다. 그러나 절연파괴 전압전의 누설전류는 300°C의 경우와 거의 비슷하였다. 이는 500°C의 열처리공정을 통해 SiO₂내로 Ti와 W를 포함하는 금속결합성분이 유입되어져 실질적인 절연 특성을 가질 수 있는 SiO₂의 두께가 얇아졌음을 나타낸다. 열처리 온도가 700°C인 그림 8(a)의 특성곡선에서 SiO₂의 절연파괴는 약 3V 미만의 전압에서 발생하였으며, 누설전류는 매우 많이 흘렀다. 그림 7(b)에서 알 수 있듯이 700°C의 열처리 공정을 행한 SiO₂의 전 영역에는 W 및 Ti성분들이 유입되어져 있었다. 이러한 열처리 공정에 따른 소자의 전기적 특성 변화는 Al/SiO₂/TiW 구조의 안티퓨즈 소자의 프로그래밍 특성에 영향을 미친다. 즉, 특정 두께를 갖는 SiO₂를 사용한 SiO₂/TiW 구조의 열처리 공정에 의해 SiO₂의 절연파괴 전압을 낮출 수 있다. 그러므로 이들로 구성된 안티퓨즈 소자의 프로그래밍 전압을 낮은 값으로 낮출 수가 있으며, 또한 미세한 프로그래밍 전압 조절이 가능할 것이다. 그러나 임계 온도이상에서는 SiO₂의 절연특성이 사라지므로 그 이전의 공정온도에서 열처리를 행함으로써 금속층간 SiO₂의 절연파괴전압을 줄일 수

있다.

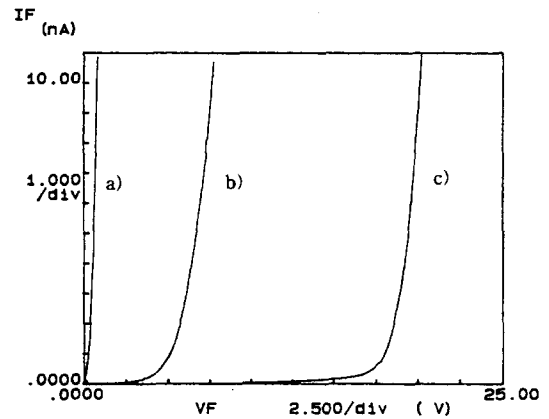


그림 8. 700°C(a), 500°C(b)와 300°C(c)에서 각각 열처리를 행한 SiO₂/TiW를 갖는 안티퓨즈 소자의 전류-전압 특성

Fig. 8. The current-voltage characteristics of antifuse device consisting of SiO₂/TiW layer annealed at (a) 700°C, (b) 500°C, and (c) 300°C, respectively.

IV. 결 론

SiO₂가 TiW 위에 형성될 때 SiO₂/TiW계면에는 Si-O와 Ti-W의 결합뿐 아니라 Ti-O 및 W-O결합이 형성되었다. Ti-O의 결합은 Ti₂O₃/Ti₃O₅ 및 TiO₂로 존재하고 있었고, W-O의 결합은 WO₂ 및 WO₃로 각각 존재하고 있었다. 이와 같은 금속산화물형태중에서 특히 TiO₂와 WO₃의 농도가 다른 형태에 비해 높게 나타났다. SiO₂/TiW구조를 열처리함으로써 계면의 각 원소들의 결합상태가 변화되었다. W와 Ti은 금속산화물로 존재하다가 300°C와 400°C사이의 열처리에서부터 O와의 결합이 분리되면서 금속결합성분으로 남게 되었다. TiO₂와 WO₃형태는 급격히 감소하지만 다른 형태의 금속산화물들은 열처리 온도에 관계없이 계면에 미소하게 존재하고 있었다. 500°C이상의 열처리에서부터 SiO₂의 농도가 감소하고 Ti/W 실리사이드의 농도가 서서히 증가하였다. 계면에서의 금속성분 증가는 SiO₂로의 하층 금속인 Ti-W의 유입을 의미하며, 이는 SiO₂의 계면 이동으로 인해 절연특성을 가질 수 있는 SiO₂의 실제 두께를 감소시키게된다. TiW위에 형성된 220Å SiO₂의 경우, 700°C에서 열처리를 행하

게 되면 W는 SiO₂ 전 영역에 걸쳐 나타나고 있었다. 열처리를 행한 SiO₂/TiW구조를 사용한 Al/SiO₂(220 Å)/TiW 구조의 전류-전압 특성에서 300°C의 열처리 온도에서부터 열처리 온도의 증가에 따라 SiO₂의 절연 파괴 전압이 낮아지기 시작하였다. 500°C에서 열처리함으로써 소자의 누설 전류는 수 십nA로 유지되면서 SiO₂의 절연파괴 전압은 열처리하기전인 약 20.0V에서 약 7.5V로 낮출 수가 있었다. 그러나 700°C의 열처리를 통해 제조된 소자는 금속층간 SiO₂가 전기적 절연특성을 갖지 못해 안티퓨즈 소자로서 사용이 불가능했다.

참 고 문 헌

- [1] H. S. Hsieh, "A Second Generation User-Programmable Gate Array," IEEE. 1987. CICC. May. 1987. pp. 515 - 521.
- [2] J. Rose and S. Brown, "Flexibility of interconnection structure for field programmable gate arrays," IEEE J. Solid-State Circuits, vol. 26, no. 3. March, 1991.
- [3] S. S. chen and A. M. Soares, "A novel metal-insulator-metal structure for field-programmable devices," IEEE Trans. Electron. Devices, vol. 40, no. 7. pp. 1277 - 1282, July. 1993.
- [4] G. zhang, C. Hu, P. Yu, S. chiang, and E. Handy, "characteristics voltage of programmed metal-to-metal antifuses," IEEE Electron Device. Lett., vol. 15, no.5, May. 1994.
- [5] David K. Y. Liu and K. L. Chen, "Scaled dielectric anrifuse structure for field programmable gate array applications," IEEE Electron Device Lett., vol. 12, no. 4, pp.151-153, April, 1991.
- [6] V. Malhotra, J. E. Mahan, and D. L. Ellsworth, "Fundamentals of memory switching in vertical polycrystalline silicon structures," IEEE Trans. Electron Devices, vol. ED-32, no. 11, Nov. 1985.
- [7] E. Hamdy, J. McCollum, and S.O.Chen, "Dielectric based antifuse for logic and memory ICs," IEDM Tech. Dig., pp. 786-789, 1988.
- [8] Vance Hoffman, "Tungsten titanium diffusion barrier metallization," Solid State Technology, June, pp. 119, 1983.
- [9] 이용현 "특정 전압에 민감한 anti-fuse 소자의 개발," 센서 기술 연구소 연구 보고서, 1993
- [10] Handbook of X-ray photoelectron spectroscopy, Perkin-Elmer Corporation, 1992.

저 자 소 개

李在成(正會員) 第 32卷 A編 11號 參照,
현재 경북대학교 전자전기공학부
박사과정

朴滄浩(正會員) 第 27卷 A編 11號 參照,
현재 연세대학교 세라믹공학과
조교수

李正熙(正會員) 第 32卷 A編 11號 參照,
현재 경북대학교 전자전기공학부
조교수

李龍鉉(正會員) 第 31卷 A編 8號 參照,
현재 경북대학교 전자전기공학부
교수