

論文96-33A-3-9

저전력 CMOS회로를 위한 $V_{GS}-V_{TH}$ 스케일링 $(V_{GS}-V_{TH}$ scaling for low power CMOS circuit)

姜大官*, 朴榮俊*, 閔弘植*

(Dae-Gwan Kang, Young-June Park, and Hong-Shick Min)

요 약

$V_{GS}-V_{TH}$ 가 낮아질 때에 CMOS 인버터의 게이트 지연 특성을 해석하기 위해 간단한 공식을 제안하였다. 이 공식으로부터 게이트 지연시간이 $V_{GS}-V_{TH}$ 에 따라 어떻게 변하는지를 볼수 있으며, 공급전압이 낮은 CMOS 인버터 회로에서 소자 파라미터를 설계하기 위해 사용할 수 있다. 측정된 결과로부터 제안된 공식의 유용성을 확인하고 저전압 동작하에서의 문턱전압효과의 중요성을 정량화하였다. 5세대에 걸친 NMOSFET기술에 이 공식을 사용하여 $V_{GS}-V_{TH}$ 의 변화에 따른 회로및 소자의 여러 특성을 고찰하였다.

Abstract

A simple formula is proposed for the analysis of gate delay of CMOS gate in the low $V_{GS}-V_{TH}$ scaling. The effects of magnitude of $V_{GS}-V_{TH}$ on gate delay can be readily found through the formula so that it can be used to design the device parameters in the low V_{DD} CMOS circuits. The measured results confirm the usability of the proposed formula and quantifies the importance of V_{TH} effects on gate delay under low voltage operation. Applying the formula to the prototype NMOSFET devices representing the five generations of technology, the impacts of the $V_{GS}-V_{TH}$ on the various aspects of the circuit and device characteristics are investigated in a consistent manner.

I. 서 론

집적도의 증가에 따른 고속 (high speed) 및 저 전력 (low power) 칩의 필요성에 의해 소자는 점점 소형화되고 있다. 공급전압 (V_{DD}) 을 낮추면 소모전력이 줄어들지만 회로의 속도가 감소하기 때문에 속도저하를 보상하기 위해 문턱전압 (threshold voltage: V_{TH})도 같이 낮추게 된다. 이에 따른 대기전력 (stand-by power)소모 증가와 잡음 여유도(noise margin)감소 때문에 V_{TH} 감소에는 한계가 있게 된다¹⁾.

¹⁾ V_{TH} 감소의 한계는 공급전압이 낮아지는 저 전력 회로에서 게이트 드라이브($V_{GS}-V_{TH}$)의 감소를 가져온

다.

M. Kakumu등의 연구²⁾에서는 공급전압을 증가시키면 회로 동작속도가 빨라지다가 빨라지는 율이 둔화되고, V_{DD} 가 증가하여도 감소하지 않는 지연성분이 있음을 밝혔다. Z. Chen등³⁾은 기존에 발표된 소자 모델을 이용하여 최소선폭을 $0.5\mu\text{m}$, $0.35\mu\text{m}$, $0.25\mu\text{m}$ 으로 고정한 후 V_{DD} , V_{TH} , 게이트 산화막 두께 (T_{ox})에 따른 게이트 지연시간, 에너지를 계산하여 최대성능을 가지는 소자구조를 이론적으로 구하고 특히 V_{TH} 의 중요성에 대해 강조하였다. 또한, 공급전압과 V_{TH} 를 설계변수로 성능과 소모 전력을 구하는 방법론에 관한 연구도 발표되어 왔다^{4), 5)}. 성능과 전력소모량을 동시에 고려하는 방법으로 게이트가 저장하는 에너지(E)와 게이트 지연시간(τ_{pd})의 곱, 즉, $E \cdot \tau_{pd}$ 를 파라미터로 사용하기도 한다⁶⁾. 그러나 게이트 드라이브의 변동에 따라 소자 파라미터들이 회로 동작 속도에 미치는 영향을 통합적으로 연구한 것은 없다.

* 正會員, 서울大學校 電氣工學部 및 半導體共同研究所 (School of Elec. Eng. and Inter-Univ. Semiconductor Research Center)

接受日字: 1996年1月31日, 수정완료일: 1996年3月6日

이 논문에서는 게이트 드라이브가 작아짐에 따른 소자 파라미터의 변동이 게이트 지연시간에 어떤 영향을 미치는가를 보기 위해 간단한 공식을 제안하고 측정된 결과로부터 그 타당성을 검토한다. 게이트 드라이브가 감소함에 따라서 전자 이동도의 변동이 지연시간에 미치는 영향을 보게 된다. 이 공식의 적용 예로서 유효 채널길이가 1 μ m에서 0.1 μ m까지의 5 세대에 걸친 NMOSFET기술에 적용하여 구해진 회로의 여러 특성을 비교한다.

II. 게이트 드라이브 스케일링 (VGS-VTH scaling)

게이트 지연시간과 같은 회로 파라미터와 게이트 드라이브(V_{GS}-V_{TH}) 상호연관성을 이해하기 위해서 게이트 드라이브 스케일링이라 부르는 간단한 공식을 이장에서 제안한다. 소자의 동작을 게이트 전압(V_{GS})이 문턱전압(V_{TH})보다 작은 경우와 게이트 전압이 문턱전압보다 큰 경우로 나누어서 고려하기도 한다. V_{GS}<V_{TH} 영역에서는 V_{TH}값과 문턱전압이하에서의 전류가 잡음 여유도와 소모되는 대기 전력값에 영향을 미친다. 그러나 V_{GS}≥V_{TH} 영역은 채널이 형성되어 회로동작에 필요한 전류가 흐르는 영역이다. 따라서 V_{GS}-V_{TH}는 전류를 흐르게 하는 유효전압이 되며, 회로 동작속도, 소비 전력, 저장 에너지 및 에너지-지연시간 곱을 유효전압의 함수로 표현하는 것이 이 스케일링 이론의 핵심이다. 이를 위해 속도 포화 현상을 고려한 NMOSFET의 포화전류식 모델¹⁷⁾을 사용한다. 이 전류식 모델에서는 균일한 반전층 전하밀도를 가정하고, 간단한 속도-전계 근사식을 사용함으로써 생기는 오차는 있지만 회로 시뮬레이션 모델로 널리 사용되어져 왔다.

그림 1과 같이 크기가 일정한 소오스/드레인 저항을 가지고, 폭이 W, 길이가 L인 NMOSFET에서 포화전류 I_{Dsat}에 관한 식은

$$I_{Dsat} = \mu C_{ox} v_{sat} \frac{(V_{GS} - V_{TH})^2}{E_{sat} L + (V_{GS} - V_{TH})} \quad (1)$$

으로 쓸 수 있으며¹⁷⁾, 여기서 C_{ox}는 단위면적당 게이트 커패시턴스이며, v_{sat}는 캐리어 포화속도이고, μ_{eff}를 유효 전자 이동도라 할때, E_{sat}는 포화전계이며 2v_{sat}/μ_{eff}로 주어진다. V_{GS}' 및 V_{TH}'는 소스와 드레인

저항을 고려하지 않은 순수 소자의 게이트-소스 전압, 문턱 전압이며 다음과 같이 표현된다.

$$V_{GS'} = V_{GS} - I_{Dsat} R_s \quad (2)$$

$$V_{TH'} = V_{TH} + \gamma (\sqrt{2\phi_f + V_s'} - \sqrt{2\phi_f}) \quad (3)$$

여기서 φ_f는 페르미 전위, γ는 백 바이어스 효과를 나타내는 계수이며, R_s는 소오스 저항, V_s'는 V_s' = I_{Dsat}R_s로 주어진다. V_s'가 2φ_f보다 아주 작으면 $\gamma(\sqrt{2\phi_f + V_s'} - \sqrt{2\phi_f}) \cong \frac{1}{2} \frac{\gamma R_s}{\sqrt{2\phi_f}} I_{Dsat}$ 로 쓸 수 있다.

게이트 구동능력을 포화전류로 나눈값을 아래와 같이 R_{TOT}로 정의하고 이를 소자의 등가 dc저항이라 부른다.

$$R_{TOT} \equiv \frac{V_{GS} - V_{TH}}{I_{Dsat}} \quad (4)$$

식 (1), (2), (3), (4) 로 부터 다음 역시 얻어진다.

$$R_{TOT} \cong \frac{1}{\mu_{eff} C_{ox}} + 2R_s(1-\Gamma) + \frac{2(L_{eff} - \Delta L)}{\mu_{eff} C_{ox} (V_{GS} - V_{TH})} \quad (5)$$

여기서

$$\Gamma = \frac{\gamma}{2\sqrt{2\phi_f}} + \frac{1}{2} \frac{(1 - \frac{\gamma v_{max}}{2\sqrt{2\phi_f}})(\frac{1}{\mu C_{ox} v_{sat}} + R_s(1 - \frac{\gamma}{2\sqrt{2\phi_f}}))}{\frac{1}{\mu C_{ox} v_{sat}} + \frac{2(L_{eff} - \Delta L)}{\mu C_{ox} (V_{GS} - V_{TH})} + 2R_s(1 - \frac{\gamma}{2\sqrt{2\phi_f}})}$$

이며 게이트 드라이브와 L_{eff}에 따라 크게 변화하지 않는 값이다. ΔL은 채널내에서 속도가 포화 되는 영역의 길이이다. 식 (5)의 각항을 다음과 같이 정의한다.

$$R_{sat} \equiv \frac{1}{\mu_{eff} C_{ox}} \quad (6)$$

$$R_{sd} \equiv 2R_s(1-\Gamma) \quad (7)$$

$$R_{ch} \equiv \frac{2(L_{eff} - \Delta L)}{\mu_{eff} C_{ox} (V_{GS} - V_{TH})} \quad (8)$$

여기서 R_{sat}은 전성 저항, R_{sd}은 소오스/드레인 저항, R_{ch}은 채널 저항이라 부른다. 식 (5)로 부터 등가 dc저항 R_{TOT}는 R_{sat}, R_{sd}와 R_{ch}의 직렬 저항으로 구성됨을 알 수 있다. R_{sat}은 캐리어의 포화속도에 의해 제한되는 저항이며, R_{sd}는 Γ가 거의 일정하기 때문에 소오스 저항에만 의존하며, R_{TOT}의 게이트 길이 의존성은 R_{ch}에 주로 포함되며 L_{eff}가 줄어들면 R_{ch}도 줄어들게 된다.

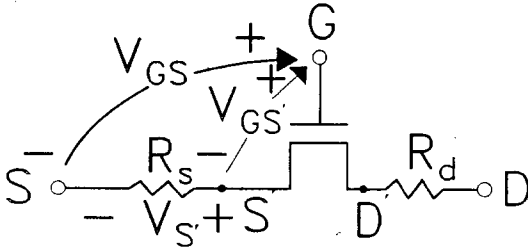


그림 1. 소스/드레인 저항을 가지는 NMOSFET의 구성도

Fig. 1. A schematic representation of an NMOSFET having the source and drain resistance.

1. 게이트 지연시간 (gate delay)

NMOSFET의 포화전류(I_{Dsatn})와 PMOSFET의 포화전류(I_{Dsatp})가 같은 CMOS 인버터의 게이트 지연시간은 근사적으로 다음과 같이 쓸 수 있다¹⁸⁾.

$$\tau_{pd} \cong \frac{C_L V_{DD}}{2I_{Dsat}} \quad (9)$$

여기서 부하 커패시턴스 C_L 는 4개의 커패시턴스 즉 접합 커패시턴스 (\bar{C}_j), 오버랩 게이트 커패시턴스 (\bar{C}_{ov}), 게이트 산화막 커패시턴스 (C_{ox})와 연결선 커패시턴스(C_w)로 구성되어있다. $V_{GS}=V_{DD}$ 인 경우 V_{DD} 값을 V_{TH} 와 $V_{GS} - V_{TH}$ 함으로 나누어서 쓰고 식 (4)를 이용하면, 식(9)의 τ_{pd} 는 다음과 같이 쓸 수 있다.

$$\tau_{pd} = \frac{C_L}{2} \left(\frac{V_{TH}}{I_{Dsat}} + \frac{V_{GS} - V_{TH}}{I_{Dsat}} \right) = \tau_{pd1} + \tau_{pd2} \quad (10)$$

여기서

$$\tau_{pd1} = \alpha C_L \frac{R_{TOT}}{2}, \tau_{pd2} = C_L \frac{R_{TOT}}{2}, \alpha = \frac{V_{TH}}{V_{GS} - V_{TH}} = \frac{V_{DD}}{V_{TH}} - 1$$

이다. 식 (10)에서 $\tau_{pd1} = \alpha R_{TOT} C_L / 2$ 항은 증가 dc 소자 저항(R_{TOT})에 의한 부하 커패시턴스의 0 [V]에서 V_{TH} [V]까지의 충전시간으로 생각할 수 있으며, $\tau_{pd2} = R_{TOT} C_L / 2$ 항은 부하커패시턴스를 V_{TH} 에서 V_{GS} 까지의 충전시간으로 생각할 수 있다. τ_{pd2} 는 R_{TOT} 가 세 종류의 저항으로 구성되어 있기때문에 다음과 같이 나누어서 생각할 수 있다.

$$\tau_{pd2} = \tau_{Rsat} + \tau_{Rsd} + \tau_{Rch} \quad (11)$$

여기서 $\tau_{Rsat} = C_L R_{sat} / 2$, $\tau_{Rsd} = C_L R_{sd} / 2$, $\tau_{Rch} = C_L R_{ch} / 2$ 이다. V_{TH} 가 변화하더라도 게이트 드라이

브가 일정하게 유지된다면 V_{TH} 에 따른 τ_{pd2} 의 변동도 거의 없을 것이며, V_{TH} 가 τ_{pd} 에 미치는 영향은 τ_{pd1} 에 포함된다. 일반적으로 τ_{pd1} 과 τ_{pd2} 를 결정하는 가장 중요한 요인은 R_{TOT} 이며, 게이트 드라이브가 낮아지면서 R_{TOT} 의 세개의 저항중 R_{ch} 이 게이트 드라이브에 직접적으로 영향을 받는다. 공급전압이 낮아져서 게이트 드라이브가 감소하면 식 (5)에 R_{ch} 의 비중이 커지게되며, 따라서 R_{ch} 를 결정하는전자 이동도 효과의 중요성은 더욱 증가하게 된다. 본연구에서 실험을 통하여 R_{TOT} , R_{sat} , R_{sd} , R_{ch} 의 $V_{GS}-V_{TH}$ 에 따른 변화를 분석한다.

2. 에너지

저전력회로에서 중요한 회로 파라미터는 회로의 한번 동작후에 잃어버리는 에너지이다. 전력소모는 이 에너지와 단위시간에 기능을 수행한 횟수에 의해 결정된다. 에너지는 회로의 부하 커패시터들에 의해 저장된다.

부하커패시턴스를 V_{TH} 까지 충전하기 위해 필요한 에너지($E_{V_{TH}}$)와 이를 V_{TH} 에서 V_{GS} 까지 충전하는 데 필요한 에너지($E_{V_{GS}-V_{TH}}$)로 나누어서 생각하기로 한다. 진성 MOS 커패시터를 V_{TH} 까지 충전하기 위한 진성 MOS 에너지는 근사적으로 $(|Q_{dmax}| \times V_{TH}) / 2$ 이며, V_{GS} 까지 충전하기 위한 에너지는 $(|Q_n| + |Q_{dmax}|) V_{GS} / 2$ 가 된다. 따라서, V_{TH} 에서 V_{GS} 까지 충전하기 위한 에너지는 두 에너지의 차이므로 $(|Q_n| + |Q_{dmax}|) V_{GS} / 2 - |Q_{dmax}| V_{TH} / 2$ 이다.

게이트 폴리과 N^+ 소스/드레인 영역이 같은 도핑 농도이면 접합 커패시터에 저장된 단위면적당 전하는 MOS전하의 $(1 + C_d / C_{ox})^{1/2}$ 배가 된다. 그러므로 채널 영역과 접합영역이 같은 면적이면 접합을 V_{TH} 까지 충전한 에너지가 더 크다. 그러나 V_{TH} 후에는 채널에서 반전 전하의 급격한 증가에 의해서 진성 MOS를 충전하는데 필요한 에너지가 접합에너지보다 증가하게 된다.

III. 결과 및 검토

표준 LDD CMOS 공정으로 제작된 NMOSFET를 사용하여 측정하였으며 문턱전압은 주어진 V_{DS} 에서 $I_{DS} = 100nA(W/L_{eff})$ 가 되는 게이트 전압으로 정의하였다.

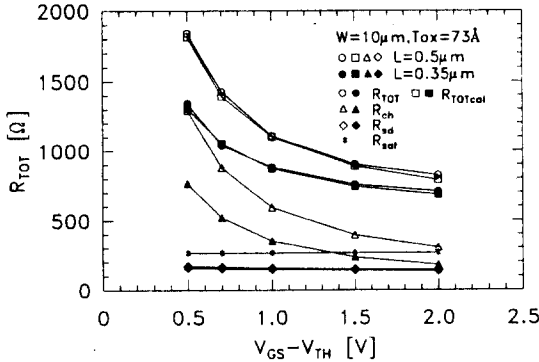


그림 2. 게이트 길이가 0.35 μm , 0.5 μm 인 경우 $V_{GS}-V_{TH}$ 가 변화함에 따른 측정된 R_{TOT} 및 $R_{TOT}(\text{cal})$ 특성

Fig. 2. Measured and calculated R_{TOT} vs. $V_{GS}-V_{TH}$ of NMOSFET's with 0.35 and 0.5 μm channel lengths.

그림 2는 게이트 산화막 두께가 73 Å이고, 게이트 길이가 0.35 μm 과 0.5 μm 을 가지는 소자로부터 구한 R_{TOT} (식 (4)의 정의)를 $V_{GS}-V_{TH}$ 에 따라 그린 것이다. $R_{TOT}(\text{cal})$ 은 추출된 R_s , L_{eff} , $\mu_{\text{eff}}C_{\text{ox}}(V_{GS}-V_{TH})$ 값^{[9][10]}과 $v_{\text{sat}}=8 \times 10^6 \text{ cm/s}$ 를 식 (5)로 계산한 값이다. 이 그림에서 R_{TOT} 와 $R_{TOT}(\text{cal})$ 의 $V_{GS}-V_{TH}$ 값에 따른 변동이 거의 같은 추세를 보여주고 있다. 일정한 R_s 값과 ΔL 값을 사용하기 때문에 R_{TOT} 와 $R_{TOT}(\text{cal})$ 값 사이에 차이가 나는 것으로 보인다. 그림 2에서는 R_{TOT} 를 구성하는 각 저항이 R_{TOT} 에 기여하는 정도를 볼 수 있으며 $V_{GS}-V_{TH}$ 가 적어질 수록 게이트 길이에 의존하는 R_{ch} 저항의 기여도가 증가함을 볼 수 있다.

식 (8)에서 보듯이 μ_{eff} 가 R_{ch} 에 직접적인 영향을 준다. 이때 μ_{eff} 가 V_{TH} 에 따라 어떻게 변하는 가를 알아보기 위해서, 그림 3은 게이트 산화막이 73 Å 및 90 Å 이고 $V_{GS}-V_{TH}$ 가 다른 값에 대해 측정된 값으로부터 추출한 R_{ch} 을 $(L_{\text{eff}} - \Delta L)/W$ 로 정규화한 $1/\mu_{\text{eff}}C_{\text{ox}}(V_{GS}-V_{TH})$ 값을 V_{TH} 에 대해 그렸다.

$V_{GS}-V_{TH}$ 가 고정되어 있다하더라도 $1/\mu_{\text{eff}}C_{\text{ox}}(V_{GS}-V_{TH})$ 항은 V_{TH} 가 증가함에 따라 증가한다. 따라서 R_{TOT} 값도 증가한다. 그림 3에서 각 커브의 기울기는 게이트 산화막이 두꺼운 소자에 대해서 더 커지고, $V_{GS}-V_{TH}$ 가 작아질 수록 커지게 된다. 이것은 전자이동도의 모델에서 설명될 수 있다. $V_{GS}-V_{TH}$ 값(즉 $Q_n \approx C_{\text{ox}}(V_{GS}-V_{TH})$ 이다.)이 같을 때, 유효전계(E_{eff})가 공핍전하(Q_d)의 기여때문에 V_{TH} 가 높은 소자

에서 더 커지게 된다. $V_{GS}-V_{TH}$ 값이 감소하면 Q_d 의 E_{eff} 에 대한 영향이 증가함으로 $V_{GS}-V_{TH}$ 값이 적을 수록 μ_{eff} 에 대한 V_{TH} 의 영향이 커진다. $V_{GS}-V_{TH}$ 값이 낮은 영역에서는 R_{TOT} 에서 R_{ch} 의 영향이 커지게 된다. V_{TH} 최소값이 결정된 상태에서 C_{ox} 를 증가시키면 채널 도핑농도 또한 증가하게 되어 전자 유효이동도 감소를 가져오게 된다. 또한 부하 캐패시턴스도 증가하므로 τ_{pd} 를 줄이기위해 $\mu_{\text{eff}}C_{\text{ox}}(V_{GS}-V_{TH})$ 값을 가능한 크게 해야한다.

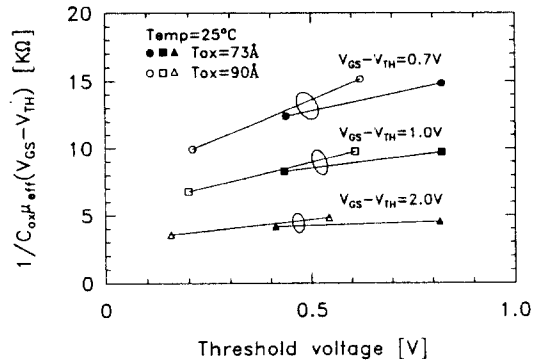


그림 3. T_{ox} 가 73 Å 및 90 Å 소자에서 V_{TH} 가 변화함에 따른 $1/C_{\text{ox}}\mu_{\text{eff}}(V_{GS}-V_{TH})$ 특성

Fig. 3. $1/C_{\text{ox}}\mu_{\text{eff}}(V_{GS}-V_{TH})$ versus threshold voltage for NMOSFET's with 73 Å and 90 Å gate oxide.

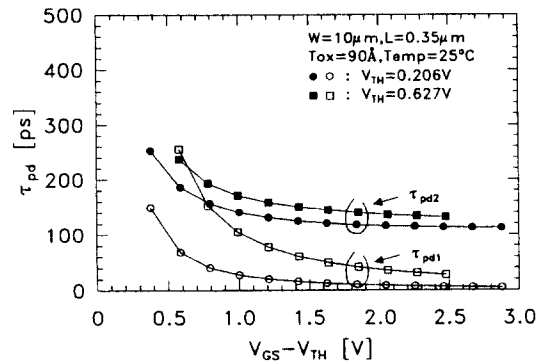


그림 4. $T_{\text{ox}}=90 \text{ Å}$ 이고 낮은 V_{TH} 와 높은 V_{TH} 를 가지는 소자로 예측한 τ_{pd} 특성.

Fig. 4. Estimated τ_{pd} versus $V_{GS}-V_{TH}$ for low and high V_{TH} devices with 90 Å gate oxide.

그림 4는 게이트 산화막이 90 Å이고, V_{TH} 가 다른 소자에 대해서 게이트 지연시간을 $V_{GS}-V_{TH}$ 의 함수로

그런 것이다. 여기서 C_L 는 $360 \text{ fF}^{[1]}$ 로 고정하였다. τ_{pd} 는 측정된 R_{TOT} 와 식 (10)로부터 예측된 값이다. 게이트 지연시간에서 τ_{pd1} 과 τ_{pd2} 의 두 부분으로 나누어져 있다. τ_{pd2} 는 $V_{GS}-V_{TH}$ 가 고정되어 있을 때, V_{TH} 가 낮은 소자일수록 작아진다. 이것의 주된 이유는 V_{TH} 가 높을 수록 전자이동도가 저하되기 때문이다. τ_{pd1} 은 $V_{GS}-V_{TH}$ 가 감소함으로써 급격하게 증가하며, 이것은 α 의 증가와 R_{TOT} 의 증가에 의한 것으로 저전압 동작하에서 V_{TH} 스케일링이 게이트 지연시간에 상대적으로 중요해짐을 보여준다.

다음은 표 1과 같이 다섯 개의 다른 기술세대에 대해 제안한 공식을 적용하여 회로 특성을 계산하고 분석하기로 한다.

표 1. 5 세대 기술에 대한 파라메타
Table 1. Parameters for five generations of technology.

L_{eff} [μm]	1	0.8	0.5	0.25	0.1
T_{ox} [Å]	200	150	120	70	35
N_{ch} [/cm ³]	9×10^{16}	1.5×10^{17}	1.8×10^{17}	3.6×10^{17}	9×10^{17}
N_{sd} [/cm ³]*	2×10^{16}	4×10^{16}	4.5×10^{16}	9×10^{16}	2×10^{17}
V_{TH} [V]	0.7	0.7	0.6	0.5	0.4
V_{DD} [V]	5.0	5.0	3.3	2.2	1.5

* 소오스/드레인 접합 아래에서의 채널농도.

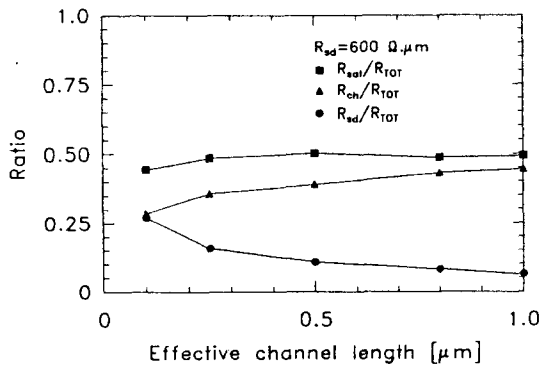


그림 5. L_{eff} 가 감소함에 따라 계산된 R_{TOT} 에 각 저항이 차지하는 비율.

Fig. 5. The ratio of each component of the calculated resistance, R_{ch} , R_{sat} , and R_{sd} as the L_{eff} is scaled.

그림 5는 $R_{sd} = 600 \Omega \cdot \mu\text{m}$ 으로 고정하고 L_{eff} 가

작아짐에 따라 R_{TOT} 의 세 저항성분이 전체에서 차지하는 비율이 어떻게 변화하는가를 보이고 있다. R_{TOT} 에서 R_{sat} 에 대한 상대적인 기여는 L_{eff} 에 관계없이 거의 일정하지만 R_{sd} 의 효과는 L_{eff} 가 감소함에 따라 점점 증가하며 이것은 소자설계에서 R_{sd} 가 점점 중요한 요소가 됨을 나타낸다. 그러나 R_{ch} 가 차지하는 비중은 점점 줄어들고 있음을 알 수 있다. 이는 역사적으로 L_{eff} 가 $V_{GS}-V_{TH}$ 보다 빨리 스케일링되었음을 나타내고 있다.

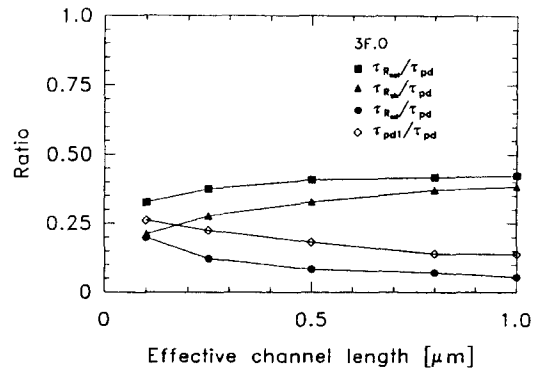


그림 6. L_{eff} 가 줄어들때 따라 V_{TH} 충전시간 및 채널 충전 시간이 예측된 게이트 지연시간에 차지하는 비율

Fig. 6. The contributions of V_{TH} charging time and channel charging time to estimated gate delay as L_{eff} is scaled.

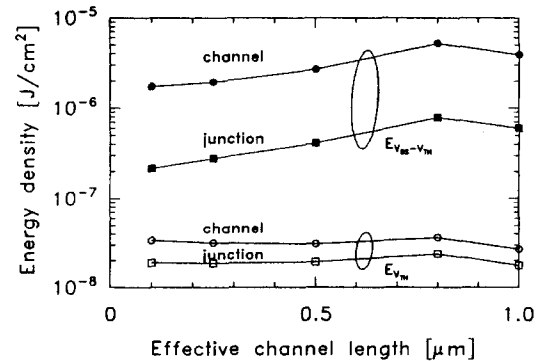


그림 7. 5세대의 기술에서 L_{eff} 변화에 대해 예측된 에너지 밀도

Fig. 7. Estimated energy density vs. L_{eff} for five generations of technology.

그림 6은 L_{eff} 가 변화함에 따라서 τ_{pd1} , τ_{Rsat} , τ_{Rsd} 와 τ_{Rch} 이 게이트 지연시간에 차지하는 비율을 나타내

고 있다. τ_{pd1} 과 τ_{Rsd} 의 비율은 역사적으로 점점 커지며 τ_{Rch} 및 τ_{Rsat} 이 차지하는 비율은 점점 감소하도록 스케일링되어왔음을 알 수 있다.

에너지도 $E_{V_{TH}}$ 와 $E_{V_{GS}-V_{TH}}$ 로 나누어서 그린다. 그림 7은 L_{eff} 가 감소함에 따라서 에너지 밀도의 성분이 어떻게 변화하는 가를 나타낸 것이다. L_{eff} 가 $0.8\mu m$ 부터 감소함에 따라 $E_{V_{GS}-V_{TH}}$ 밀도는 감소하며, $E_{V_{GS}-V_{TH}}$ 중 채널 부분에 저장되는에너지 밀도가 접합 부분에 저장되는 에너지보다 큼을 알 수 있고, 이것은 산화막 스케일링의 중요성을 나타낸다.

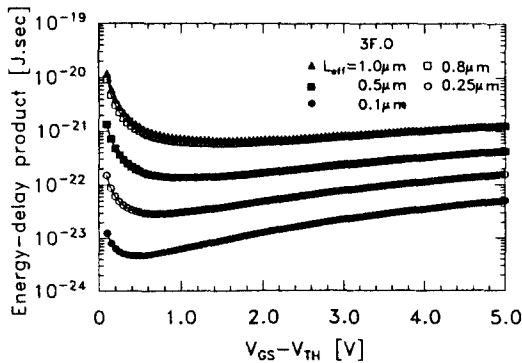


그림 8. 5 세대의 기술에서 $V_{GS}-V_{TH}$ 변화에 따라 예측한 에너지-지연시간 곱 특성

Fig. 8. Estimated energy-delay product as a function of $V_{GS}-V_{TH}$ for five generations of technology.

그림 8은 에너지-게이트 지연시간 곱을 $V_{GS}-V_{TH}$ 의 함수로서 그린 것이다. 기술이 발전하면서 이 곱의 최소치가 일어나는 $V_{GS}-V_{TH}$ 값이 높은 값에서 낮은 값으로 이동되고 있음을 볼 수 있다. 또한 바이어스 조건 및 다른 소자 파라미터는 에너지-게이트 지연시간 곱의 최소치보다 높은 영역에서 디자인되어 왔음을 알 수 있다. 이는 표 1과 같은 스케일링 시나리오가 저전력을위한 것이라기 보다는 고속에 초점을 맞춘 것임을 알 수 있으며 저전력용 소자 스케일링을 위해 최적화 선택이 필요함을 알 수 있다.

IV. 결 론

제안한 공식과 측정된 결과로부터 $V_{GS}-V_{TH}$ 가 변화함에 따라 소자의 각 파라미터들이 CMOS 게이트 지연시간에 미치는 영향을 쉽게 해석할 수 있음을 보였

다. 특히 $V_{GS}-V_{TH}$ 및 T_{OX} 가 변화에 따라 유효전자 이동도에 V_{TH} 가 미치는 영향을 보였으며, 이것은 전자이동도에서의 유효 전계효과로 설명된다. 낮은 $V_{GS}-V_{TH}$ 하에서 드리이빙 능력을 최대로 하기 위해서 R_{ch} 항이 최소가 되도록 해야한다.

제안된 공식의 적용예로서 다른 5 종류의 기술을 사용하여 채널저항, 소오스/드레인 저항 및 $E_{V_{TH}}$ 와 $E_{V_{GS}-V_{TH}}$ 에너지의 특성을 파악하였다. 이 결과로 부터 기술에 관계없이 진성저항(R_{sat})이 가장 중요하며 이것은 L_{eff} 를 스케일링한다 해도 등가dc저항(R_{TOT})을 줄이는데 큰영향을 미치지 못함을 의미한다. 기술이 스케일링됨에 따라 R_{sd} 의 영향은 점점 증가하며 게이트 지연시간에 τ_{pd1} 가 차지하는 비 또한 커진다. 이는 소오스/드레인 저항을 줄이기 위한 기술의 필요성과 V_{TH} 스케일링의 중요성을 나타내고 있다.

후 기

※ 본 연구는 LG반도체의 산학프로젝트 지원을 받아 수행되었습니다.

참 고 문 헌

- [1] Anantha P. Chandraksan, Samuel Sheng, and Robert W. Brodersen, IEEE J. Solid-State Circuits, Vol.27, pp.473-484, April 1992.
- [2] Masakazu Kakumu and Masaaki Kinugawa, IEEE Trans. Electron Devices, Vol. ED-37, pp. 1902-1908, Aug. 1990.
- [3] Z. Chen, J. Shott, J. Burr, J.D. Plummer, in Proc. Symp. on Low Power Electronics, pp.56-57, 1994.
- [4] H. Oyamatsu, M. Kinugawa, and M. Kakumu, in Proc. Symp. on VLSI Technology, pp.89-90, 1993.
- [5] Y. Mii, S. Wind, Y. Taur, Y. Lii, D. Klaus, and J. Bucchignano, in Proc. Symp. on VLSI Technology, pp.9-10, 1994.
- [6] M. Horowitz, T. Indermaur, and R. Gonzalez, in Proc. Symp. on Low Power Electronics, pp.8-11, 1994.

[7] Charles G. Sodini, Ping-Keung Ko, and John L. Moll, IEEE Trans. Electron Devices, vol.ED-31, pp.1386-1393, Oct. 1984.

[8] C. Hu, ISSCC Dig. Tech., pp.86-87, 1994.

[9] A. Azuma, T. Asamura, Y. Toyoshima and M. Kakumu, in Proc. Symp. on VLSI Technology, pp.129-130, 1994.

[10] Kiyoshi Takeuchi and Hasao Fukuma, IEEE Trans. Electron Devices, Vol.ED_41, pp.1623-1627, Sep. 1994.

저 자 소 개



姜大官(正會員)
 1980년 2월 경북대 전자공학과 학사. 1985년 2월 경북대 전자공학과 석사. 1984년 12월부터 현재까지 LG 반도체에 재직중. 1993년 3월부터 서울대학교 전기공학부 박사과정 재학중. 주관심분야는 저전압, 저전력을 위한 CMOS 소자설계 및 모델링.

朴榮俊(正會員) 第 27卷 第 6號 參照
 현재 서울대학교 전기공학부 부교수

閔弘植(正會員) 第 27卷 第 6號 參照
 현재 서울대학교 전기공학부 교수