

論文96-33A-3-7

ATM 교환시스템의 PBA 실장밀도 평가와 예측

(Evaluation & Forecasting of PBAs Packaging Density in an ATM Switching System)

李命鎬*, 田溶一*, 全炳胤*, 朴權喆*

(Moung Ho Lee, Yong Il Jun, Byoung Yoon Cheon, and Kwon Chul Park)

요 약

본 고에서는 ATM 교환시스템(1차 Network Test Bed)의 PBA(Printed Board Assembly) 실장관련 자료를 통계분석하여 PBA의 부품 실장면적과 소모전력관계를 회귀분석(regression analysis) 하오며 이를 이용하여 현재의 ATM 교환시스템(1차 Network Test Bed)에 사용되는 PBA의 실장 가능 최대 소모전력을 평가(evaluation) 하였다. 그리고, 현재 PBA에 실장되고 있는 TTL 소자의 실장면적을 ASIC 혹은 FPGA화 하였을 때 PBA당 실장 가능 최대 소모전력 예측(forecasting) 방법 및 그 결과를 제시 하였다. 또 앞으로 개발될 ATM 스위치 회로팩의 실장 한계를 통계적으로 예측(forecasting) 하였다. 이러한 평가(evaluation)와 예측(forecasting) 결과는 앞으로 개발될 ATM 교환기 제작시 중요한 설계 자료로써 시행착오 제거에 의해 많은 개발경비와 개발시간을 줄여 줄 수 있게 한다.

Abstract

In this paper, we analyze packaging data of the printed board assemblies (PBAs) of an ATM switching system(the first Network Test Bed) by statistical methods and discuss the relation between devices packaging area of a PBA and power consumption by a regression analysis method. As a result, we evaluate the maximum power consumption of the PBA. And, this paper presents a forecasting method of the packagable maximum power consumption per a PBA when TTL devices are replaced by ASIC or FPGA ones in a PBA. And, we forecast the possibility of packaging ATM Switch Circuit Packs in the near future from a statistical viewpoint. These evaluation and forecasting results can reduce much development cost and time because trial and error will not be made using these useful data when Phase II ATM switching system will be realized in the near future.

I. 서 론

멀티미디어 시대가 다가옴에 따라 초고속 디지털 통신을 가능하게 하는 ATM교환기의 개발이 진행되고 있다. 이러한 시스템의 전체 throughput은 2.4Gb/s 급에서 10Gb/s급 규모이며 현재 개발되고 있는 대부분의 교환기는 과거부터 교환기 시스템에 많이 사용하는 book-shelf실장방식을 사용하여 PBA(Printed

Board Assembly)를 다량 실장하고 있다.

본 고에서는 현재 개발되고 있는 ATM 교환시스템(1차 Network Test Bed)의 PBA 실장기술을 통계적으로 평가하였으며, 현재 PBA에 실장되고 있는 TTL 소자를 ASIC 혹은 FPGA화 함에 따라 증가되는 PBA 소모전력을 통계적으로 예측하여 앞으로 개발될 Phase II ATM 교환시스템의 실장방법을 사전 검토 하였다. Phase II ATM 교환시스템 제작시 가장 문제가 되는 것이 ATM 스위치회로팩 PBA 실장기술이며 본고에서는 통계적인 방법을 사용하여 예측 하였다.

본 고의 내용은 I. 서론, II. ATM 교환시스템의 실

* 正會員, 韓國電子通信研究所 ATM 交換研究室
(ETRI ATM Switching Sect.)

接受日字: 1995年10月12日, 수정완료일: 1996年2月10日

장에 관한 자료수집 및 통계 해석, III. ASIC과 FPGA화에 따른 PBA 소모전력 추정, IV. 결론 순으로 구성되어 있다.

II. ATM 교환시스템의 실장에 관한 자료수집 및 통계 해석

1. ATM 교환시스템 구성 및 구조도

ATM 교환시스템은 VP 서비스 기능을 수행하는 소형 ATM 교환시스템으로서 1차 NTB(Network Test Bed)용 시스템의 하드웨어 패키지(HV1.3) 구성 내역은 아래와 같다.

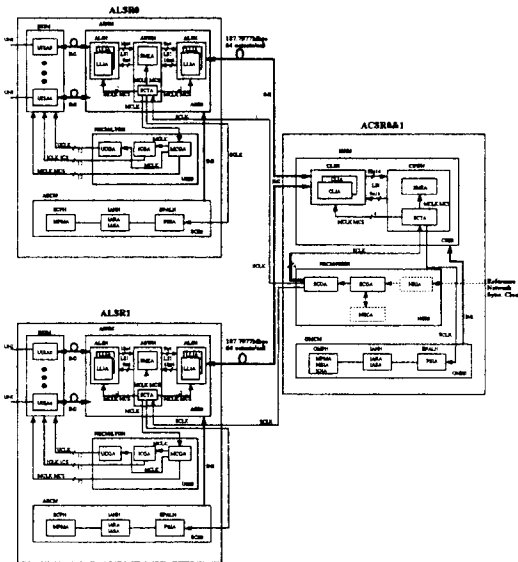


그림 1. ATM 교환시스템의 구조도
Fig. 1. Structure of an ATM switching system.

□ 스위치네트워크 규모 : 16 x 16 양방향 folded 구조

- ◆ link 속도 : 155.520 Mbps
8 links / ALS, 8 links / ACS
- ◆ 단위스위치 규모 : 16 x 16
- ◆ throughput : 2.5 Gbps

□ UNI 정합

- ◆ 155 Mbps interface
- ◆ VP 단위의 resource 제공
- ◆ Point-to-Point VP 교환서비스

- ◆ Semi-Permanent VP 접속
- 제어계 구성
 - ◆ TDX-10용 프로세서 및 CROS 사용
 - Processor capacity
 - Main CPU : 10 MIPS
 - Main Memory : 최대 32 Mbytes
 - IPC 링크 속도 : 187 Mbps
 - ◆ I/O interface capacity
 - 2 SCSI-2 버스 수용
 - 최대 8 serial 통신 채널 지원

II. ATM 교환시스템의 소모전력 계산 및 자료수집

소모전력에 대한 법칙(Rule-of-Thumb Method)은 평균 소모전력에 기준을 두고 약간의 오차를 수정하면 된다. 이러한 개념에 대해 간단한 예를 들어보자. 1000개의 소자가 서로 비슷하고 평균 소모전력이 m 이고 최대 소모전력이 근사적으로 $2m$ 이라고 가정하자(예를 들면 7404의 경우 $=95mW$, $=175mW$). 또, 회로는 통계적으로 서로 독립인 것을 가정한다. 이러한 경우 전체 소모전력 최대값과 평균값은 다음과 같이 계산할 수 있다.

평균값 m , 과 표준편차 σ ,를 갖는 독립변수 X ,의 합 $\sum X$,에 대한 분포는 평균값 m_{tot} 와 분산 σ_{tot}^2 인 정규 분포를 갖는다.

$$m_{tot} = \sum_{i=1}^{1000} m_i = 1000m$$

$$\sigma_{tot}^2 = \sum \sigma_i^2 = 1000\sigma^2$$

$$(3\sigma_{tot})^2 = \sum (3\sigma_i)^2 = 1000(3\sigma)^2$$

$$3\sigma_{tot} / m_{tot} = \sqrt{1000} \cdot 3\sigma / (1000m)$$

개별 소자의 경우 $3\sigma/m = 1$ 이라고 하더라도 전체 소모전력에 대한 spread 비를 구하면 다음과 같이 된다.

$$3\sigma_{tot} / m_{tot} = \sqrt{10} / 100 \approx 3.1\%$$

개별 소자에 있어서 평균값에 대해 100 [%]의 분포를 가지더라도 전체의 소자에 대해서는 3 [%]로 줄어 들게 된다. 결과적으로 PBA(Printed Board Assembly)에 비슷한 소자로 실장되는 경우 전체 최대

소모전력값은 평균 소모전력의 합과 거의 같음을 알 수 있다.

표 1. 1차 NTB(Network Test Bed)에 실장되는 PBA 관련 자료

Table 1. PBA packaging data in the first NTB(Network Test Bed).

PBA명	주요기능	소요량 (개)	소모 전력 (W)	실장 면적 (inch ²)	실장 밀도 (%)	디지털 GATE 수 (개)
CLIA	Central Link 정합	8	39	64.24	34.67	3377543
IARA	IPC AAL 수신	3	25	63.10	62.30	14542895
IASA	IPC AAL 송신	3	30	35.27	34.82	120253
ICGA	클럭발생 보드와 정합	2	30	41.29	22.29	21000
IOIA	입출력 정합	1	43	54.17	53.48	2717000
LLIA	Local Link 정합	8	39	64.24	34.67	377543
MCGA	클럭 발생	2	30	46.09	24.88	33600
MECA	Error 교정용 메모리	1	41	50.26	49.62	167775717
MPMA	주 프로세서와 메모리	3	30	66.08	65.24	217345916
MSIA	Mass storage 정합	1	36	69.64	68.76	1268928
PSAA	Port Switching Adapter	1	18	24.13	23.83	144
PSIA	프로세서와 스위치 정합	3	44	30.28	29.90	137478
SCDA	시스템 클럭 분배	1	39	41.35	34.96	2230
SCGA	시스템 클럭 발생	1	36	63.10	44.90	25872
SCTA	스위치 제어와 timing	4	34	97.87	52.82	2720627
SLID	카워와 Link 정합	14	10	11.40	77.48	54020
SMEGA	스위치 메모리	4	60	92.27	49.80	5248253
UCCA	사용자 클럭 발생	2	30	46.09	24.88	33600
UISA	사용자 Usage 정합	14	59	95.91	51.77	10330590

그러나, PBA에 여러 종류의 다양한 소자가 실장되며 전력 소모 소자가 각각 독립이라면 전체 소모전력 P_{tot} 는 다음과 같이 나타낼 수 있으며 하한값은 큰 의미를 가지지 못한다. 여기서 Δ_{tot} 는최대소모전력과 평균소모전력의 차이를 나타낸다.

$$m_{tot} - \Delta_{tot} < P_{tot} < m_{tot} + \Delta_{tot} \tag{1}$$

$$n_{tot} = \sum_1^n m_v \tag{2}$$

$$\Delta_{tot}^2 = \sum_1^n \Delta_v^2, (\Delta_v = 3\sigma_v) \tag{3}$$

n = 독립 전력 소모 소자 수

이 법칙은 전체 전력 소모 소자들에 대한 전체 전력

P_{tot} 가 10 [W] 이상이 되어야 적용할 수 있으며 TTL 게이트인 경우 다음과 같이 정의 할 수 있다. 아래의 식에서 아래 첨자 *mean, max, type*은 각각 평균, 최대값, 전형적인 값을 나타낸다.

$$m_v = P_{mean} = V_{CCmax} \cdot I_{type} + \text{수} [\%] \text{의 margin}$$

$$\Delta_v = P_{max} - P_{mean}$$

$$P_{max} = V_{CCmax} \cdot I_{CCmax}$$

위의 법칙을 사용하여 1차 Network Test Bed에 실장되는 PBA의 평균 소모전력을 구한 것이 표 1이다.

표 1에서 각 실장면적은 PBA에 실장되는 부품의 실장면적을 *inch²*로 표시 했으며 실장밀도는 PBA 면적대 부품 실장면적을 백분율 [%]로 나타내었다. 디지털 게이트 수는 논리 소자의 경우 1 NAND를 1 게이트로 보았으며, SRAM의 경우 1 bit을 1 게이트, DPRAM의 경우 1 bit을 1.5 게이트, ROM의 경우 4 bit을 1 게이트로 계산 하였다.

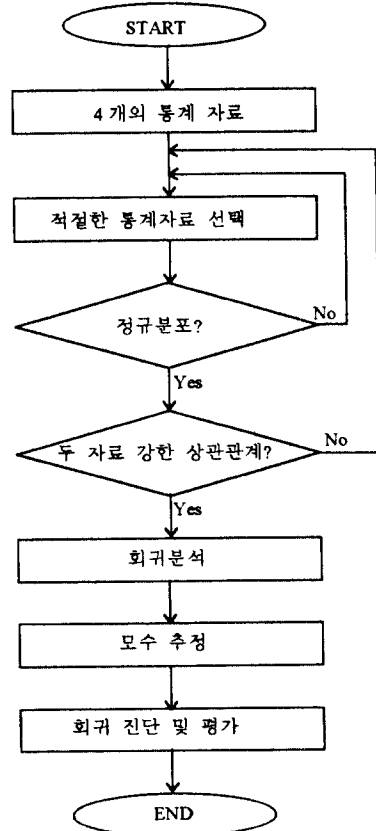


그림 2. 통계 자료의 회귀분석 흐름도
Fig. 2. Flow diagram for regression analysis.

III. ATM 교환시스템의 실장관련 자료 통계 해석

1차 Network Test Bed 에서 얻은 통계 자료를 표 1에 정리하여 놓았으며 4개의 항목으로 구성되어 있다. 각각의 항목은 PBA당 소모전력, PBA내의 부품 실장면적, PBA내의 부품실장밀도, PBA내에 실장되는 총 디지털 게이트 수이며 19개의 데이터로 되어있다. 이 4개의 통계자료 사이의 관계를 알기 위해 그림 2와 같이 SAS(Statistical Analysis System)패키지를 사용하여 회귀분석(regression analysis) 하였다. 회귀분석은 관련된 변수들의 상호 관련성을 알 수 있게 하며 자료에 포함된 한 변수가 또 다른 하나 이상의 변수들에 의해 어떻게 설명(explanation) 또는 예측(forecasting)되는지를 알 수 있는 적절한 함수식으로 표현되어 자료 분석을 가능하게 한다.

1. PBA 실장관련 자료 통계 분석 결과

회귀분석을 하려면 자료의 분포가 정규분포가 되어야 된다. 4개의 자료를 SAS 패키지의 UNIVARIATE 명령을 사용하여 표2와 같은 결과를 얻었다.

표 2. PBA의 4개 자료를 분석한 결과

Table 2. Analysis result of PBAs 4 data.

구분	정규분포	평균	표준편차	분산	
Test Bed	소모전력(W)	x	36.13158	16.62395	276.3558
	실장면적(inch ²)	x	58.34895	30.35486	921.4067
PBA	소모전력(W)	o	35.42105	11.94578	142.7018
	실장면적(inch ²)	o	55.09368	23.43775	549.3283
	실장밀도(%)	o	44.26684	16.6014	275.6065
GATE[개]	x	22428069	60646671	3.678E15	

이 자료에서 Test Bed(이하 1차 Network Test Bed를 NTB라 한다.)의 경우 특정 동일한 PBA를 다량 실장하므로써 통계 자료의 분포는 정규분포가 되지 않았으며, 19종의 PBA 종류별 자료는 게이트 수 자료를 제외하고 정규분포가 되었다. 게이트 수의 경우 PBA내에 메모리 소자가 실장되는가 아닌가에 따라 게이트 수가 큰 차이를 보여 정규분포가 되지 않았다. 따라서, 19종의 PBA 종류별 자료에서 소모전력, 실장면적, 실장밀도 3가지는 정규분포를 하여 회귀분석이 가능 하였다. 정규분포가 되는 앞의 3가지 자료를 소모전력과 실장면적, 소모전력과 실장밀도로 서로의 상관관계(correlation)를 SAS패키지를 사용하여 조사 하

였다. 이 경우 소모전력과 실장면적이 강한 상관관계를 나타내었으며 소모전력과 실장밀도는 소모전력과 실장면적 관계 보다 적은 상관관계를 나타내었다. 이것은 PBA 크기가 4종류가되어 소모전력에 대한 실장밀도의 상관관계가 적은 것 같다. 소모전력에 대한 표준편차를 σ_{power} 라 하고 실장면적에 대한 표준편차를 σ_{area} 라 하고 공분산을 $\sigma_{power \cdot area}^2$ 라 하면 상관계수(Correlation Coefficient) $\rho_{power \cdot area}^2$ 는 다음식으로 주어진다.

$$\rho_{power \cdot area} = \frac{\sigma_{power \cdot area}}{\sigma_{power}\sigma_{area}} \approx \frac{\sum_{i=1}^n (Y_{poweri} - \bar{Y}_{power})(Y_{areai} - \bar{Y}_{area})}{\sqrt{\sum_{i=1}^n (Y_{poweri} - \bar{Y}_{power})^2 \sum_{i=1}^n (Y_{areai} - \bar{Y}_{area})^2}} \quad (4)$$

표 3. Pearson Partial상관 계수

Table 3. Pearson Partial Correlation Coefficients.

	Power	Area
Power	1.00000 0.0	0.71546 0.0012
Area	0.71546 0.0012	1.00000 0.0

표3에서 $\rho_{power \cdot area} = 0.71546$ 으로 강한 상관관계를 나타낸다. 따라서, 실장면적을 변수로 소모전력에 대한 회귀분석을 할 수 있다. SAS패키지의 회귀분석 결과는 다음과 같다. 표4에서 왼쪽 위에서 아래로 SSR(Sum of Squares Regression), SSE(Sum of Squares Error), TSS(Total Sum of Squares) 값¹¹⁾이 정리되어 있다. 예를 들면 C Total은 TSS를 나타낸다.

표 4. SAS패키지에 의한 회귀분석 오차

Table 4. Regression analysis errors by SAS package.

Source	Df	Sum of Squares	Mean Square	F Value	Prob > F
Model	1	1154.81695			
Error	17	1413.81463	1154.81695	13.886	0.0017
C Total	18	2568.63158	83.16557		

표 4에서 결정계수(Coefficient of Determination)¹¹⁾ 값을 계산할 수 있으며 결정계수 R^2 값이 크면 클수록 좋은 모형이다.

$$R^2 = \frac{SSR}{TSS} = \frac{TSS - SSE}{TSS} = 1 - \frac{SSE}{TSS} \cong 0.45$$

표 5. SAS패키지에 의한 모수 추정 결과
Table 5. Parameter estimation results by SAS package.

변 수	DF	모수 추정	표준 오차	T for Ho	Prob> T
INTERCEP	1	16.592968	5.46869793	3.034	0.0075
AREA	1	0.341747	0.09171060	3.726	0.0017

표 5에서 모수 추정 결과 P value가 0.05 보다 매우 더 적어(0.0075<<0.05, 0.0017<<0.05) 모수 추정 결과는 매우 신뢰성이 있으며 추정된 소모전력을 \hat{Y} 이라 하고 변수 X를 실장면적이라 하면 다음의 추정식¹¹⁾이 성립한다. 여기서 Y_i 는 일반적인 선형 회귀식을 나타내며, β_0, β_1 은 회귀식의 계수이며 ϵ_i 는 잔차(true residuals)를 나타낸다.

$$Y_i = \beta_0 + \beta_1 X_i + \epsilon_i \quad (5)$$

$$\hat{Y} = b_0 + b_1 X \quad (6)$$

$$= 16.592968 + 0.341747 \cdot X \quad (7)$$

식(7)은 $11.40 [inch^2] \leq X \leq 97.87 [inch^2]$ 범위내에서는 잘 성립하나 경계 구간을 벗어나면 날수록 오차가 더 많이 발생한다. 특히 하한쪽 경계에 심한 오차를 발생 시킬 수 있으므로 사용시 주의하여야 한다.

2. PBA 실장면적에 대한 소모전력 추정 및 평가
식(7)에서 추정된 PBA의 소모전력과 실장면적인 변수 X에 대해 그린 그림이 다음 그림 3이다. 이 그림에서 계산값(calculated value)은 자료의 데이터 값을 나타낸다.

잔차(true residuals) $\epsilon_i = Y_i - E(Y_i)$ 는 다음의 가정을 만족하여야 회귀모형이 타당하며 등분산 조건이 확립된다. 이러한 확인과정을 회귀진단¹¹⁾이라고 한다.

- 잔차는 기대값이 0이고 분산을 가지며 변수값에 상관없이 일정한 값이다.
- ϵ_i 와 ϵ_j 는 $i \neq j$ 이면 서로 독립이다.
- ϵ_i 는 정규분포를 따른다.

추정과정에서 발생하는 잔차(residuals)와 ESR (Externally Studentized Residuals)의 SAS패키

지 "UNIVARIATE" 분석은 표 6과 같다.

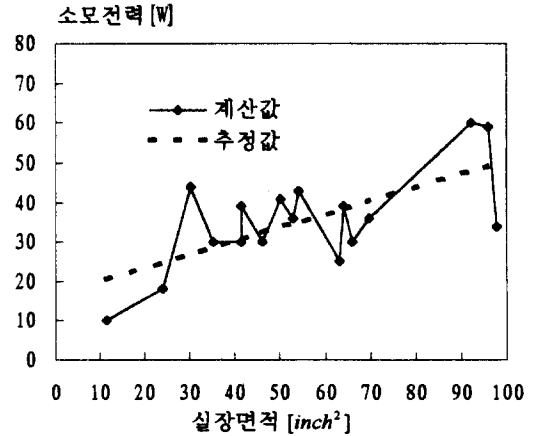


그림 3. PBA의 실장면적에 대한 소모전력 추정
Fig. 3. Power consumption estimation for PBA packaging area.

표 6. 잔차 및 ESR 분석표
Table 6. Analysis of residuals and ESR.

	분 포	평균	분 산
잔차	정규분포 Pr< 0.9356	0	78.54526
ESR	정규분포 Pr<W 0.9912	-0.0288	1.238796

일반적인 잔차(residuals)의 분산¹⁵⁾은 다음과 같이 정의 된다. 여기서, S_e 는 잔차(residuals)의 표준 오차, n 은 자료의 데이터 수, X_0 는 계산하고자 하는 부품 실장면적, \bar{X} 는 부품 실장면적의 데이터 값의 평균, X_i 는 각각의 부품 실장면적 데이터 값이다.

$$s_e^2 = s_e^2 \left[\frac{1}{n} + \frac{(X_0 - \bar{X})^2}{\sum_{i=1}^n X_i^2 - \frac{(\sum_{i=1}^n X_i)^2}{n}} \right] \quad (8)$$

단,

$$S_e^2 = \frac{[\sum_{i=1}^n Y_i^2 - \frac{(\sum_{i=1}^n Y_i)^2}{n}] - b_1^2 [\sum_{i=1}^n X_i^2 - \frac{(\sum_{i=1}^n X_i)^2}{n}]}{n-2} \quad (9)$$

식(9)에서 Y_i 는 소모전력 데이터 값이며 b_1 은 식(6)의 계수이다.

식(9)와 (8)을 사용하여 잔차(residuals)의 표준편

차와 분산을 계산하여 그린 것이 다음 그림4이다. 이 그림 4에서 식(7)의 정의된 영역을 벗어나면 벗어날수록 잔차(residuals)의 분산이 더 커져 추정된 값의 계산 오차가 증가 됨을 알 수 있다.

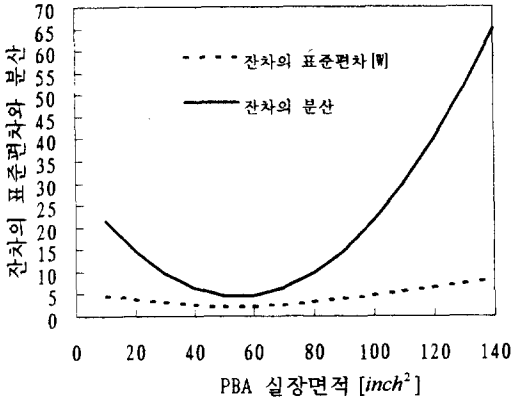


그림 4. 잔차(residuals)의 표준편차와 분산
Fig. 4. Standard deviations and Variances of residuals.

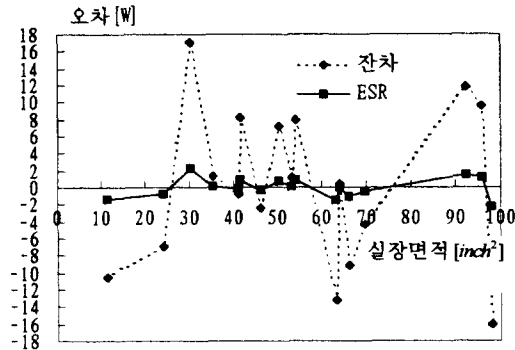


그림 5. 회귀분석에 따른 잔차(residuals)와 ESR
Fig. 5. Residuals and ESR by regression analysis result.

그림 4에서 잔차(residuals) $e_i = Y_i - \hat{Y}_i$ 의 분산이 일정하지 않다는 점에서 수정된 잔차가 필요하며 수정된 잔차중의 하나가 외표준잔차(ESR: Externally Studentized Residuals)이다. i 번째 관측점 (X_i, Y_i) 를 제외한 $n-1$ 개의 관측치로 회귀모형을 적합시켰을 때 오차항 분산의 추정치 $\sigma(i)^2$ 을 사용하여 정의한다.

$$t_i = \frac{e_i}{\sigma(i)\sqrt{1-h_{ii}}} \quad (10)$$

$$\text{단, } h_{ii} = \frac{1}{n} + \frac{(x_i - \bar{X})^2}{\sum_{j=1}^n (X_j - \bar{X})^2} \quad (11)$$

그림 5에서 ESR값이 실장면적 30(PSIA: Processor Switch Interface Board Assembly), 63(IARA: IPC AAL Receiver Board Assembly), 98(SCTA: Switch Control and Timing Board Assembly) 1 inch^2 인 경우 각각 1.988, -1.487, -2.014로 어느 정도 커서 이러한 것들에 대해서는 회귀모형이 적합하다고 할 수는 없으나 전체적으로 회귀 진단에는 이상이 없다.

$X = X_0$ 에서 추정치 \hat{Y} 의 95% 신뢰구간(CI: Confidence Interval)^{15) 17)}은 다음식으로 주어진다. 여기서 S_e 은 잔차(residuals)의 표준오차이고 t_{n-2} 는 자유도 $n-2=17$ 과 $\alpha=0.025$ 를 사용하여 t -분포 수표로부터 2.110이 얻어졌다. 이 95% 신뢰구간을 그린 것이 그림 6이다.

$$(b_0 + b_1 X_0) \pm t_{n-2} S_e \sqrt{\frac{1}{n} + \frac{(X_0 - \bar{X})^2}{\sum_{i=1}^n X_i^2 - \frac{(\sum_{i=1}^n X_i)^2}{n}}} \quad (12)$$

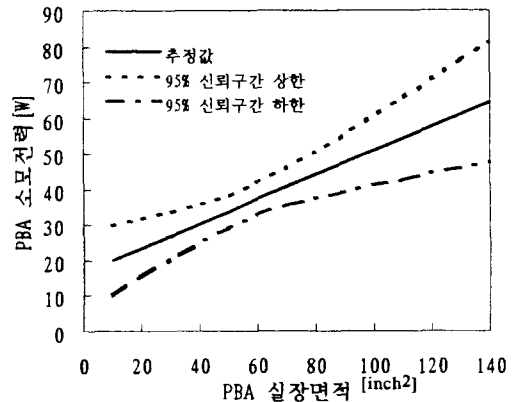


그림 6. 추정값의 95% 신뢰구간
Fig. 6. 95% confidence intervals of estimation value.

그림 6에서 식(7)의 정의된 영역을 벗어나면 날수록 신뢰구간이 넓어짐을 알 수 있고 이것은 추정된 값의 오차가 더 커진다는 것을 의미 한다.¹⁵⁾

PBA 실장면적에 대한 소모전력 추정식 (7)과 식 (12)에서 현재 NTB에 실장되는 PBA의 실장능력을 평가 할 수 있다. 최대 부품실장면적을 PBA 크기의 70%라고 가정한다면 다음 표7과 같은 평가 자료를 얻

을 수 있다.

표 7. NTB의 PBA 실장 능력 평가
Table 7. PBA packaging capacity evaluations of NTB.

PBA의 종류	크기 [inch ²] (가로x세로)	부품실장 면적 [inch ²]	추정된 평균 소모전력 P _(70%) [W]	95% 신뢰구간 (하한, 상한) [W]
I형	11.3x16.3	129	61	(46.76)
II형	11.3x10.4	82	45	(38.51)
III형	11.0x9.1	70	41	(35.46)

표 7의 I형 PBA에서 현재 실장기술로 최대 실장 가능한 평균적인 소모전력은 약 61 [W] 정도이며 95% 신뢰구간 상한에서는 약 76 [W]가 된다. 따라서, 이 한계값 이상 실장하려면 현재의 PBA 실장방법에 개선이 있어야만 가능하다. 예를 들면, Phase II 스위치 회로팩의 소모전력은 약 140 x 2 [W]가 예상되며 2매의 PBA로 구현한다면 PBA 1매당 140 [W] 실장이 가능해야 한다. 따라서, 현재의 PBA 실장기술로 Phase II 스위치 회로팩을 2매의 PBA로 실장하기는 어려운 것 같다. 다음 장에 이러한 것에 대하여 자세히 언급한다.

III. ASIC과 FPGA화에 따른 PBA 소모전력 추정

현재의 PBA 실장기술에서 개선방법은 여러가지로 생각할 수 있으나 PBA의 기구물적인 변경 없이 실장 밀도를 증가시키는 방법은 ASIC(Application Specific Integrated Circuit)과 FPGA(Field Programmable Gate Array) 소자를 현재 보다 더 많이 사용하는 것이다. 그림 7은 현재 사용되는 전체 게이트 소자의 분포표이며 이 그림에서 알 수 있는 것은 Memory 소자가 전체의 96%를 차지하고 있다.

그림 8은 전체에서 Memory 소자를 제외한 Gate 소자 분포표이며 Memory 소자를 제외한 경우 TTL IC가 78%를 차지함을 알 수 있다. 여기서 TTL IC가 차지하는 실장면적이 얼마 인가를 알 필요가 있으며 그림9에 전체 소자의 실장면적 분포표를 나타내었다.

그림 9 전체 소자의 실장면적 분포표에서 Memory 소자는 7%를 차지하여 TTL 소자의 37%에 비해 상대적으로 매우 적다. 따라서, 현재 전체 실장면적의

37%를 차지하는 TTL 소자를 ASIC 또는 FPGA로 실장한다면 PBA의 실장밀도는 현재보다 상당히 높아지게 될 것으로 생각된다. 만약, ASIC 혹은 FPGA화하기전 TTL의 IO pin count 와 ASIC 혹은 FPGA화 한후의 IO pin count 수가 같다고 가정하고 전체 소자의 실장면적에 37%를 차지하는 TTL 소자를 ASIC 혹은 FPGA화 한다면, 이 경우 37% 중의 10% 정도를 ASIC 실장면적, FPGA 실장면적, ASIC 혹은 FPGA가 되지않은 소수의 TTL 소자면적, 소자간 Clearance 등으로 본다면 나머지 약 27% 실장면적은 그림 9의 실장 비율로 다른 부품이 실장 가능하다.

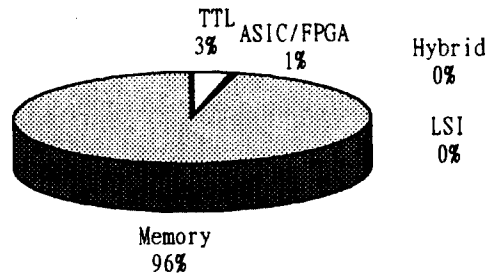


그림 7. 전체 실장 Gate 소자 분포표
Fig. 7. Distribution table of total Gate devices.

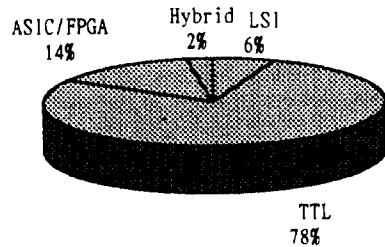


그림 8. 전체소자에서 Memory 소자 제외 실장 소자 분포표
Fig. 8. Packaging devices distribution table exception Memory devices in total devices.

표 8은 표 7에서 구한 것과 같은 방법으로 약 27% 실장면적에 대한 평균 소모전력을 구했다. 이 계산 과정에서 27% 실장면적이 그림9의 비율로 실장하기 때문에 PBA 부품 실장면적의 약 10 [%] (= 0.27x0.37x100 [%]) 정도는 TTL 소자가 ASIC 혹은 FPGA화 되지 않는다. 따라서, 이 10%를 보상하기 위해 표 9를 계산 하였다.

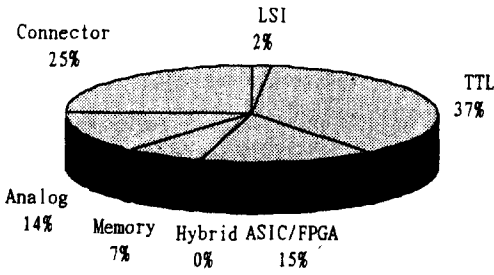


그림 9. 전체 소자의 실장면적 분포표
Fig. 9. Packaging area distribution table of total devices.

표 8. 현재 TTL 소자 실장면적을 ASIC/FPGA화 함에 따라 증가되는 소모전력
Table 8. Increasing power consumption by replacing current TTL devices to ASIC/FPGA.

PBA의 종류	부품실장 면적 [inch ²]	27% 부품실장 면적 [inch ²]	추정된 평균 소모전력 $\bar{Y}_{(27\%)} [W]$	95% 신뢰구간 (하한, 상한) [W]
I형	129	35	29	(23, 34)
II형	82	22	24	(16, 32)
III형	70	19	23	(15, 31)

표 9. 10% 실장면적에 대한 평균 소모전력 계산
Table 9. Mean power consumption in 10% packaging area.

PBA의 종류	부품실장 면적 [inch ²]	10% 부품실장 면적 [inch ²]	추정된 평균 소모전력 $\bar{Y}_{(10\%)} [W]$	분 산
I형	129	13	6	?
II형	82	8	4	?
III형	70	7	4	?

표 9에서 10% 부품 실장면적이 너무 적어 추정식 식(7)을 사용할 수 없으며 근사적으로 평균 소모전력을 구했다. 즉, 표 7에서 평균 소모전력 $\bar{Y}_{(10\%)} [W] = \{ \text{추정된 평균 소모전력} [W] / \text{부품 실장면적} [inch^2] \} \times 10\% \text{ 부품 실장면적} [inch^2]$ 으로 구했다. 표7, 표8, 표9의 추정된 평균 소모전력을 식(1), (2), (3)의 Rule-of-Thumb Method로 구한 것이 표10이며 최대 소모전력은 식(8), (9), (12)에서 다음 식들을 얻는다. 단, 첨자 %는 PBA의 부품 실장면적 백분

율을 나타낸다. 이 계산에서 피할 수 없는 면적 계산 오차는 그림9의 비율로 실장하기 때문에 +3.7%(10% x 0.37) 정도 발생하나 전체 계산 결과에 미치는 영향은 극히 적다.

$$\text{최대 소모전력} = \bar{Y}_{tot(\text{mean})} + 2.110 \cdot \sigma_{tot} [W]$$

$$\bar{Y}_{tot(\text{mean})} = \bar{Y}_{(70\%)} + \bar{Y}_{(27\%)} + \bar{Y}_{(10\%)} [W]$$

$$\sigma_{tot} = \sqrt{\sigma_{x(70\%)}^2 + \sigma_{x(27\%)}^2} [W]$$

단, $\sigma_{x(70\%)}$ 은 식(8)에서 $x_0 = 70\%$ 실장면적의 경우 잔차 분산을 계산하거나 그림4에서 근사적으로 얻는다.

표 10. 현재 TTL 소자 실장면적을 ASIC/FPGA화 하는 경우 PBA 소모전력

Table 10. Predicted PBA power consumption in case of replacing current TTL devices with ASIC/FPGA.

PBA의 종류	크기 [inch ²] (가로x세로)	부품실장 면적 [inch ²]	추정된 평균 소모전력 [W]	추정된 최대 소모전력 [W]
I형	11.3x16.3	129	96	112
II형	11.3x10.4	82	73	83
III형	11.0x9.1	70	68	78

이 표에서 알 수 있는 것은 현재 실장되고 있는 TTL 소자를 거의 대부분 ASIC 혹은 FPGA화 한다면 I형 PBA당 평균 소모전력은 약 96 [W]가 되며 최대 소모전력은 약 112 [W]가 된다. 따라서, PBA 1매당 약 140 [W]가 될 것으로 예상되는 Phase II 스위치 회로팩은 기존의 실장방법에서 IO pin count 수가 같은 상태에서 TTL 소자를 거의 대부분 ASIC 혹은 FPGA화 하더라도 구현이 어렵다. 따라서, IO pin count 수를 대폭 줄이는 형태로 ASIC 혹은 FPGA화 하고 다른 소자들도 ASIC화 한다면 구현 가능하다.

IV. 결론

본 고에서는 PBA(Printed Board Assembly)의 소모전력 계산 방법을 제시 하였으며, PBA의 소모전력과 실장면적에 관한 회귀분석(regression analysis)을 하였으며 회귀분석 도구로 SAS (Statistical

Analysis System) 패키지를 사용 하였다. 회귀분석 결과 현재의 1차 NTB(Network Test Bed)에 사용되는 PBA의 실장능력은 표A와 같이 평가 되었다. 단, 부품 실장면적은 부품간 Clearance 고려하여 PBA면적의 70 [%]로 하였다.

표 A. 1차 NTB의 PBA 실장 능력
Table A. The packaging capabilities of the PBAS in the first NTB.

PBA의 종류	크기 [inch ²] (가로x세로)	부품실장 면적 [inch ²]	추정된 평균 소모전력 [W]	95% 신뢰구간 (하한, 상한) [W]
I형	11.3x16.3	129	61	(46, 76)
II형	11.3x10.4	82	45	(38, 51)
III형	11.0x9.1	70	41	(35, 46)

표 B에서 현재 1차 NTB의 PBA에 실장되고 있는 TTL 소자를 거의 대부분 ASIC 혹은 FPGA화 하면 I형 PBA당 평균 소모전력은 약 96~112 [W]로 증가됨을 알 수 있다.

표 B. 현재 TTL 소자 실장면적을 ASIC/FPGA화 하는 경우 PBA 소모전력
Table B. The power consumption of the PBAS where the current TTL devices are replaced with ASIC and FPGA.

PBA의 종류	크기 [inch ²] (가로x세로)	부품실장 면적 [inch ²]	추정된 평균 소모전력 [W]	추정된 최대 소모전력 [W]
I형	11.3x16.3	129	96	112
II형	11.3x10.4	82	73	83
III형	11.0x9.1	70	68	78

표 B를 구하는데 사용한 계산 방법을 사용하여 1차 NTB의 PBA에 실장되고 있는 TTL 소자를 부분적으로 ASIC 혹은 FPGA화 함에 따라 증가되는 PBA당 평균 소모전력과 최대 소모전력을 계산할 수 있다.

이와 같은 평가 및 예측 방법은 다음에 개발되는 ATM 교환기의 PBA 실장에 관한 시행착오를 줄여 줄 수 있으며 이에 따라 개발 비용의 절감과 개발 시간을 단축 시킬 수 있다.

참 고 문 헌

- [1] 허명희, 서해선, "SAS 회귀분석", 자유아카데미, pp. 2-2 ~2-9, 2-15~2-20, 3-15~3-16, 4-1~4-6, 1994. 11
- [2] 김기영, 문권순, 전명식, "SAS 상관분석", 5-12, 21-24, 1992
- [3] Ingram Olkim, Leon J. Cleser, Cyrus Derman, "Probability Models and Applications", Macmilian College Publishing company, pp. 293, 503, 1994.
- [4] 小村賢二, "豫測 のための 統計學", 光洋書房, pp. 293, 503, 1994.
- [5] 好田順治, "エシセンシャル 統計學", 光洋書房, pp. 93-96, 151-154, 164-174, 1990.
- [6] 好田順治, "確率 モデルによる 統計的方法", 光洋書房, pp. 99-102, 1978.
- [7] 최종석외 4인, "통계학 개론", 정익사, pp. 189-205, 1992

저 자 소 개



李 命 鎬(正會員)

1954년 8월 12일생. 1977년 2월 고려대학교 전자공학과(학사). 1983년 2월 고려대학교 대학원 전자공학과(석사). 1983년 6월 ~ 현재 한국전자통신연구소 ATM 교환연구실 선임연구

구원



田 溶 一(正會員)

1958년 9월 5일생. 1981년 2월 고려대학교 전기공학과(학사). 1983년 2월 한국과학기술원 전기공학과(석사). 1983년 3월 ~ 1987년 3월 금성정밀(주) 주임연구원. 1987년 4월 ~ 현재 한국전자통신

연구소 ATM 교환연구실 선임연구원



全 炳 胤(正會員)

1962년 3월 5일생. 1984년 2월 아주대학교 전자공학과(학사). 1987년 8월 한국과학기술원 전기 및 전자공학과(석사). 1987년 9월 ~ 현재 한국전자통신연구소 ATM 교환연구실

선임연구원



朴 權 喆(正會員)

1953년 10월 8일생. 1977년 2월 고려대학교 전자공학과(학사). 1979년 2월 고려대학교(석사). 1988년 2월 고려대학교 대학원 전자공학과(박사). 1982년 2월 ~ 현재 한국전자통신연구소 ATM 교

환연구실장