

전계제한테와 측면 유리 절연막 사용한 전력용 $p-n$ 접합 소자의 항복 특성 연구

論 文
45~3~9

A Study on the Breakdown Characteristics of Power $p-n$ Junction Device Using Field Limiting Ring and Side Insulator Wall

許昌洙*·秋殷相**
(Chang-Soo Huh · Eun-Sang Choo)

Abstract - Zinc-Borosilicate is used as a side insulator wall to make high breakdown voltage with one Field Limiting Ring in a power $p-n$ junction device in simulation. It is known that surface charge density can be yield at the interface of Zinc-Borosilicate glass / silicon system. When the glass is used as a side insulator wall, surface charge varied potential distribution and breakdown voltage is improved 1090 V under the same structure. The breakdown voltage under varying the surface charge density has a limit value. When the epitaxial thickness is varied, the position of FLR doesn't influence to the breakdown characteristic not only under non punch-through structure but also under punch-through structure.

Key Words : Zinc-Borosilicate glass, Surface charge, Field Limiting Ring

1. 서 론

전력용 반도체 소자의 고내압화를 위한 junction termination 방법 중의 하나인 전계제한테(Field Limiting Ring)기법은 주 접합 확산공정시 설치할 수 있기 때문에 추가 공정이 필요 없고, 패턴화의 자유로움으로 인하여, 한 웨이퍼 내에 다수의 소자를 설계할 수 있다는 장점이 있다[1]. 그러나, 고내압을 이루기 위해서는 다수의 전계제한테를 사용해야 하므로 설치 수가 증가함에 따라 최적화의 문제가 발생하며, 동시에 주접합에 비하여 소자의 크기를 상당히 증가시킨다는 단점이 있다. 한편 전력용 반도체 소자의 passivation 재료로서 Zinc-Borosilicate 유리를 사용할 경우 소성 성분비와 소성 온도에 따라 실리콘과의 계면에 표면전하(surface charge)를 인가할 수 있음이 알려져 있다[2, 3].

본 연구에서는 전력용 $p-n$ 접합 소자의 고내압화에 있어서 전계제한테 기법을 사용하여 미세 패턴화의 장점을 살리는 동시에 소자 측면에 Zinc-Borosilicate 유리를 사용한 절연막을 설치함으로써 추가로 전계제한테를 설치하지 않고도 항복 전압의 향상을 얻고자 하였으며, 표면전하량 및 에피택셜층의 폭을 변화시킴으로써 항복특성에 있어서 전계제한테, 표면전하량, 에피택셜층이 상호간에 끼치는 영향을 고찰하여 향후 설계의 근거로 삼고자 하였다.

2. 원 리

Zinc-Borosilicate 유리란 ZnO, B₂O₃, SiO₂을 주성분으로 CeO₂, Ta₂O₅, Sb₂O₃, 등을 첨가하여 제조하며, SiO₂막과는

달리 유리 망목구조가 치밀하여 알카리 이온의 이동도를 작게 하고 반도체 표면의 전하상태를 안정시킬 수 있어서 전기적 안정성이 뛰어나다[4]. 또한 실리콘과 열팽창 계수 차가 작으므로 두꺼운 막의 제조가 가능하다. 지금까지의 연구에 의하면 이 Zinc-borosilicate 유리 사용할 경우, 소성 성분비의 조절 및, 소결시간의 변화에 따라 실리콘과의 계면에서 전체적으로 10¹¹cm⁻²차수의 밀도를 가지는 음의 표면전하를 도출할 수 있는 것으로 알려져 있다. 문헌에서 보고된 결과를 그림 1에 나타내었다.

이 유리를 이용하여 전계제한테 소자의 측면에 절연막을 설치할 경우, 표면전하들은 반도체 소자의 접합 부분에 역바이어스가 인가된 상황에서 공핍층내의 공간전하와 작용함으로써, 실제 공핍층에서 발생하는 접합면사이의 전위를 변화시키게 된다. 이 현상은 n 형 반도체-유리 절연막 사이에서 공핍층의 확장을 가져오게 되며 결과적으로 전계제한테의 곡면에 대한 전계 집중 효과를 완화하게 되어, 이곳에서의 항복현상을 지연시킴으로써 항복 특성의 향상을 가져올 것이라 예상되었다.

3. 모의 실험 및 고찰

위 원리의 검증을 위하여 소자 시뮬레이터인 SILVACO사의 ATLASII를 이용하여 모의 실험을 수행하였다. 모의 실험을 위한 소자의 구조도를 그림 2에 나타내었으며, 계면에 음전하가 존재할 경우 n 형 에피택셜층에서 공핍층의 확장 모습도 함께 나타내었다. 또한 기본적인 설계 parameter들을 표 1에 나타내었다. 이때 확산층의 측면 확산 비는 수직 확산의 80%로 하였다.

3.1 동일구조에서의 모의실험

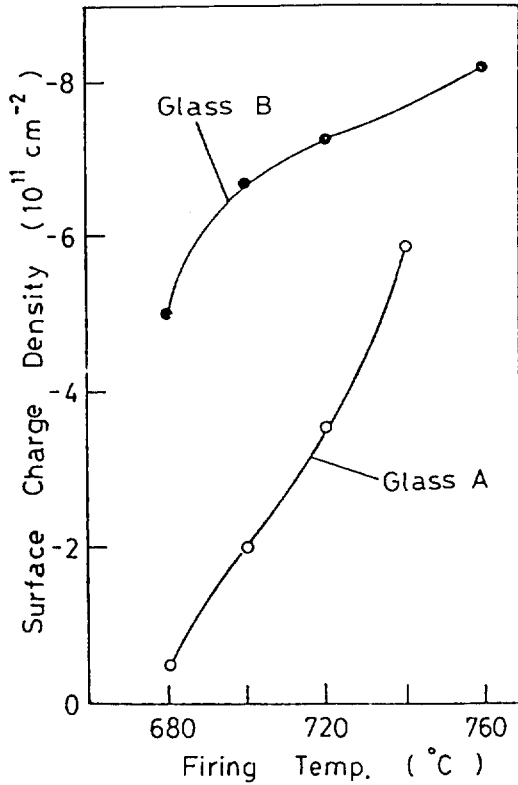
전계제한테와 측면절연막의 전하량 간의 상호관계를 검증하

*正 會 員 : 仁荷大 工大 電氣工學科 教授 · 工博

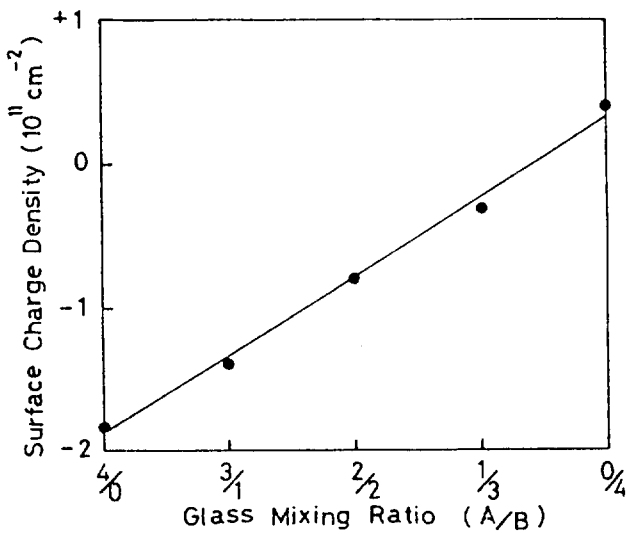
**正 會 員 : 仁荷大 大學院 電氣工學科 碩士課程

接受日字 : 1995年 12月 19日

最終完了 : 1996年 2月 15日



(a) 소성온도에 따른 특성



(b) 성분비에 따른 특성

그림 1 Zinc-Borosilicate의 표면전하^{[2][3]}
Fig. 1 Surface charge of zinc-Borosilicate

기 위하여 측면절연막을 설치한 경우와 비설치 경우 각각에 한 개의 전계제한테를 설치하고 이를 이동시켜 최적화 시의 상호변화를 고찰하였으며 측면절연막이 항복 전압에 끼치는 영향을 보다 정확히 고찰하기 위하여 non-punchthrough 구조를 채택하였다. 측면절연막은 다음 표 2와 같은 자료에 근거하여^[5]

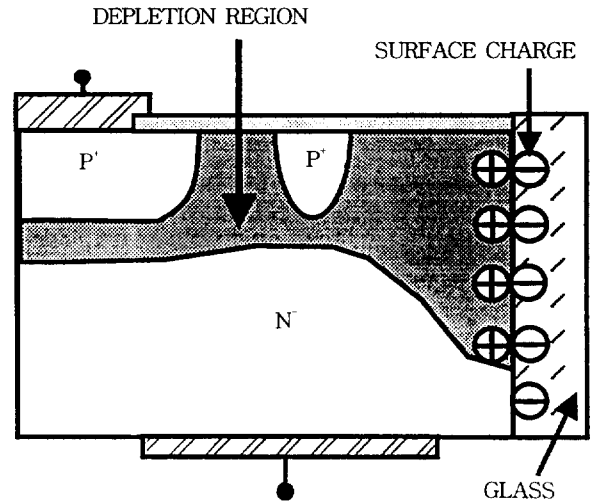


그림 2 측면절연막 설치시의 소자구조
Fig. 2 Device Structure with side insulator wall

표 1 1 모의 실험에 사용된 소자설계 파라미터
Table 1 Device design parameter used in simulation

p형 확산층 농도	$6 \times 10^{17} \text{cm}^{-3}$	확산층 접합깊이	20 μm
n형 에피층 농도	$5 \times 10^{13} \text{cm}^{-3}$	측면유리 절연층 폭	10 μm
주접합 mask폭	100 μm	FLR 폭	20 μm

표 2 zinc-borosilicate 유리의 permittivity 및 $\tan \delta$
Table 2 Permittivity and $\tan \delta$ of Zinc-Borosilicate glass^[5]

		a	b
permittivity	1 MHz	7.8	7.8
	10 MHz	7.9	7.9
$\tan \delta$	1 MHz	0.11	0.14
	10 MHz	0.19	0.24

permittivity를 8(F/m)로 하였고, 계면전하 인가를 위해 측면절연막과 실리콘 사이를 interface명령을 통해 전하를 인가하였다.

본 연구에서는 3000V이상의 항복 전압을 만족할 수 있도록, 저항률 86 Ωcm 의 one side lapping wafer를 가정하였으며, 저농도 기판위에 고농도 도핑을 한경우 계단 접합을 가정한다면, 항복현상이 일어나는 순간에서 전계와 도핑농도와의 관계는 다음과 같다.

$$E_{MAX} = 4010N_B^{(1/8)} V/cm \quad (1)$$

또한 이때의 항복 전압은 다음과 같이 나타낼 수 있다^[6].

$$BV_{PP} = 6.40 \times 10^{13} N_B^{-3/4} V \quad (2)$$

이때 위에서 가정한 저항률에 따른 도핑농도는 $5 \times 10^{13} / \text{cm}^3$ 임으로, wafer의 항복전압에 대한 임계값은 3403 V가 되어,

선정한 wafer는 모의실험에 적합하다고 사료되었다. 또한 이경우의 역전압인가로 인한 공핍층 확산은 다음의 식에 의해[7]

$$W_C = 2.67 \times 10^{10} N_B^{-\frac{7}{8}} \text{ cm} \quad (3)$$

가 되고, 이때 공간전하층의 확장 길이는 $275 \mu\text{m}$ 가 된다. 본 모의실험에서는 저농도층(에피층)의 깊이를 $280 \mu\text{m}$ 로 설정하여, 목적하는 항복전압을 얻고자 하였다.

본 모의실험을 위하여 실리콘-절연막간의 계면전하는 $-6 \times 10^{11} / \text{cm}^2$ 으로 고정시켰으며 에피층의 두께 및 고농도 확산 부분의 접합깊이도 고정 시킴으로써 동일구조상에서 실험을 하고자 하였다. 단 주접합과 전계제한테와의 간격을 $35 \mu\text{m}$ 에서 $50 \mu\text{m}$ 까지 $5 \mu\text{m}$ 간격으로 변화시켜 절연막을 설치한 경우와 비 설치 경우에 있어서 전계제한테와 항복전압과의 관계를 고찰하고자 하였다.

그림 3을 통해 실리콘-절연막간에 생성된 표면전하에 의한 인가역전압에 의한 전계 벡터가 절연막을 향하여 바뀌는 것을 확인할 수 있으며, 최대 전계값은 $2.09 \times 10^5 \text{ V/cm}$ 를 나타내고 있다. 그러나 벡터의 방향은 주접합에 가까와 짐에 따라 표면전하의 영향으로 부터 벗어나고 있다. 따라서 절연막의 표면전하는 주로 전계제한테를 중심으로한 공간전하층에 영향을 줄 수 있다.

그림 4에서는 등전위선을 2차원적으로 나타내었다. 등전위간의 전압차는 310 V 이고 수평방향으로 절연막까지 punch-through된 것을 알 수 있다. 절연막까지 도달한 공간전하영역은 반도체-절연막간의 표면전하의 영향을 받아 아래쪽으로 확장되는 것을 확인할 수 있으며, 결과적으로 전계제한테 우측하단에

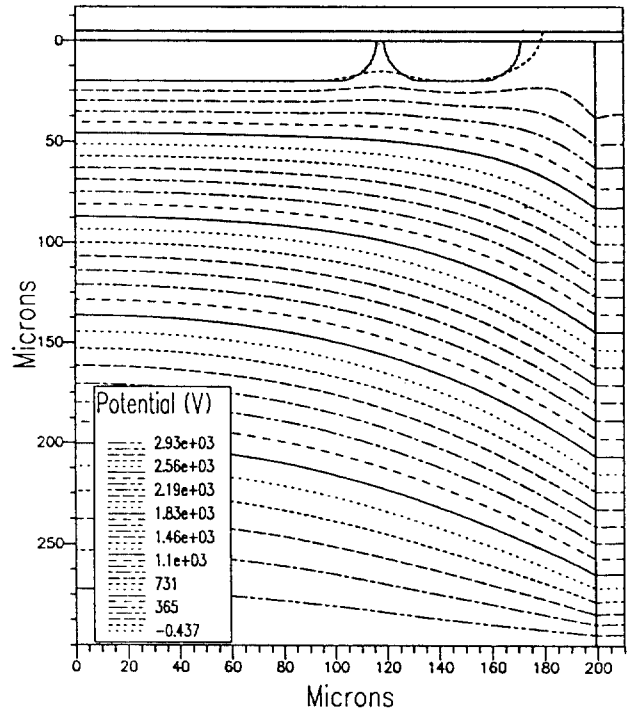


그림 4 표면전하인가시의 전위 분포
Fig. 4 Potential Distribution with surface charge

서의 전계 약화를 가져오게 되어 본 연구에서의 가정이 타당함이 입증되었다.

다음 그림 5는 간격 $35 \mu\text{m}$ 에서의 항복현상에 대한 결과이

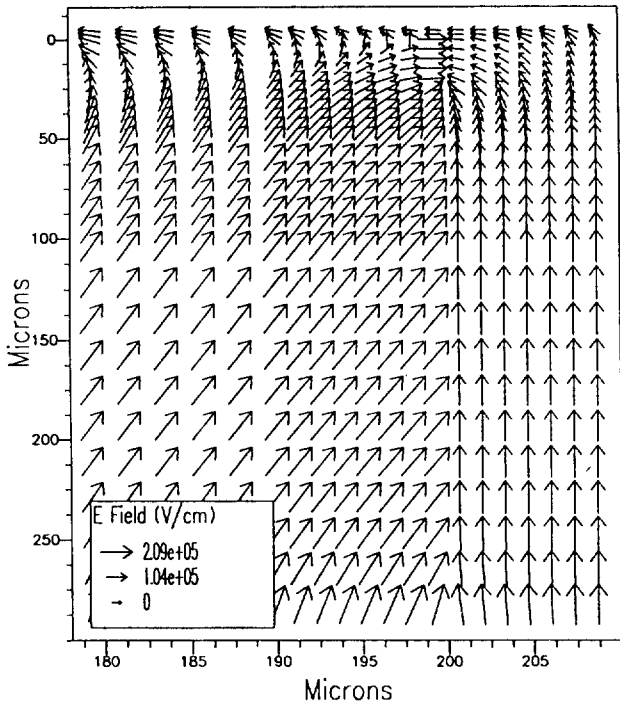


그림 3 표면전하인가시의 전계 벡터도
Fig. 3 Electric field vector with surface charge

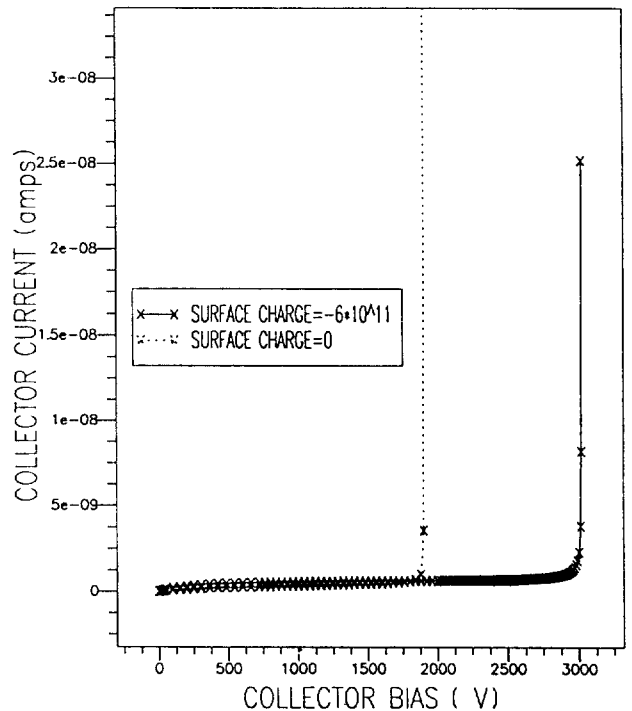


그림 5 주접합과의 간격 $35 \mu\text{m}$ 일경우의 항복특성
Fig. 5 Breakdown characteristics (distance $35 \mu\text{m}$)

다. 절연막을 설치해 주었을 경우의 항복전압이 2990 V로서 비 설치시의 1900 V에 비하여 1090 V의 높은 항상치를 나타내었다. 이를 통하여 반도체-절연막간에 표면전하가 인가되었을 경우 항복전압의 상승을 가져옴을 확인할 수 있다. 또한 그림 6

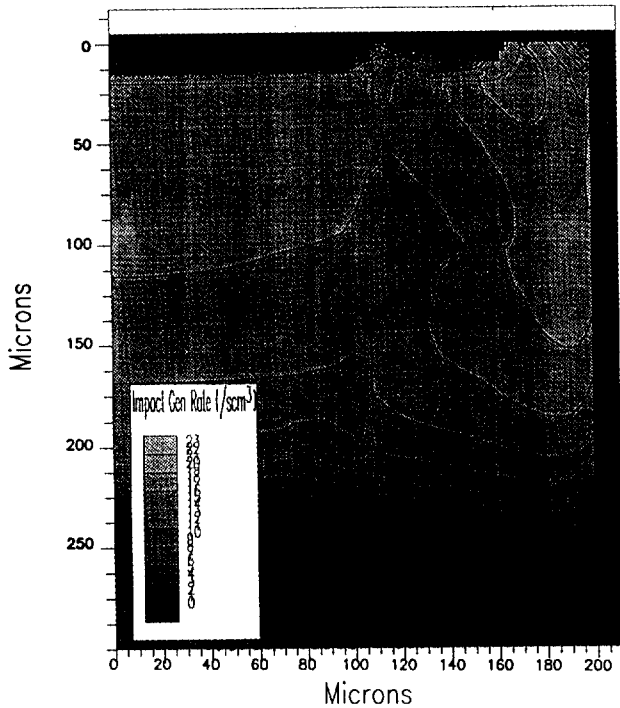


그림 6 표면전하가 없을 경우의 impact ionization
Fig. 6 Impact ionization without surface charge

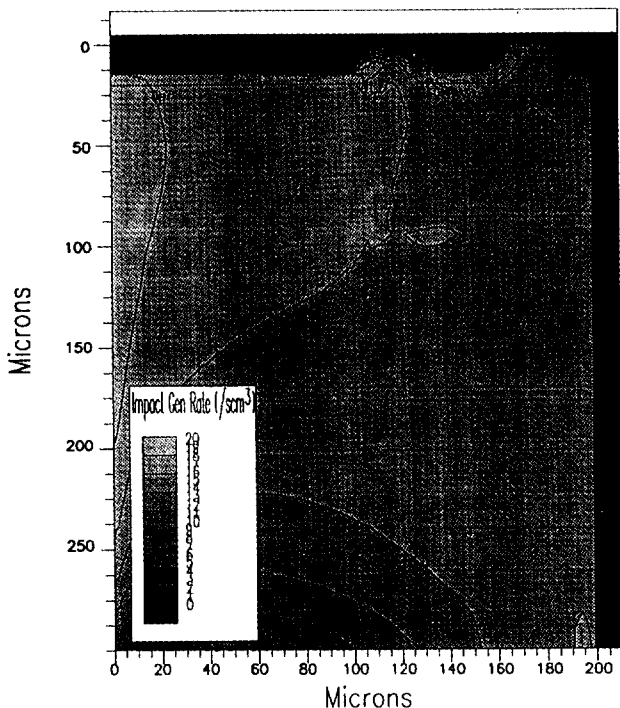


그림 7 표면전하인가시의 impact ionization
Fig. 7 Impact ionization with surface charge

과 그림 7에서는 항복이 발생하는 순간에 있어서 ionization impact 현상을 고찰하였다. 가장 밝은 부분이 impact generation rate가 가장 활발한 곳, 즉 애발란치 항복현상이 발생하고 있는 곳으로서 측면절연막을 설치하지 않은 그림 6의 경우에는 전계제한테 우측하단 부분에서 항복현상이 발생하며, 꼭면 부분에서의 조기 항복화 현상을 나타내고 있다. 그러나 그림 7에서는 주접합 하단부분에서 애발란치 항복이 발생하고 있으며 이는 대부분의 전류들이 주접합 중앙부분을 흐르게 되며, 꼭면에서의 항복현상 이전에 평행판 부분에서 항복현상이 발생함으로써 이상적인 경우에 얻을 수 있는 항복전압에 근사하고 있음을 알 수 있다.

그림 8에서는 전계제한테의 위치를 이동했을 경우에 있어서 항복전압의 변화를 나타내었다. 같은 위치에 전계제한테를 설치한 경우에는 35 μm 경우에 있어서 1090 V의 최대 항복전압의 향상이 있었으며, 측면절연막을 설치하지 않았을 경우는 주접합과의 간격 45 μm 에서 최대항복전압 2340 V가 발생하였다. 전계제한테 위치에 따른 전체적인 편차는 420 V를 나타내었다. 측면절연막을 설치한 경우에는 주접합과의 간격 40 μm 에서 최대항복전압 3000 V를 나타내었으나 최대값과 최소값간의 편차가 60 V로서 그 차가 매우 적으며, 이는 다시말해 전계제한테와 측면절연막사이에서 punch-through가 발생하는 경우에는 항복현상이 전계제한테의 위치에 덜 민감하게 반응한다는 새로운 사실을 나타낸다.

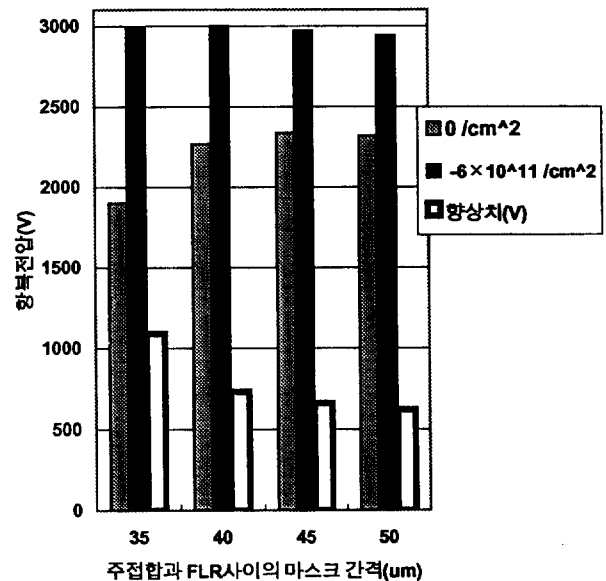


그림 8 동일구조에서의 항복특성
Fig. 8 Breakdown characteristics under same structure

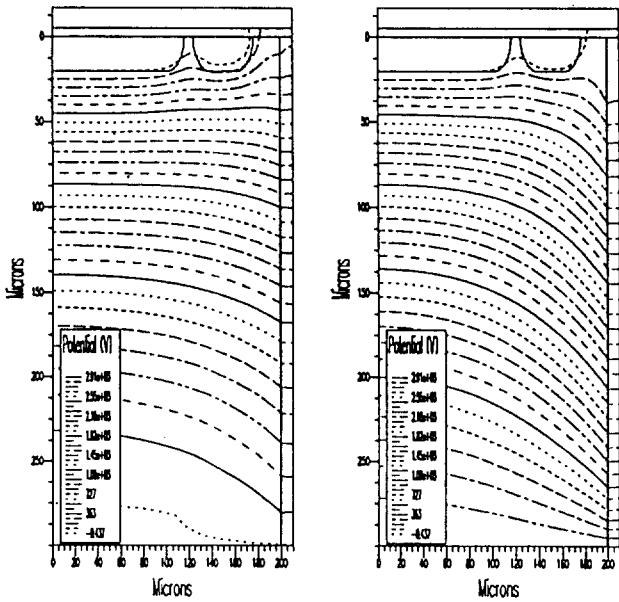
3.2 표면전하밀도 변화시의 모의실험

본 모의실험의 기본적인 구조도는 동일구조상에서의 실험과 같다. 단, 표면전하밀도의 변화폭은 $-2 \sim -10 \times 10^{11} / \text{cm}^2$ 로 변화시켜주어 표면전하밀도 변화에 따른 항복특성을 고찰하고자 하였으며, 각 경우에 있어서 주접합과 전계제한테와의 간격을 35 μm 에서 50 μm 까지 5 μm 간격으로 변화시킴으로서 최

적화를 시도하였다.

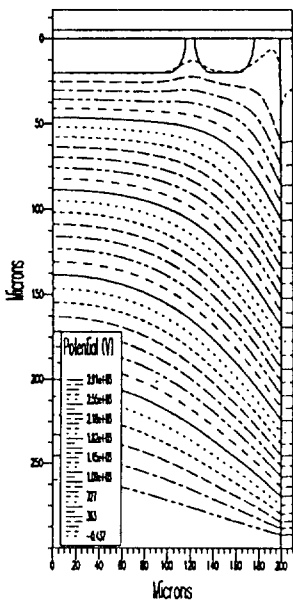
그림 9에서 표면전하밀도 변화에 따른 공간전하 영역의 확대를 등전위선의 변화를 통해 나타내었다. 그림 9에 의하면 표면전하밀도가 증가될수록 절연막 근처에서 공간전하층 확장의 굴곡정도가 심해지는 것을 알 수 있다.

그림 10에 의하면 $-6 \times 10^{11}/\text{cm}^2$ 까지는 항복전압이 증가하는 것을 알 수 있다. 이는 표면전하의 증가치가 클수록 측면 절연막 근처에서 공간전하영역의 더욱 넓은 확장을 가져와 전계제한에 굴곡면에 대한 전계집중을 더욱 약화시켜 보다 높은



(a) $-2 \times 10^{11}/\text{cm}^2$

(b) $-6 \times 10^{11}/\text{cm}^2$



(c) $-8 \times 10^{11}/\text{cm}^2$

그림 9 표면전하변화시의 전위분포

Fig. 9 Potential distribution varying surface charge

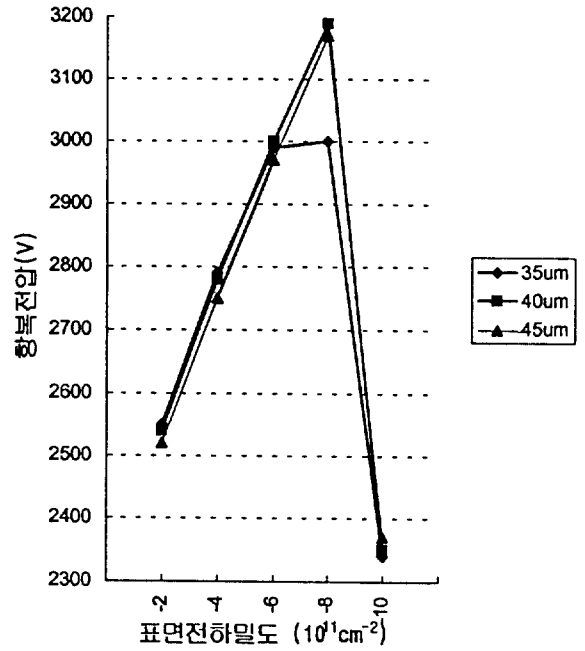


그림 10 표면전하변화에 따른 항복특성

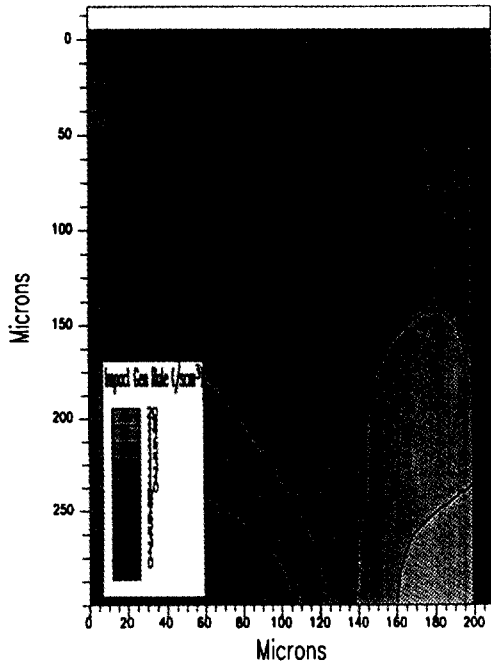
Fig. 10 Breakdown characteristics varying surface charge

역전압이 인가되었을 경우에도 소자에서 애발란치 항복현상이 발생하지 않는 것으로 해석할 수 있다.

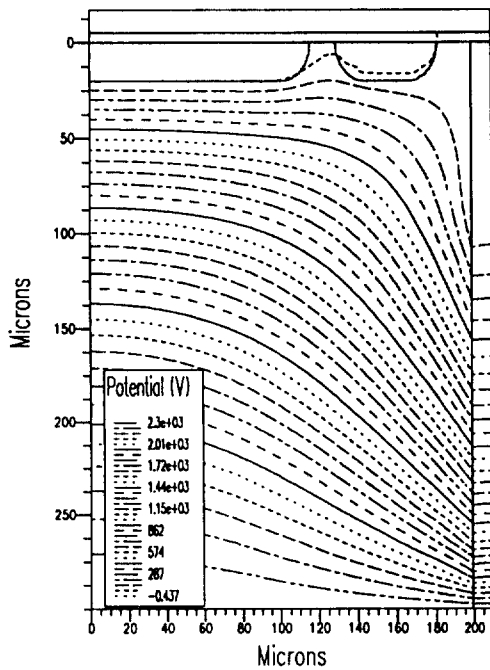
그러나 위의 실험에서 표면전하밀도의 증가치가 $-10 \times 10^{11}/\text{cm}^2$ 일 경우는 항복전압이 급격히 감소하는 것을 알 수 있다. 이는 그림 11의 등전위 분포도와 impact ionization을 통해 분석할 수 있는데, 그림 11(b)에 의하면 공간전하층의 확장이 상당히 이루어져 오른쪽 하단부분은 조기에 punch-through에 도달하며, 이후 역전압이 증가되더라도 더 이상의 공간전하영역의 확장이 불가능함으로 인하여 등전위간의 간격은 소자의 우측 하단 부분에서 가장 조밀하게 되며, 이를 통해 이 부분에서 고전계가 인가되고 있음을 알 수 있다. 이는 그림 11(a)에서도 확인할 수 있는데, 우측하단 부분에서 impact ionization이 강하게 나타남을 알 수 있으며, 이 위치가 바로 등전위간의 간격이 가장 좁은 곳이다. 즉 표면전하의 증가치가 너무 높을 경우 전계제한에 곡면 부분에서의 전계는 낮아지나 우측하단 punch-through부분에서의 전계증가를 가져와 조기항복이 발생하는 것을 알 수 있었다.

3.3 에피택셜층 변화시의 모의실험

소자의 에피택셜층은 폭이 넓은 경우에는 항복전압의 향상을 가져오나 반면 소자의 저항을 증가시킴으로써 열해석 측면에서는 부정적인 영향을 끼치기도 한다. 본 실험에서는 표면전하밀도를 $-6 \times 10^{11}/\text{cm}^2$ 로 고정시킨후 에피택셜층의 폭을 변화시킴으로써 항복전압의 변화치를 고찰하고자 에피택셜층 폭을 300 μm 에서 100 μm 까지 50 μm 단위로 변화시켰다. 또한 각 경우에 있어서 전계제한에의 위치를 변화시켜 에피택셜층과의 관계를 고찰하고자 하였으며, 이때 각 에피택셜층에서 주접합과 전계제한에와의 간격을 35 μm 에서 50 μm 까지 5 μm 간격으로 변화시킴으로써 최적화를 시도하였다.



(a) impact ionization



(b) 전위분포

그림 11 Impact ionization과 전위분포(표면전하: $-10 \times 10^{11}/\text{cm}^2$)
Fig. 11 Impact ionization & Potential distribution

그림 12에 측면 절연막 설치로 인한 표면전하가 인가된 경우의 에피택셜층 변화에 따른 항복전압값의 변화를 나타내었다. 그림 12에서 보는 바와 같이 항복전압은 에피택셜층 폭의 증가에 따라 증가하고 있으며, 이는 본 실험에서 소자제작시 가장

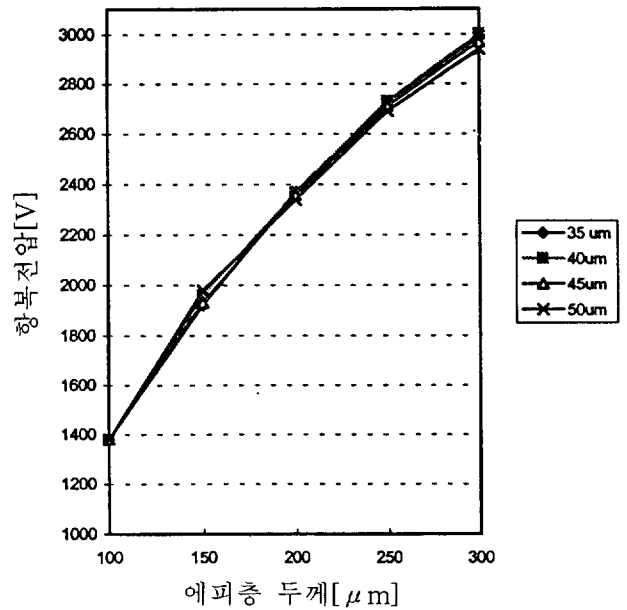


그림 12 표면전하 인가시 에피택셜층 두께 변화에 따른 항복특성(표면전하: $-6 \times 10^{11}/\text{cm}^2$)

Fig. 12 Breakdown characteristics varing epi, thickness

했던 non-punch-through 구조에서 이후 바로 형성되는 punch-through 구조에서는 인가 역전압의 증가가 곧바로 전계의 세기로 이어져, punch-through까지를 결정짓는 에피택셜층의 폭이 항복특성의 중요한 변수임을 나타내고 있다. 또한 각 에피택셜층에서의 전계제한대의 위치 이동시 항복전압은 미미한 편차를 보이고 있다. 즉 측면 절연막을 설치한 경우에는 에피택셜층 폭의 변화에 있어서 전계제한대의 위치가 항복전압에 영향을 끼치지 못함을 알 수 있다. 이는 동일구조에서의 실험의 결과와도 일치하며 punch-through의 경우나 non-punch-through의 경우나 양쪽 모두에서 설계상의 장점으로 작용하는 것으로 나타났다.

4. 결 론

본 모의실험을 통하여 다음과 같은 결론을 얻을 수 있었다. 첫째, 저항률 $86 \Omega\text{cm}$, $300 \mu\text{m}$ 의 에피택셜층의 n형 웨이퍼를 사용하여 한개의 전계제한대와 Zinc-borosilicate 유리 측면 절연막으로 인한 $-6 \times 10^{11}/\text{cm}^2$ 의 표면 전하 인가시 항복특성의 향상을 확인할 수 있었으며 이 결과를 바탕으로 3000 V 의 내압을 가지는 p-n 접합 소자를 설계할 수 있었다.

둘째, 동일 구조에서는 측면절연막 설치로 인한 표면전하인가시 전계제한대의 위치이동에 따른 항복전압의 편차가 60 V 로 전계제한대의 위치가 소자의 항복전압에 영향을 끼치지 않아 설계상의 장점으로 작용하는 것으로 나타났다.

셋째, 측면 절연막 설치로 발생하는 표면 전하를 변화시켰을 경우, $-8 \times 10^{11}/\text{cm}^2$ 까지는 항복전압의 상승을 나타냈으나 그 이상에서는 오히려 항복전압의 감소를 가져와 설계시 고려점으로 나타났으며, 이는 공간전하영역의 확장시 소자의 우측 하단부에서 조기에 punch-through에 도달하여 전계가 집중되고 이곳에서 에발란치 항복이 발생하기 때문인 것으로 밝혀졌다.

넷째, 피택설층을 변화 시켰을 경우, 즉 punch-through 경우에 있어서도 측면 절연막을 설치 했을 경우에는 항복특성이 전계제한테의 위치에 영향을 받지 않아 non-punch-through 경우와 마찬가지로 설계상의 장점으로 작용했다.

이 논문은 1994년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었음

참 고 문 헌

[1] Y. C. Kao, et al., "High voltage planar *p-n* junction", Proc. IEEE, Vol.55, No.8, pp.1409-1414, 1967

[2] H. S. Hara et al., "Surface charge in a ZnO-B₂O₃-SiO₂glass/silicon system", J. Electrochem. Soc. : Solid-state science and Technology, Vol.131, No.2 pp.359-361, 1984

[3] Y. Misawa et al., "Properties of ZnO-B₂O₃-SiO₂ glass for surface passivation", J. Electrochem. Soc. : Solid-state science and Technology, Vol.131 No.8, pp.1862-1865, 1984

[4] H. S. Hara, et al., "Surface charge in a Zinc-Borosilicate glass/silicon system", J. Electrochem. Soc. : Solid-state science and Technology, Vol.128, NO.3 pp.614-615 1981

[5] 부산대학교, 전자장치용 Passivation 유리의 결정화에 대한 연구, 교육부, 1992, pp.66

[6] B. J. Baliga et al., "Analytical solutions for the breakdown voltage of abrupt cylindrical and spherical junctions", Solid State Electronics, Vol.19, pp.739-744, 1976

[7] B. J. Baliga, "Closed form analytical solutions for the breakdown voltage of planar junctions terminated with a single floating field ring", Solid State Electronics, Vol. 33, NO.5, pp.485-488, 1990

저 자 소 개



허창수 (許昌洙)

1955년 1월 27일생. 1981년 인하대학교 전기공학과 졸업. 1983년 인하대학교 대학원 전기공학과 졸업(석사). 1987년 인하대학교 대학원 전기공학과 졸업(공학박). 1983년~1993년 한국전기연구소 근무(기능재료 실장). 현재

인하대학교 전기공학과 조교수



추은상 (秋殷相)

1970년 10월 2일생. 1994년 한양대학교 전기공학과 졸업. 현재 인하대학교 대학원 전기공학과 석사과정