

자기정렬된 낮은 농도의 소오스를 갖는 트렌치 바디 구조의 IGBT

論 文
45~2~11

A Self-Aligned Trench Body IGBT Structure with Low Concentrated Source

尹鍾晚*·金杜泳*·韓民九**·崔然益***
(Chong-Man Yun · Doo-Young Kim · Min-Koo Han · Yearn-Ik Choi)

Abstract - A self-aligned latch-up suppressed IGBT has been proposed and the process method and the device characteristics of the IGBT have been verified by numerical simulation. As the source is laterally diffused through the sidewall of the trench in the middle of the body, the size of the source is small and the doping concentration of the source is lower than that of the p++ body and the emitter efficiency of the parasitic npn transistor is low so that latch-up may be suppressed. No additional mask steps for p++ region, source, and source contact are required so that small sized body can be obtained. Latch-up current density higher than 10000 A/cm² have been achieved by adjusting the process conditions.

Key Words : IGBT, Self-align, Trench, Latch-up

1. 서 론

고속의 스위칭 특성과 대용량의 전류 능력을 갖는 IGBT[1]의 설계 시 고려해야 할 가장 중요한 특성은 낮은 순방향 전압 강하와 높은 래치업 전류 밀도이다. 낮은 순방향 전류 밀도를 얻기 위해서는 소자내의 전류 밀도를 증가시켜야 하는데 전류 밀도를 높이기 위해서는 단위 면적 당 단위 셀의 수를 증가시켜야 하고 이를 위해서는 단위 셀의 크기를 줄여야 한다.

셀의 크기는 p 바디와 JFET 영역으로 결정되는데 JFET 영역의 경우 순방향 전압 강하 때문에 일정 크기 이하로 감소시킬 수 없고[2] p 바디의 경우 전류 도통에 거의 기여하지 않기 때문에 가능한 줄여야 하는데 n⁺ 소오스(source) 및 채널(channel)을 형성하고 캐소드(cathode) 접촉(contact)을 형성하기 위해서는 사진 공정에서의 오차를 고려할 경우 매우 커지게 된다.

IGBT에서 래치 특성을 결정하는 것은 n⁺ 소오스 하단의 p 바디 저항과 소자 상단의 n⁺ 소오스/p 바디/n-에피층으로 구성되는 npn 트랜지스터의 에미터 효율, γ (emitter efficiency)이다[3]. N+ 하단의 바디 저항을 감소시키기 위해서 여러 가지 방법들이 제안되었다[4-7]. 현재 양산되는 IGBT의 경우 p바디의 중앙에 고농도의 p+ 영역을 형성하는 방법[4]이 일반적으로 사용되어 왔는데 정확한 확산의 조절이 안될 경우 채널 영역에 확산되어 순방향 특성을 저하시키기 쉽고, 실제로 그림 1과 같이 $R_{p+} + R_{p+}$ 는 R_p 가 되어 R_{p+} 를 감소시키기 위해서는 매우 정

확한 확산 공정의 조절이 필요하다. 또한 추가되는 마스크 공정 때문에 바디의 크기가 증가하는 단점을 지니고 있다. 최근에는 매우 높은 에너지의 p⁺ 이온 주입(ion implantation)을 사용하여 n⁺ 소오스 하단의 불순물 농도를 높임으로써 래치를 억제하는 방법[5,6]이 제시되어 종래 구조보다 5배 이상의 매우 높은 래치 전류 밀도를 얻을 수 있었으나 문턱 전압과 래치 특성 모두를 만족시키기 위해서는 약 400KeV 이상의 매우 높은 에너지의 이온 주입기가 필요하여 실제 공정에 사용하기 어렵고 바디의 크기 또한 종래의 방법[4]과 거의 같아서 순방향 특성에서의 개선이 거의 없다. IGBT와 MOSFET의 바디의 크기와 n⁺ 소오스의 길이를 감소시키는 방법이 제안되어 래치 특성[7]과 순방향 특성[8,9]을 개선시켰다. n형 도판트가 주입된 산화막 스페이서를 사용한 IGBT[7]의 경우 매우 짧은 길이를 형성함으로써 래치 전류 밀도를 증가시킬 수 있으나 바디의 농도가 높을 경우 소오스의 형성이 불가능하다. n⁺ 소오스 확산 후에 바디를 식각하고 p⁺ 이온 주입을 한 MOSFET[8,9]는 바디의 크기를 작게 함으로써 순방향 특성을 개선시켰다. 이 구조는 n⁺ 소오스 하단의 바디의 농도를 매우 높게 할 수 있어서 IGBT에 적용할 경우 래치 억제에 효과적일 것으로 보이나 확산 조건이 매우 어려운 것으로 판단된다.

본 연구에서는 바디의 중앙에 트렌치 구조를 형성하고 불순물의 이온 주입과 선탐산을 이용하여 접합을 형성하는 새로운 구조의 IGBT와 공정 조건을 제안하였고, 이의 공정을 공정 시뮬레이터인 TSUPREM-4를 사용하여 검증하였다. 또한 MED-ICI를 사용하여 소자의 래치 특성을 검증하였고 공정 조건의 변화에 따른 소자 특성의 변화를 연구하였다.

2. 본 론

2.1 래치의 조건

일반적으로 IGBT의 래치의 발생조건은 기생 다이오스터

* 正 會 員 : 서울大 大學院 電氣工學科 博士課程

** 正 會 員 : 서울大 工大 電氣工學科 教授 · 工博

*** 正 會 員 : 亞洲大 工大 電子工學科 教授 · 工博

接受日字 : 1995年 10月 16日

1次 修正 : 1995年 12月 19日

2次 修正 : 1996年 1月 27日

(thyristor)를 구성하고 있는 npn 트랜지스터와 pnp 트랜지스터의 전류 이득(current gain), α 의 합이 1 이상이 되는 경우로 알려져 있다[3].

$$\alpha_{npn} + \alpha_{pnp} = 1 \tag{1}$$

pnp 트랜지스터의 전류 이득 α_{pnp} 는 소자 내의 반송자의 평균 자유 거리, L_n 와 베이스의 폭, d 로 결정된다.

$$\alpha_{pnp} = \frac{1}{\cosh\left(\frac{2d}{L_n}\right)} \tag{2}$$

IGBT에서 에미터와 베이스 사이에 병렬 저항이 있는 경우의 npn 트랜지스터의 전류 이득, α_{npn} 은 다음과 같이 주어진다.

$$\alpha_{npn} = \frac{I_C}{I_E} = \alpha'_{npn} \left[\frac{e^{\frac{qV_{BE}}{kT}} - 1}{e^{\frac{qV_{BE}}{kT}} - 1 + (V_{BE} \alpha'_{npn} / I_0 R_p)} \right] \tag{3}$$

여기서 α'_{npn} 는 npn 트랜지스터의 전류 이득이고 R_p 는 병렬 저항, 즉 소오스 하단의 바디 저항이고 I_0 는 역방향 상태의 포화 전류 (reverse saturation current)이다. 위의 식에서 베이스-에미터 간의 전압 V_{BE} 가 증가하게 되면 $\alpha_{npn} = \alpha'_{npn}$ 이 된다. α'_{npn} 는 에미터 효율(emitter efficiency, γ)과 베이스 운송 인자 (base transportation factor, α_T)의 곱으로 표현된다.

$$\alpha'_{npn} = \gamma \alpha_T \text{ 이고}$$

$$\alpha_T \approx 1 - \frac{W^2}{2L_p^2} = \text{sech}\left(\frac{W}{L_p}\right) \tag{4}$$

$$\gamma \approx \frac{1}{1 + \frac{n_B W D_p}{n_E L_E D_E}}$$

이므로, α_T 는 1보다 작은 값을 갖게 되어 α_{npn} 은 에미터 효율에 의해 결정되는데 일반적으로 에미터의 농도, n_E 가 베이스 농도, n_B 보다 매우 크기 때문에 $\gamma \approx 1$ 이 된다. 그런데 $n_E \ll n_B$ 일 경우에는 $\gamma \ll 1$ 이 된다. 따라서 기생 다이리스터(thyristor)를 구성하고 있는 npn 트랜지스터와 pnp 트랜지스터의 전류 이득(current gain), α 의 합이 1을 넘지 않도록 하면 래치를 최대한 억제할 수 있게 된다.

일반적으로 반도체 공정에 사용되는 플래나(planar) 공정을 사용한 DMOS 구조의 경우 p 바디, p' 바디, n' 소오스의 순서로 확산되므로 접합을 형성하기 위해서는 각 영역의 불순물 농도가 n'소오스 - p' 바디 - p 바디의 순서로 낮아지게 되어 소오스를 형성하기 위해서는 p' 바디의 농도가 소오스의 농도보다 높을 수 없다. 따라서 소오스 하단의 바디 저항이 크기 때문에 래치 전류의 증가에 한계가 있다. 본 논문에서 제시한 구조는 트랜치를 형성한 후 p' 바디를 이온 주입하고 n' 소오스를 확산시키므로 바디보다 낮은 농도를 갖는 소오스를 형성할 수 있어서 p' 바디 - n'소오스 - p 바디의 농도 순서를 갖

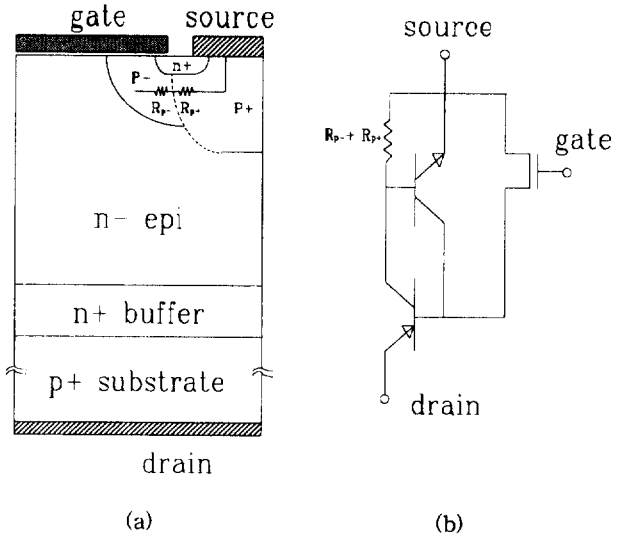


그림 1 이중 확산으로 제작된 IGBT의 (a) 단면도와 (b) 등가 회로

Fig. 1 (a) Cross sectional view and (b) equivalent circuit of a conventional double-diffused IGBT

는다. 따라서 에미터 효율이 낮은 기생 npn 트랜지스터를 갖게 되고 소오스의 농도가 충분히 낮을 경우 래치가 발생하지 않는 IGBT를 구현할 수 있다.

2.2 제안된 소자의 구조와 제조 공정

제안된 IGBT에서는 그림 2 (c)와 같이 p'' 바디영역이 n' 에미터 영역의 경계 이상으로 확장되어 있다. N' 에미터는 낮은 도핑농도를 갖는 p 영역을 통하여 인 (phosphorus)을 확산함으로써 형성시킨다. 이 경우 n' 에미터의 하단에 p'' 바디가 형성되므로 이 영역에서의 저항이 작아져 래치를 막을 수 있다.

작은 소오스와 낮은 에미터 효율을 갖는 IGBT의 제조 방법은 다음과 같다. P' 기판 위에 n 에피층이 성장된 웨이퍼에 게이트 산화막을 1000Å 두께로 열성장한 후 게이트 전극용 다결정 실리콘을 증착한다. 게이트 저항을 낮추기 위한 POCl₃ 도우핑을 행한 후 실리콘 질화막 (Si₃N₄)을 증착한다. 사진식각 공정을 행한 후 RIE (Reactive Ion Etching)로 비등방성 식각한다. 실리콘 질화막을 증착한 후 비등방성 식각하여 질화막 스페이서를 형성하고 이를 마스크로 사용하여 실리콘을 비등방성 식각하여 트랜치 (trench) 구조를 형성하는데, 이때 트랜치 깊이는 2 ~ 2.5 μm이다. 붕소를 900 °C에서 70 분 간 선풍산 (predeposition)하고 1150 °C에서 500 분 간 열확산 (drive-in) 하여 저농도의 p 바디를 형성한다 (그림 3. a). 마스크 없이 고농도의 p'' 바디를 형성하기 위해 붕소를, 낮은 에너지 (20 KeV 내외)와 이온 주입량 1×10¹⁵ ~ 1×10¹⁶ cm⁻²의 조건으로 이온 주입한다. 이때 이온 주입의 수직적인 특성 때문에 트랜치의 측면에는 붕소가 주입되지 않고 트랜치 하단에만 붕소가 주입된다(그림 3. b). 이후 1100 °C에서 50 분 간 확산시킨 후 인 (phosphorus)을 900 °C에서 20 분 간 선풍산하고 1150 °C에서 90 ~ 150 분 간 열확산하여 그림 3. d와 같은 구조를 얻는다. 트랜치 하단에는 고농도의 붕소가 주입되어 표면농도

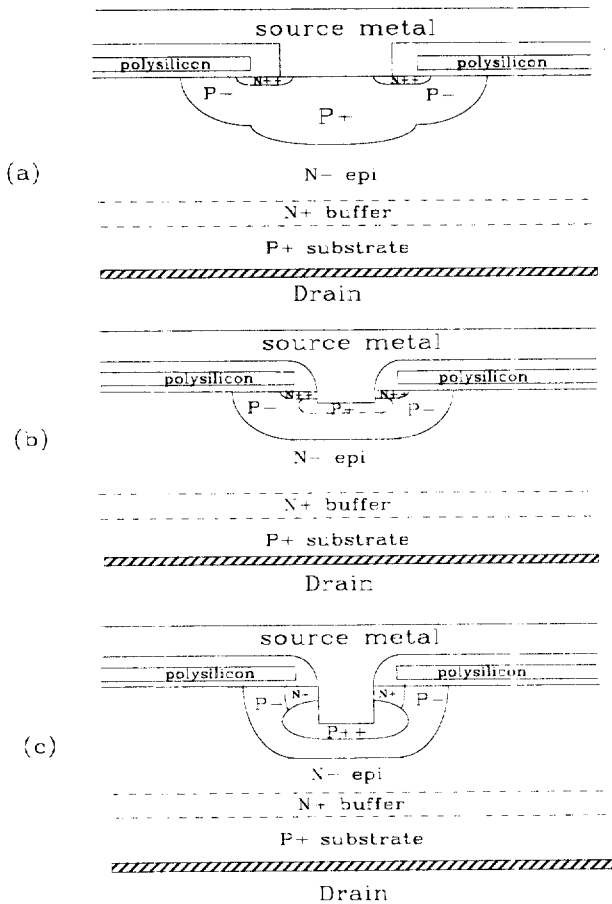


그림 2 래치 특성을 개선시킨 IGBT의 단면도
(a)참고 문헌 [4] (b)참고 문헌 [8,9]
(c) 제안된 구조

Fig. 2 Cross-sectional view of latch improved IGBTs
(a) Reference [4] (b) Reference [7,8]
(c) proposed structure

가 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-2}$ 으로 높기 때문에 n형의 영역이 형성되지 않고 붕소의 농도가 10^{17} cm^{-3} 으로 낮은 트렌치 측벽에만 작은 크기의 n형의 소오스가 형성된다. 또한 열확산 시 인과 트렌치 하단에 주입된 붕소가 동시에 확산되기 때문에 소오스 하단을 고농도의 붕소가 둘러싸면서 확산된다. 확산 공정이 끝나면 확산 시 형성되는 산화막을 제거한 후 게이트 접촉 창 (gate contact window)을 사진식각하여 실리콘 질화막을 식각하고 알루미늄을 증착과 열처리를 한다. 이후 금속 마스크 (metal mask)를 사용하여 감광막을 사진식각하고 알루미늄을 식각한다. TSUPREM-4로 출력된 불순물 농도 분포는 그림 4와 같다. 그림에서와 같이 소오스의 도핑 농도보다 고농도의 p'' 영역이 소오스 하단의 전 영역에 형성되므로 래치업 억제 효과를 얻을 수 있다.

2.3 전기적 특성의 시뮬레이션 결과

종래의 이중확산된 p 바디의 중앙에 고농도의 p'' 영역을 갖는 IGBT[3]와 본 연구에서 제안된 IGBT의 전류-전압 곡선은 그림 5와 같이 나타난다. 이때 p'' 영역을 위한 이온주입 공정

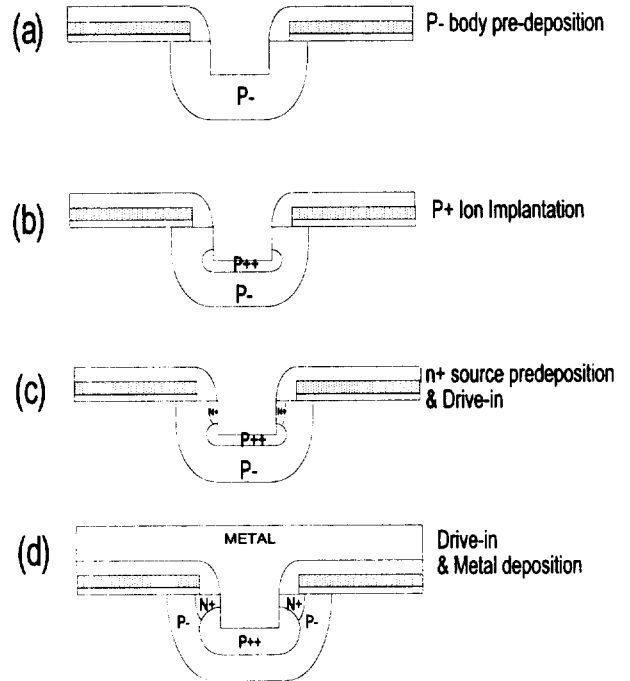


그림 3 제안된 IGBT의 주요 공정 순서
Fig. 3 Main process steps for the proposed IGBT.

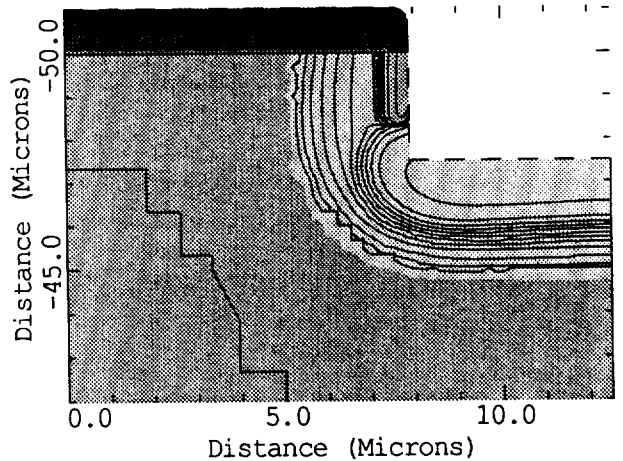


그림 4 제안된 IGBT의 시뮬레이션 된 불순물 농도 분포 (T SUPREM IV)
Fig. 4 Simulated doping profile of the proposed IGBT (T SUPREM IV)

의 주입량 조건은 $5 \times 10^{15} \text{ cm}^{-2}$ 으로 동일하다. 종래의 IGBT가 약 2000 A/cm^2 의 전류 밀도에서 래치가 발생하는 반면 제안된 IGBT는 약 9000 A/cm^2 에서 래치가 발생하여 4 배 이상의 래치 전류 밀도의 향상을 보이고 있다.

제안된 IGBT의 공정 조건에 따른 소자의 특성 변화를 IGBT의 문턱 전압과 래치 전류 밀도의 변화로 알아보았다.

트렌치 깊이에 따른 래치 전류 밀도의 변화를 그림 6에 나타냈다. 그림에서 보듯이 트렌치의 깊이가 $2.3 \mu\text{m}$ 에서 $2.9 \mu\text{m}$ 으로 증가함에 따라 래치 전류 밀도는 약 10 % 정도 감소하는 것으로

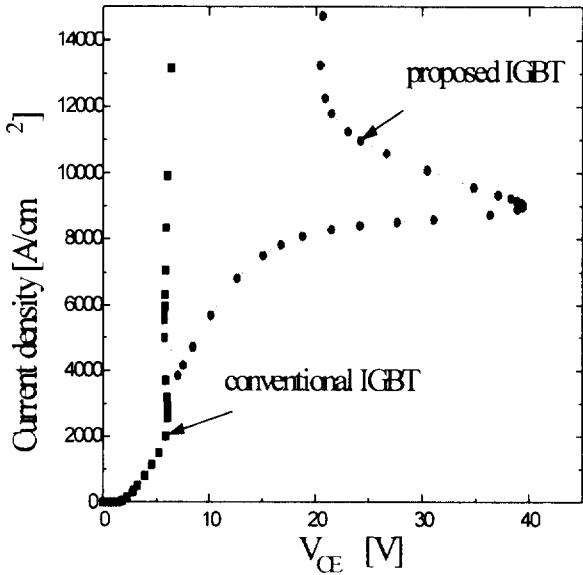


그림 5 종래 구조와 제안된 구조의 IGBT의 시뮬레이션된 전류-전압 특성 곡선

Fig. 5 Simulated I-V characteristics curve of the conventional and the proposed IGBTs

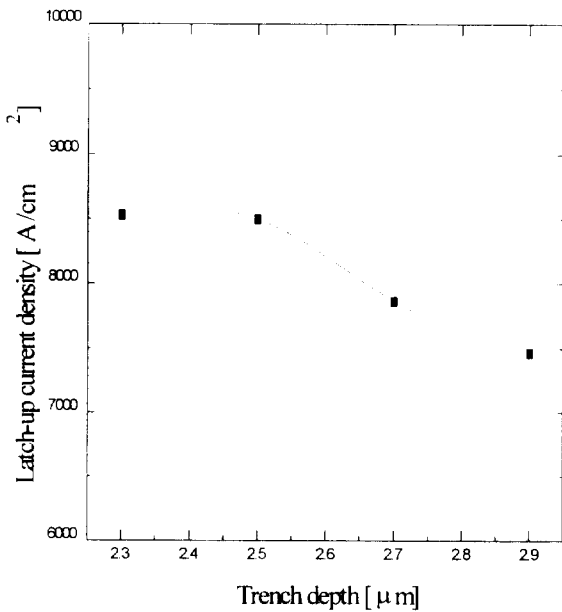


그림 6 트렌치 깊이에 따른 제안된 IGBT의 래치 전류 밀도

Fig. 6 Latch-up current density vs. depth of the trench.

로 나타났으며 2.5 μm 이하에서는 거의 일정한 것으로 나타났다. 트렌치의 깊이가 증가하면 붕소 원자의 이온 주입이 되지 않은 트렌치 측면의 길이가 증가하여 실질적인 소오스의 길이가 증가하게 되어 래치 발생이 쉬워지는 것이고 깊이가 너무 짧을 경우는 바디의 농도가 높아져서 소오스의 형성이 이루어지지 않게 된다.

N^+ 소오스의 표면에서의 인의 농도(surface peak concentration)에 따른 소자의 특성을 그림 7에 나타냈다. 표면에서의

인의 최대농도가 $4 \times 10^{19} \text{cm}^{-3}$ 에서 래치 전류 밀도는 6000A/cm^2 으로 나타났고 인의 농도가 감소함에 따라 래치 전류 밀도는 점차 증가하여 농도가 $5 \times 10^{18} \text{cm}^{-3}$ 이하일 때부터는 시뮬레이션 상에서는 래치 현상이 발생하지 않았다. 이는 인의 농도가 작아질수록 형성되는 n^+ 소오스의 크기가 감소하여 래치를 발생시키는 원인이 되는 소오스 측면의 바디 저항이 작아진 것과 기생 npn 트랜지스터의 에미터 농도가 낮아져서 에미터 효율이 낮아진 것에 기인하는 것으로 판단된다. 인의 농도가 순방향 특성에 미치는 영향은 순방향 전압 강하가 2V일 때의 소자의 순방향 전류 밀도의 변화로 관측하였다. 그림에서 보는 바와 같이 인의 농도가 낮아질수록 순방향 전류 밀도는 감소하는 것으로 나타났다. 이는 인의 농도가 낮아짐에 따라 소오스의 크기가 횡방향으로 감소하여 채널의 길이가 증가하고 채널 영역내의 p 극성의 농도가 증가하여 문턱 전압이 증가하는 것에 기인한다.

트렌치 하단에 주입되는 붕소 원자의 이온 주입량에 따른 래치 전류 밀도와 문턱 전압의 변화를 그림 8에 나타냈다. 이온 주입량의 변화에 따라 래치 전류 밀도는 선형적으로 변화하며 문턱 전압은 거의 변화가 없는 것으로 나타났다. 이 결과는 제안된 구조의 IGBT의 래치의 원인이 되는 n^+ 소오스 하단의 저항 성분이 트렌치 하단에 주입된 붕소 원자의 농도에 의해 거의 결정되고 저농도의 p 바디 영역이 거의 없음을 나타내는 것이다. 또한 일정하게 나타난 문턱 전압은 공정의 변화에도 안정된 순방향 특성을 얻을 수 있음을 보여주는데, 이는 문턱 전압을 결정하는 채널 영역의 불순물 분포에 주입된 고농도의 붕소가 영향을 주지 않기 때문이다.

소오스 형성을 위한 인의 선확산 이후 수행되는 열확산 시간에 따른 소자의 특성 변화는 그림 9와 같다. 이때의 온도는

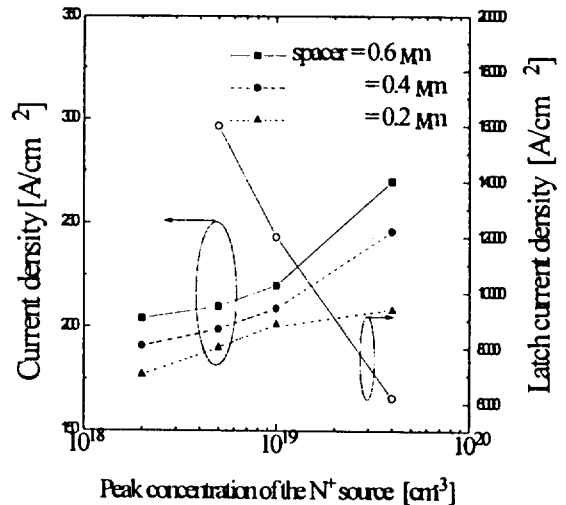


그림 7 N^+ 소오스의 표면에서의 인의 농도에 따른 래치 전류 밀도 및 순방향 전압 강하가 2V일 때의 전류 밀도.

Fig. 7 Latch-up current densities and the current densities at the forward voltage drop of 2V with variation of the phosphorus surface peak concentration of the source.

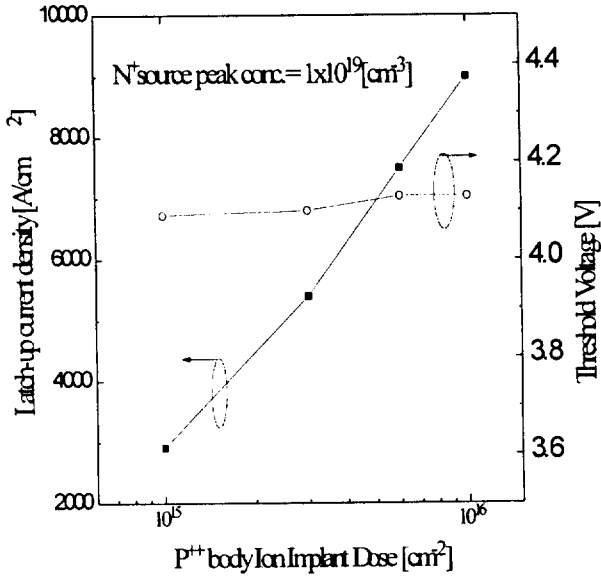


그림 8 트랜치 하단에 주입되는 붕소의 이온 주입량에 따른 래치 전류 밀도 및 문턱 전압
 Fig. 8 Latch-up current densities and threshold voltages with variation of the ion implantation dose implanted at the bottom of the trench.

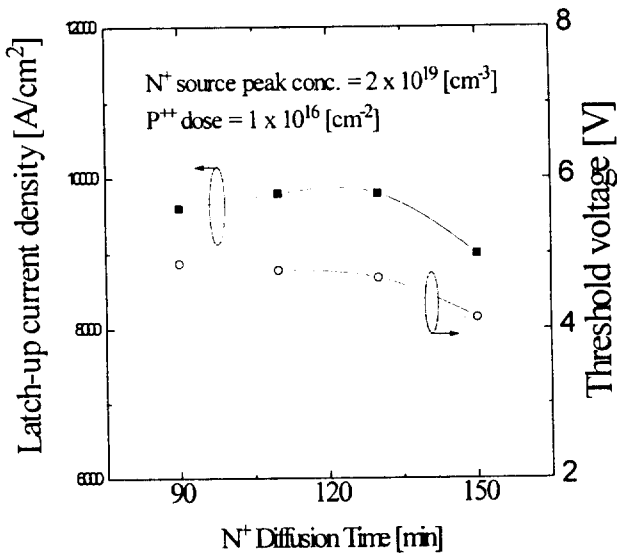


그림 9 소오스와 p++ 바디의 확산 시간에 따른 문턱 전압과 래치 전류 밀도의 변화
 Fig. 9 Threshold voltages and latch-up current densities with variation of the drive-in time of the n+ source and the p++ body.

1150°C이고 p++ 이온 주입량은 $5 \times 10^{15} \text{ cm}^{-2}$ 이며 소오스의 농도는 $2 \times 10^{19} \text{ cm}^{-3}$ 이다. 열확산 시간이 90 분에서 150 분으로 증가함에 따라 문턱 전압은 4.4 V에서 4.1 V로 감소하고 래치 전류 밀도는 9000 A/cm^2 에서 9800 A/cm^2 의 범위에서 변화하는 것으로 나타났다. 확산 시간에 따른 소자의 특성의 변화가 작은 이유는 소오스의 인 원자와 소오스 하단의 저항을 결정하는

트랜치에 주입된 고농도의 붕소 원자가 함께 확산되어 소오스 하단을 완전히 둘러싸기 때문에 소오스의 길이의 증가로 인한 바디 저항의 증가가 일어나지 않기 때문이다.

2.4 소자의 형태가 순방향 전압 강하에 미치는 영향

제안된 소자는 n+ 소오스와 p++ 바디, 소오스 접촉의 제작과정에서 마스크 공정이 필요 없으므로, 트랜치의 폭을 감소시킴으로서 단위소자의 크기를 최소화할 수 있다. 단위소자의 최소 피치를 조사하기 위하여 그림 10과 같이 트랜치 폭과 게이트로 사용되는 다결정 실리콘층의 길이 L_p 를 변화시키면서 제안된 IGBT의 특성을 수치모사를 통하여 고찰하였다. 시뮬레이션에 사용된 트랜치 깊이 T_d 는 $2.5 \mu\text{m}$, 에피층의 두께는 $60 \mu\text{m}$ 이고, p++ 바디의 이온 주입량과 n+ 소오스의 표면 최대 도핑 농도는 각각 $1 \times 10^{16} \text{ cm}^{-2}$, $5 \times 10^{18} \text{ cm}^{-3}$ 이다.

수치모사의 결과에 의하면, 그림 11에서 나타난 것과 같이 최적의 다결정 실리콘층 길이 L_p 는 소자의 스위칭 속도에 따라 달라지는 것으로 나타났다. 제안된 소자의 턴오프 시간이 약 $1 \mu\text{sec}$ 이면, 전류농도 100 A/cm^2 일 때의 순방향 전압 강하를 최소로 하는 최적의 L_p 는 $12 \mu\text{m}$ 이다. 턴오프 시간이 $0.1 \mu\text{sec}$ 이하이면, 최적의 L_p 는 $16 \mu\text{m}$ 이다. 에피층의 반송자 수명 시간 (carrier lifetime)이 감소함에 따라 JFET 영역의 저항이 증가하기 때문에 최적의 다결정 실리콘층의 길이 L_p 는 증가한다.

P 바디의 폭 L_t 와 순방향 전압 강하와의 관계는 그림 12와 같다. L_p 가 최적의 길이보다 작으면, L_t 의 감소에 따라 순방향 전압 강하는 급격히 감소한다. 반면에 L_p 의 크기가 최적치보다 큰 경우에는 순방향 전압 강하의 감소는 L_t 의 크기에 의한 영향이 적게 나타난다. 소자의 반송자 수명시간이 큰 경우에는 그림 12 (a)에서와 같이 L_p 가 최적치보다 큰 경우 L_t 가 감소하여도 소자의 전압 강하에 거의 영향을 주지 않는 것을 볼 수 있다. 이는 반송자 수명시간이 증가하면 IGBT의 전류성분 중 p++ 바디와 접촉된 전극을 통한 정공 전류의 성분이 증가하게

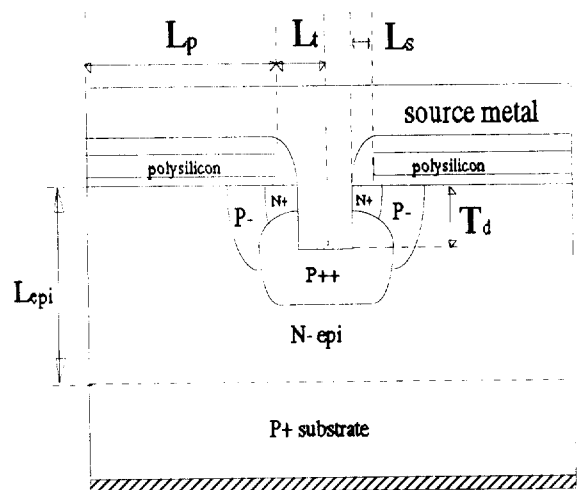
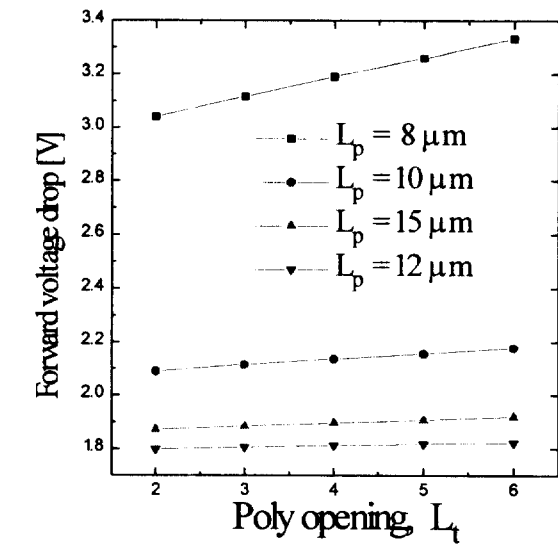
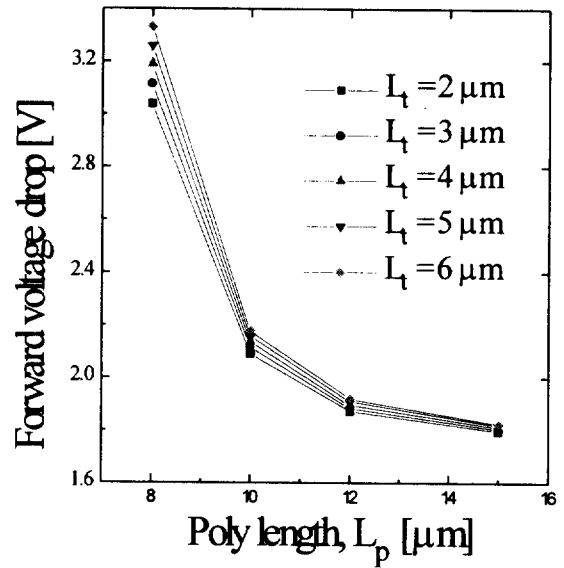


그림 10 순방향전압 강하에 영향을 주는 제안된 소자의 설계변수

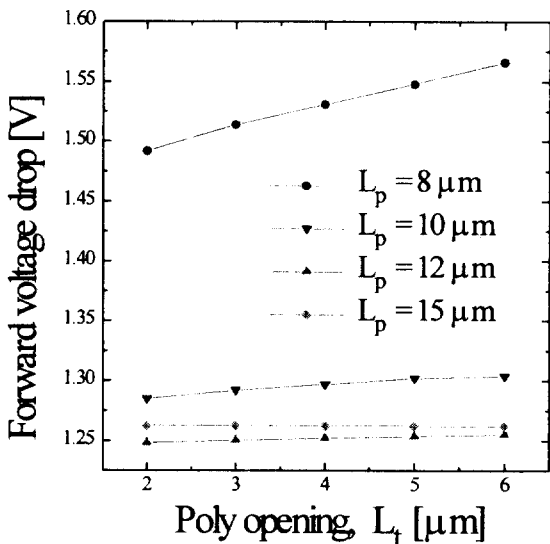
Fig. 10 Forward voltage drop with design parameters of the proposed IGBT



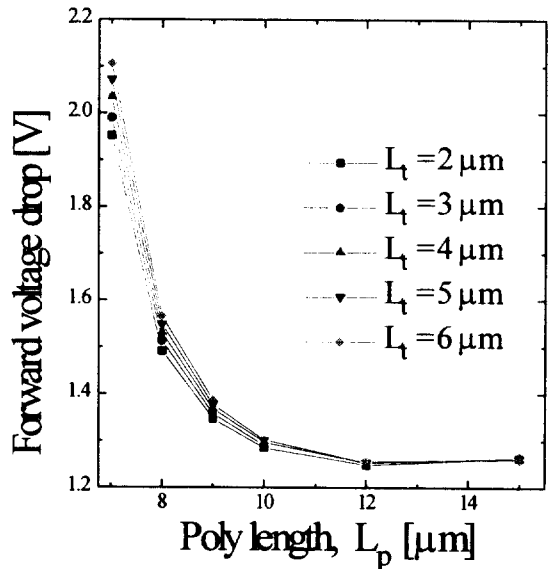
(a)



(a)



(b)



(b)

그림 11 P 바디 창의 폭 L_t 에 따른 순방향 전압강하의 변화

(a) 턴오프 시간 $0.1 \mu\text{sec}$

(b) 턴오프 시간 $1 \mu\text{sec}$

Fig. 11 Variation of the forward voltage drop according to the poly opening length L_t when

(a) the turn-off time is $0.1 \mu\text{sec}$

(b) the turn-off time is $1 \mu\text{sec}$

그림 12 다결정 실리콘 층의 길이 L_p 에 따른 순방향 전압강하의 변화

(a) 턴오프 시간 $0.1 \mu\text{sec}$

(b) 턴오프 시간 $1 \mu\text{sec}$

Fig. 12 Variation of the forward voltage drop according to the poly length L_p when

(a) the turn-off time is $0.1 \mu\text{sec}$

(b) the turn-off time is $1 \mu\text{sec}$

되는데, L_t 를 감소시키면 p'' 바디와 접촉된 전극의 크기를 줄이게 되므로 전압 강하에 큰 역할을 못하게 되는 것으로 볼 수 있다. 반송자의 수명시간이 작은 경우, 즉 정공 전류의 성분이 작은 경우에는 L_t 의 감소에 따른 전압강하의 감소효과가 더욱 크게 나타남을 알 수 있다. 따라서 빠른 스위칭을 하는 IGBT의 경우 바디의 크기를 줄이는 것이 순방향 전압 강하의 개선에 효과적임을 알 수 있다. L_t 의 최소길이는 금속공정에서의 스텝 커버리지(step coverage)에 의하여 결정된다.

3. 결 론

본 연구에서는 p 바디의 중앙에 트렌치 구조를 형성하고 p' 바디와 p'' 영역의 불순물 농도차를 이용하여 n' 불순물을 트렌치 측벽으로 확산시켜 형성된 작은 크기의 소오스를 갖는 IGBT 구조를 제안하였다. 제안된 IGBT는 고농도의 p'' 영역,

소오스 및 바디 접촉 창이 필요하지 않기 때문에 바디의 크기를 작게 형성할 수 있어서 전류 밀도를 향상시킬 수 있었다. 또한 소오스의 농도가 p^+ 바디의 농도보다 낮게 형성되어 기생 npn 트랜지스터의 에미터 효율을 감소시킴으로써 10000 A/cm² 이상의 래치업 전류 밀도를 갖고 공정 조건의 변화에 크게 영향을 받지 않는 것으로 나타났다. 따라서 제안된 IGBT는 높은 전류 밀도와 래치업 전류 밀도를 갖는 IGBT 구조로 기대되며 전력용 MOSFET에의 응용 또한 가능하다.

참 고 문 헌

[1] B. J. Baliga, et al, "The Insulated Gate Rectifier(IGR): A New Power Switching Devices," Proc. IEDM, pp.264-265, 1982.

[2] 윤종만, 최연익, 한민구, "JFET 효과를 감소시킨 고압용 수직형 IGBT," 전기학회 논문지, 제 44권 제 3호, pp. 303-309, 1995.

[3] B. J. Baliga, "Modern Power Devices", Willey, 1987.

[4] B. J. Baliga et al, "The Insulated Gate Transistor : A New Three-Terminal MOS-Controlled Bipolar Device", Vol. ED-31, No.6, pp.192-199, June 1984

[5] D. R. Disney and J. D. Plummer, " SOI LIGBT Devices with a Dual P-Well Implant for Improved Latching Characteristics," Proc. ISPSD'92, pp.254-258.

[6] B. H. Lee, C. M. Yun, H. S. Kim, M. K. Han, "Latch-up Suppressed Insulated Gate Bipolar Transistor by the Deep p+ Ion Implantation under the n+ Source," Jpn. J. Appl. Phys. Vol. 33 pp.563-566, part 1, No. 1B, January 1994.

[7] Y. H. Koh and C. K. Kim, "Latch-back-free Self-Aligned Power MOSFET Structure with Silicided Source and Body Contact," IEEE Electron Device Letter, Vol. EDL-9, No. 8, pp.408-410, 1988.

[8] M. Morikawa et al, "US-DMOS : A Novel Structure for Power MOSFETs", Vol. J75-C-2, No.2, J. of IEIC, pp.85-91, Feb. 1992

[9] A. Preussger et al, "SPT - A New Smart Power Technology with a Fully Self Aligned DMOS Cell", ISPSD'91, pp.195-197

저 자 소개



윤종만 (尹鍾晩)

1967년 4월 16일생. 1989년 서울대 공대 전기공학과 졸업. 1991년 동 대학원 전기공학과 졸업(석사). 1994년 삼성전자 부천연구소 연구원. 1996년 현재 동 대학원 전기공학과 박사과정



최연익 (崔然益)

1953년 11월 23일생. 1976년 서울대 공대 전자공학과 졸업. 1981년 한국과학기술원 졸업(공학박). 1982년 UC Berkeley 전기 및 전산공학과 Research Associate. 현재 아주대 공대 전자공학과 교수. 당학회 편집위원. 주관 심분야 : 전력반도체 소자, TFT.



김두영 (金杜泳)

1970년 10월 14일생. 1993년 서울대 공대 전기공학과 졸업. 1995년 동 대학원 전기공학과 졸업(석사). 1996년 현재 동 대학원 전기공학과 박사과정



한민구 (韓民九)

1948년 7월 21일생. 1971년 서울대 공대 전기공학과 졸업. 1979년 미국 Johns Hopkins Univ. 졸업(공학박). 1979년 미국 뉴욕 주립대 조교수. 현재 서울대 공대 전기공학과 교수