

실리콘 에피층 성장과 실리콘 에칭기술을 이용한 Bare Chip Burn-In 테스트용 인터컨넥션 시스템의 제조공정

권오경, 김준배

한양대학교 공과대학 전자공학과

Fabrication Processes of Interconnection Systems for Bare Chip Burn-In Tests Using Epitaxial Layer Growth and Etching Techniques of Silicon

O. K. Kwon and J. B. Kim

Dept. of Electronic Engineering, Hanyang University, Seoul, 133-791

Abstract

Multilayered silicon cantilever beams as interconnection systems for bare chip burn-in socket applications have been designed, fabricated and characterized. Fabrication processes of the beam are employing standard semiconductor processes such as thin film processes and epitaxial layer growth and silicon wet etching techniques. We investigated silicon etch rate in 1-3-10 etchant as functions of doping concentration, surface mechanical stress and crystal defects. The experimental results indicate that silicon etch rate in 1-3-10 etchant is strong functions of doping concentration and crystal defect density rather than surface mechanical stress. We suggested the new fabrication processes of multilayered silicon cantilever beams.

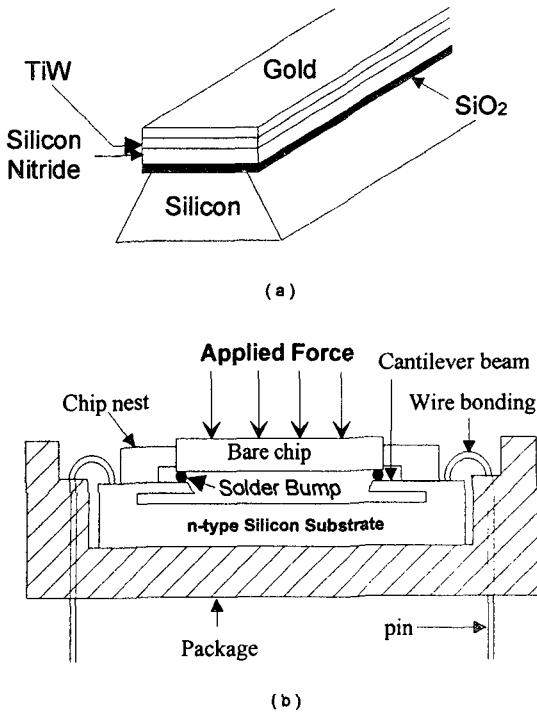
1. 서 론

집적회로 칩들은 웨이퍼 상태에서 칩의 모든 동작상태를 점검하는 full functional test와 칩의 수명예측을 위한 burn-in test를 수행할 수 없기 때문에 칩을 실장한 후에 이러한 테스트들을 하는 것이 일반적인 방법이다¹⁾. 이런 경우 칩이 오동작을 하면 패키징된 칩을 버려야 된다. 칩의 집적도가 높아짐에 따라서 칩의 입·출력 단자의 수가 증가하여²⁾ 패키지의 가격이 패키징한 칩의 가격에 점

점 더 많은 부분을 차지하게 될 뿐 아니라, multi-chip module(MCM)에서는 여러개의 bare chip을 한개의 기판상에 부착하기 때문에 오동작을 하는 칩이 MCM 기판상에 부착될 경우에는 오동작하는 칩을 찾아내기 위한 테스트 비용과 rework비용이 추가되므로 bare chip burn-in 테스트 방법이 절실히 요구되게 되었다³⁾. TAB(Tape Automated Bonding)방법을 이용하는 경우에는 칩을 TAB필름에 부착한 후에 이 필름의 여유 부분에 전기적 접속을 만들어 full functional test와 burn-in test

를 할 수 있는 방법이 개발되었다⁴⁾. 그러나 솔더 범프(solder bump)를 이용한 플립 칩 본딩(flip chip bonding)방법을 사용하는 경우의 bare chip burn-in 테스트 방법이 개발되지 않았으며, 1988년에 Hong 등⁵⁾은 많은 입·출력 패드에 솔더 범프를 갖는 칩을 금속과 SiO₂로 구성된 캔틸레버 빔(cantilever beam)을 이용하여 전기적으로 칩의 내부와 외부를 연결하는 방법을 고안하였다. 전기적으로 좋은 접속을 얻기 위해서는 칩의 패드당 5그램의 하중을 견디어야 하지만, 이 캔틸레버 빔은 하중에 따른 탄성 변형이 커서 실용적으로 사용할 수 없다. 따라서 본 연구에서는 칩의 패드당 5그램의 하중을 인가하여도 소성 변형이 일어나지 않으면서 탄성 변형의 범위가 같은 칩내에서의 솔더 범프 높이의 차이를 흡수할 수 있는 정도가 될 수 있는 캔틸레버 빔을 설계, 제작, 평가하였다.

본 연구에서는 탄성 변형의 범위가 칩내의 솔더 범프 높이의 차이를 흡수할 수 있는 정도 보다는 약간 넓으면서 이 탄성 변형 범위내에 스톱핑 레이어(stopping layer)를 두어 더 이상 변형이 일어나지 않도록 함으로서 캔틸레버 빔을 보호하도록 하였다. 이 캔틸레버 빔으로는 실리콘/열 산화 실리콘막/LPCVD 실리콘 질화막/금속막으로 이루어진 다층구조의 빔을 사용하였으며 이를 그림 1(a)에 나타내었다. 이 캔틸레버 빔을 이용한 bare chip burn-in 소켓(socket)의 개략적인 개념도를 그림 1(b)에 나타내었다. 그림 1(b)에서 보는 바와 같이 bare chip를 이 소켓에 칩의 전면이 아래로 향하도록 칩 네스트(chip nest)에 넣으면 자동적으로 칩의 솔더 범프와 캔틸레버 빔이 정렬되어 칩의 뒷면에서 힘을 인가하면 솔더 범프와 캔틸레버 빔의 상층인 금속면이 전기적으로 접속되어 bare chip를 테스트할 수 있게 된다.



2. 제작 및 실험방법

Bare chip burn-in할 수 있는 35 μ m두께의 실리콘 캔틸레버 빔을 제작하기 위하여 도핑농도가 $3 \times 10^{14} \text{cm}^{-3}$ 인 n⁻형 (100) 실리콘 기판상에 15 μ m 두께의 도핑농도가 $2 \times 10^{20} \text{cm}^{-3}$ 인 p⁻형 실리콘의 에피층을 APCVD 에피 리액터를 사용하여 1150 $^{\circ}$ C에서 7분동안 성장시킨 후 도핑농도가 $2 \times 10^{16} \text{cm}^{-3}$ 인 n⁻형 실리콘의 에피층을 APCVD 에피 리액터를 사용하여 1200 $^{\circ}$ C에서 10분동안 성장시켰다. 이 웨이퍼의 spreading resistance profile을 그림2에 나타내었다. 이 웨이퍼상에 200nm의 열 산화 실리콘 막과 200nm의 LPCVD 실리콘 질화막을 연속적으로 형성시킨후 300nm의 TiW과 500nm의 Au를 RF sputtering으로 연속적으로 증착시켰다. Cr 마스크를 사용하여 Au와 TiW를 건식 에칭하고, 실리콘 에칭용 Cr마스크를 사용하여 질화막과 산화막을 건식 에칭하였다. 실리콘 질화막을 마스크로 85 $^{\circ}$ C KOH-Propanol용액에서

Fig. 1 (a) The structure of the cantilever beam and
(b) the schematic diagram of bare chip burn-in socket

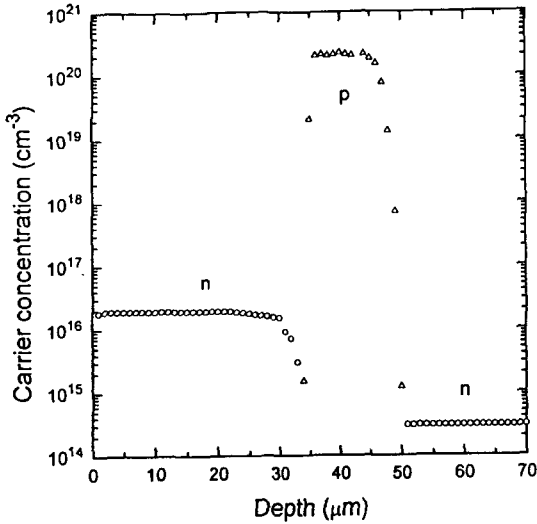


Fig. 2. Measured carrier concentration of the double epitaxial layer growing wafer as function of depth using the spreading resistance profile.

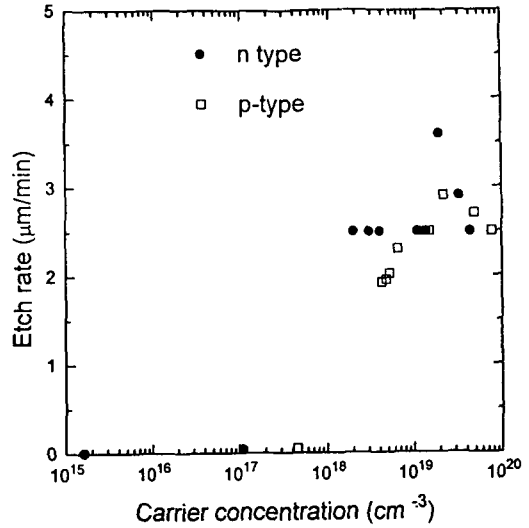


Fig. 3. Measured silicon etch rate in the 1-3-10 etchant as functions of doping concentration and doping type.

실리콘을 방향성 에칭하여 높은 도핑농도를 갖는 p⁻형 계면에서 에칭이 자동적으로 멈추게 하였다⁶⁾.

높은 도핑농도를 갖는 p⁻형의 실리콘층을 제거하기 위하여 조성이 불산, 질산, 아세트릭 애시드(acetic acid)를 1 : 3 : 10의 부피비로 섞어서 만든 1-3-10에칭용액⁷⁾을 사용하였다. 1-3-10에칭용액은 p⁺와 n⁺ 실리콘은 에칭하지만 p⁻와 n⁻ 실리콘은 에칭하지 못하는 것으로 알려져 있는데, 1-3-10에칭용액에서의 실리콘의 에칭속도를 실온에서 도핑농도에 따라 측정하여 그림 3에 나타내었다. 그림 3에서 보는 바와 같이 1-3-10에칭용액에서의 실리콘의 에칭속도는 불순물 도핑농도에 따라서 매우 큰 차이가 있기 때문에 도핑농도가 높은 실리콘을 쉽게 제거할 수 있는 것으로 알려져있다⁷⁾. 1-3-10에칭용액에서 10분동안 p⁺층을 에칭한 후의 단면도를 그림 4에 나타내었다. 1-3-10에칭용액에서 20분동안 에칭한 후에 캔틸레버 빔의 측면도를 그림 5에 나타내었으며, 그림 5에서 보는 바와 같이 캔틸레버 빔의 하단에 p⁺층

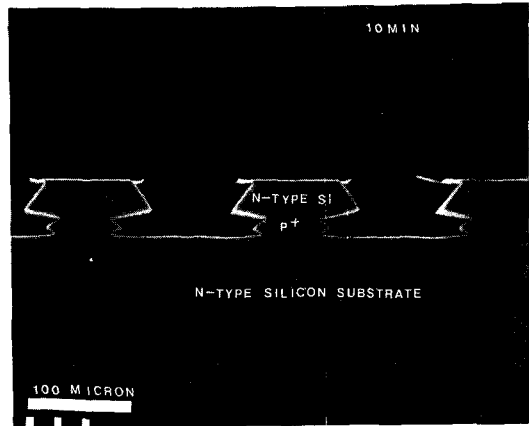


Fig. 4. The cross-sectional SEM photograph of forming silicon cantilever beams after 10min etching in the 1-3-10 etchant.

이 남아 있는 것을 확인하였으며, 이를 제거하기 위하여 계속해서 1-3-10에칭용액에서 p⁺층을 에칭한 결과 총40분 동안 1-3-10에칭용액에서 p⁺층을 에칭하여야 폭이 100μm, 길이가 350μm인 캔틸레버 빔을 형성할 수 있었다. 형성된 실리콘 캔틸레버 빔 어레이(array)를 광학 현미경으로 관

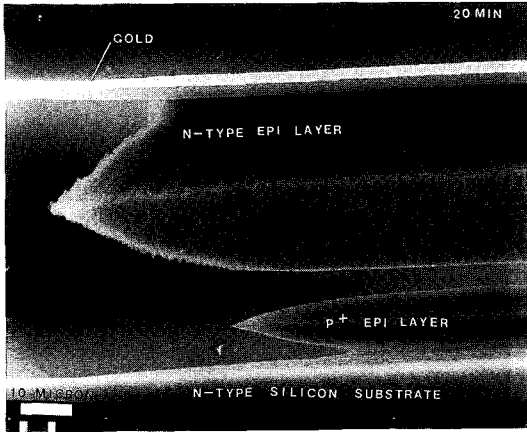


Fig. 5. The side view of the forming silicon cantilever beam after 20min etching in the 1-3-10 etchant.

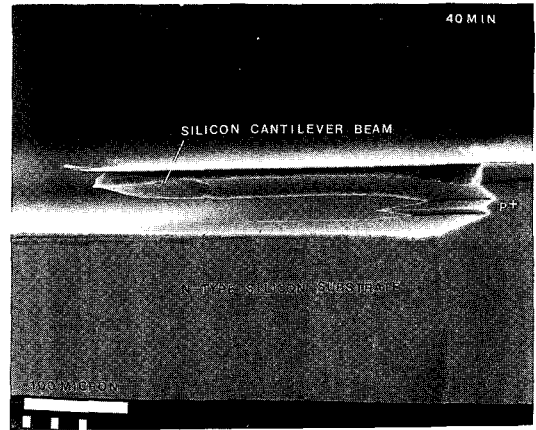


Fig. 7. The side view of the forming silicon cantilever beam after 40min etching in the 1-3-10 etchant.

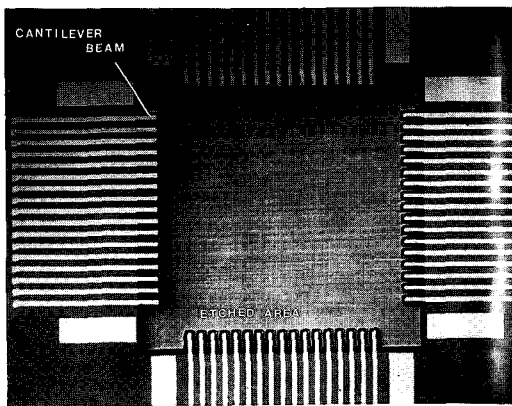


Fig. 6. The optical micrograph of silicon cantilever beam array.

찰한 사진을 그림 6에 도시하였다.

형성된 실리콘 캔틸레버 빔의 측면 주사현미경 사진을 그림 7에 나타내었다. 그림 7에서 보는 바와 같이 n⁻형 실리콘 캔틸레버 빔의 도핑농도가 낮기 때문에 1-3-10에칭용액에서 에칭이 되지 않아 뒀에도 불구하고 (그림 3참조), 1-3-10 에칭용액에서 n⁻형 실리콘이 에칭된 것을 확인하였다. 이 현상이 표면의 응력에 의한 영향인지를 알아보기 위하여 1mm×1mm의 실리콘 질화막 패턴을

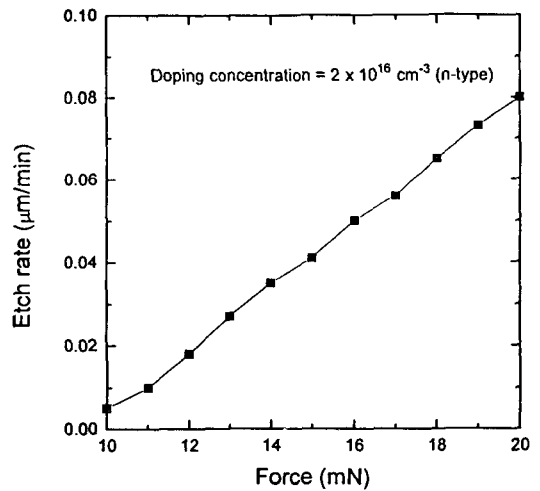


Fig. 8. Measured n-type silicon etch rate in the 1-3-10 etchant as function of mechanical stress.

만들어 그 위에 stainless steel봉을 세우고 그 봉 위에 부하인 추를 올려 놓고 1-3-10에칭용액에서 $2 \times 10^{16} \text{cm}^{-3}$ 의 도핑 농도를 갖는 n⁻형 실리콘을 에칭하여 에칭속도를 알파 스텝을 사용하여 측정하였다. 실리콘에 인가된 하중에 의한 1-3-10에칭용액에서의 n⁻형 실리콘의 에칭속도를 그림 8에 도시하였다.

3. 결과 및 고찰

3. 1. 캔틸레버 빔의 구조

실리콘 캔틸레버 빔의 길이, 폭, 두께, 실리콘 빔의 아랫면에서 스톱핑 레이어까지의 거리등을 결정하기 위하여 실리콘 캔틸레버 빔의 기계적 특성을 분석하였다. 본 연구에서 사용한 캔틸레버 빔이 여러층의 물질로 구성되어 있으나, 실리콘 층의 두께가 다른 층의 두께에 비하여 매우 두껍기 때문에 실리콘만으로 구성된 캔틸레버 빔으로 가정하여 이 빔의 탄성 변형을 계산하였다. 캔틸레버 빔의 단면이 직사각형인 경우에는 탄성 변형 δ 는

$$\delta = \frac{p \ell^3}{3EI} = \frac{4p}{WE} \left(\frac{\ell}{t}\right)^3 \dots\dots\dots (1)$$

이 되며⁵⁾, 여기에서 p 는 인가된 힘이며, ℓ 은 캔틸레버 빔의 길이, E 는 영률, I 는 관성 모멘트(the moment of inertia), W 는 캔틸레버 빔의 폭, t 는 캔틸레버 빔의 두께이다. 그러나 실리콘을 방향성 에칭을 하면, 캔틸레버 빔의 단면도가 사다리꼴 모양이되므로, 탄성 변형 δ 는

$$\delta = \frac{12p}{3W_1 + 1.414t} \left(\frac{\ell}{t}\right)^3 \dots\dots\dots (2)$$

이 되며, 여기에서 W_1 은 캔틸레버 빔의 상측 단면의 폭이 된다. 이 실리콘 빔의 항복 강도 σ_{max} 는

$$\sigma_{max} = \frac{36p \ell c}{t^3(3W_1 + 1.414t)} \dots\dots\dots (3)$$

이 되며, 여기서

$$c = -0.710W_1 + \sqrt{0.504W_1^2 + 0.710W_1t + 0.178t^2}$$

이다. 주어진 캔틸레버 빔의 폭에 대해서 식 (2)와 (3)을 사용하면, 주어진 인가된 힘과 주어진 변형의 각각에 대하여 캔틸레버 빔의 길이와 두께에 대한 항복강도를 갖는 관계를 구할 수 있다. 칩의 패드

의 크기를 $100\mu\text{m} \times 100\mu\text{m}$ 로, 패드의 피치(pitch)를 $200\mu\text{m}$ 로 가정하면 W_1 을 $100\mu\text{m}$ 로 가정할 수 있다. 따라서 W_1 이 $100\mu\text{m}$ 인 경우에 대하여 항복 강도를 갖는 캔틸레버 빔의 두께와 길이에 대한 관계를 인가한 힘이 5그램중, 10그램중, 15그램중과 변형이 $5\mu\text{m}$, $10\mu\text{m}$, $15\mu\text{m}$, $20\mu\text{m}$ 에 대하여 구한 값들을 그림 9에 도시하였다. 그림 9에서 빗금친 부분은 인가된 힘이 5그램중, 변형이 $10\mu\text{m}$ 일때 탄성 변형이 일어나기 위한 캔틸레버 빔의 길이와 두께를 나타내는 영역으로 본 연구에서는 안전 마진(margin)을 충분히 고려하여 캔틸레버 빔의 길이는 $350\mu\text{m}$, 두께는 $35\mu\text{m}$ 을 선택하였다.

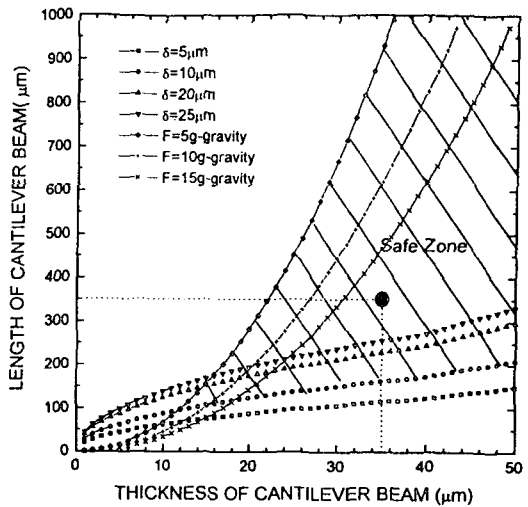


Fig. 9. Calculated critical length and thickness of silicon cantilever beams as functions of various deflection distances and applied forces.

3. 2. 1-3-10 에칭용액에서의 실리콘 에칭 특성

그림 7에서 보는 바와 같이 캔틸레버 빔의 가장 두꺼운 부분의 두께가 설계된 $35\mu\text{m}$ 보다 얇으며, 캔틸레버 빔의 하부와 실리콘 기판의 에칭면까지의 거리는 설계된 $15\mu\text{m}$ 보다 훨씬 더 넓은 간격이 떨어져 있음을 알 수 있다. 이는 1-3-10에칭용액에서 p^- 영역을 에칭하는 동안에 실리콘 캔틸레버

빔이 될 n⁻형 실리콘과 n⁻형 실리콘 기판이 에칭 되었음을 알 수 있다. 이와 같은 현상은 실리콘 에칭 표면의 기계적 응력에 의한 영향이거나 n⁻형 실리콘과 p⁺실리콘 층과의 사이에 결정상의 결합이 생겨서 에칭속도가 다르기 때문으로 생각되어 이에 대하여 조사하였다. 표면의 기계적 응력에 의한 영향이 에칭속도에 미치는 영향은 그림 8에 도시한 바와 같이 실리콘 표면의 압력이 증가할수록 에칭 속도도 증가하는 현상은 있었으나, 에칭속도는 2000Pa의 압력까지도 고농도 실리콘의 에칭 속도에 비하여 무시할 수 있을 정도임을 알았다.

그림 4는 1-3-10에칭용액에서 10분동안 p⁺층을 에칭했을때의 캔틸레버 빔의 단면을 나타낸 현미경 사진이다. 그림 4에서 보는 바와 같이 p⁺층의 상하측의 n⁻형과의 경계면의 에칭속도가 p⁺층의 에칭속도보다 빠른 것을 알 수 있다. 이것은 n⁻형 실리콘 기판상에 도핑농도가 $1 \times 10^{20} \text{cm}^{-3}$ 이상인 p⁺에피층을 성장시킬때 결함(defects)이 많이 생성되고, p⁺에피층상에 n⁻형 에피층을 성장시킬때에도 많은 결함이 생성되어 결함이 많은 부분의 에칭 속도가 결함이 상대적으로 적은 p⁺층의 중간 부분보다 빠른 것이다. 이에대한 근거로는 그림 6에서 보는 바와 같이 에피층의 실리콘이 에칭된 부분(그림 6의 중앙 부분)을 관찰하면, 많은 텍스처(texture)을 갖는 무늬가 존재하는데 이 무늬는 실리콘 기판과 p⁺에피층을 성장시킬때 전위(dislocation)가 성장한 것으로 관찰되었다. 높은 도핑농도의 에피층을 성장시킬 때 많은 결정상의 결함이 형성된다는 보고가 있다⁶⁾. 또한, 두면의 에피층을 성장시킨 4인치 웨이퍼상에서 많은 빈도의 적층결함(stacking fault)이 관찰되었다. 이 적층결함의 밀도는 웨이퍼에 따라 다르지만, 24장의 웨이퍼를 조사한 결과 그 밀도는 웨이퍼당 20~500개 정도였다. 관찰된 적층결함의 대표적인 모양을 그림 10에 나타내었다. 따라서 설계한 실리콘 캔틸레버 빔의 구조를 제작하기 위해서는 약간 도핑농도가 낮

은 p⁺에피층($\sim 10^{19} \text{cm}^{-3}$)을 성장시키거나, p⁺층을 형성하기 위해서 보론 소스(boron source)에 의한 확산방식을 사용함으로써 결정 결함을 줄이는 것이 바람직하다.

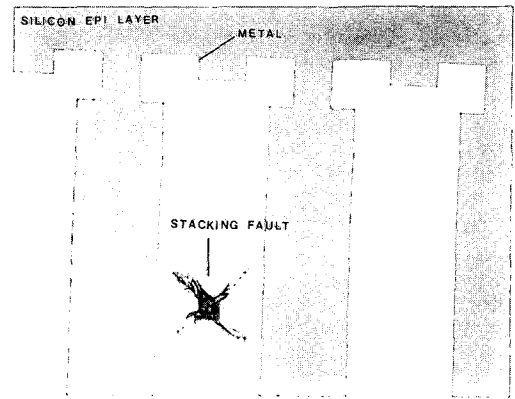


Fig. 10. Optical micrograph of the stacking fault.

3. 3. 제작한 캔틸레버 빔의 기계적 전기적 특성

그림 6에서 보는 바와 같은 제작한 캔틸레버 빔 에레이를 사용하여 그림1(b)에서 도시한 burn-in socket를 제작하여 이 burn-in socket에 솔더 범프가 있는 칩을 삽입하여 캔틸레버 빔당 5그램의 하중을 인가한 결과 68개의 캔틸레버 빔과 솔더 범프가 전기적으로 접속됨을 확인하였으며, 이를 이용하여 삽입한 칩의 full functional test를 수행할 수 있었다. 5그램의 하중이 인가되었을 때의 캔틸레버 빔의 상단면인 금속면과 솔더 범프와의 접촉 저항(contact resistance)를 측정하기 위하여 켈빈 프로브를 만들어 측정한 결과 접촉 저항은 0.04Ω 이 측정되었으나 이는 솔더 범프의 저항까지 포함된 값으로, 실제의 접촉 저항은 이 보다 적을 것이다.

제작된 실리콘 캔틸레버 빔의 기계적 특성을 조사하기 위하여 칩을 삽입한 후에 468그램의 하중(캔틸레버 빔당 7그램의 하중)으로 1000번을 인가하고 68개의 캔틸레버 빔과 솔더 범프의 전기적 접속을 확인한 결과 68개의 캔틸레버 빔이 이상이 없음을 확인하였다. 따라서 제작한 실리콘 캔틸레

버 빔은 수직방향으로 빔당 7그램의 하중을 1000번 이상 인가하여도 burn-in 테스트용으로 사용할 수 있음을 확인하였다. 수평방향의 성분을 갖는 기계적 힘에 의하여 제작한 캔틸레버 빔이 얼마만큼 견디는가를 조사하기 위해서 프로브 니들(probe needle)을 캔틸레버 빔의 길이 방향에 θ 만큼의 각을 갖도록 하여 프로브 니들을 캔틸레버 빔의 끝부위(솔더 범프가 닿는 부위)에 접촉시킨 다음에 프로브 니들의 접촉부가 캔틸레버 빔의 표면을 60 μm 의 거리를 이동하도록 힘을 가하여 빔이 부러지는 각도 θ 를 구하였다. 이 각도 θ 가 60°에서 제작한 캔틸레버 빔이 부러졌다. 이 부러진 빔의 사진을 그림 11에 나타내었다. 따라서 제작한 캔틸레버 빔은 수평성분의 힘에 의하여 스톱핑 레이어에 닿기 전에 부러짐을 알 수 있다.

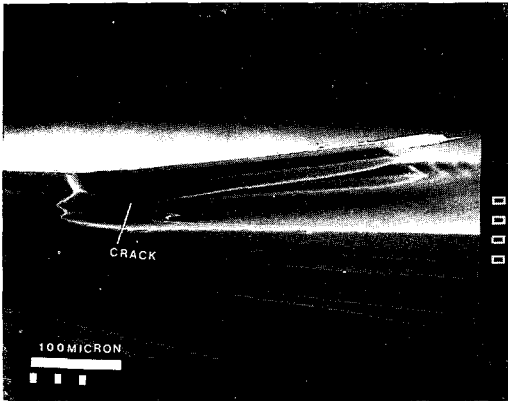


Fig. 11. The SEM micrograph of the broken silicon cantilever beam by lateral force.

4. 결 론

실리콘 에피층 성장과 실리콘 에칭 기술을 이용하여 bare chip를 테스트할 수 있는 인터컨넥션 시스템인 다층 구조를 갖는 실리콘 캔틸레버 빔을 설계, 제작, 평가하였다. 제작된 실리콘 캔틸레버 빔의 구조는 설계한 구조와 달랐지만 bare chip를 테스트할 수 있는 전기적 기계적 성능을 가짐을 확인

하였으며, 이 실험과정에서 다음과 같은 결론을 도출하였다.

1) 1-3-10에칭용액에서의 실리콘 에칭속도는 도핑농도에 따라 달라지며, 실리콘 결정의 결함 밀도가 높을 수록 에칭 속도가 높았다. 반면 에칭속도는 실리콘 표면의 기계적 응력에 크게 영향을 받지 않음을 알았다. 따라서 설계한 실리콘 캔틸레버 빔을 얻기 위해서는 p⁺실리콘 에피층의 도핑 농도를 $\sim 1 \times 10^{19} \text{cm}^{-3}$ 정도로 하여 에피층 형성시 결정 결함을 줄이거나, p⁺층 형성시 보론 소스를 사용하여 확산 방법으로 형성함이 바람직할 것으로 예상된다.

2) 5그램의 하중이 인가되었을 때 실리콘 캔틸레버 빔의 상단과 솔더범프 사이의 접촉저항은 0.04 Ω 보다 낮은 것으로 확인되었으며, 본 연구에서 제작된 실리콘 캔틸레버 빔의 신뢰도는 적어도 1000회 이상을 사용할 수 있음을 확인하였다. 그러나 수평방향의 힘에 의하여 실리콘 캔틸레버 빔이 부러짐이 확인되어 이를 방지할 수 있는 스톱핑 레이어와 빔의 하단면 사이의 거리를 적절히 설계 제작할 필요가 있다.

참 고 문 헌

1. T. C. Chung, D. A. Gibson, and P. B. Wesling : Handbook of Tape Automated Bonding, Ed. J. H. Lau, Van Nostrand Reinhold, New York (1992) 283
2. B. S. Landman and R. L. Russo : IEEE Tran. Computers, 20 (1971) 1469
3. E. R. Hnatek : Evaluation Engineering, Feb. (1989) 80
4. R. W. Shreeve : Proceedings of 39th Electronic Components Conf., (1989) 187
5. S. Hong, J. C. Bravman, T. P. Weihs, and O. K. Kwon : Proceedings of Mat. Res.

- Soc. Symp., 108 (1988) 309
6. K. E. Petersen : Proc. of The IEEE, 70 (1982) 420
7. K. E. Bean : IEEE Tran. Electron Devices, 25 (1978) 1185
8. A. Rockett : Proceedings of the 3rd Int. Symp. on Process Physics and Modelling in Semiconductor Tech., (1993) 389