

論文95-32A-7-9

절연막 형성 방법에 따른 다결정실리콘 캐패시터의 특성

(Characteristics of Polysilicon Capacitor as Insulator Formation Method)

盧泰文*, 李大雨*, 金光洙*, 姜鎮榮*, 李德東**
 (Tae Moon Roh, Dae Woo Lee, Kwang Soo Kim, Jin Yeong Kang,
 and Duk Dong Lee)

요약

아날로그 CMOS IC에 적용할 수 있는 캐패시터를 개발하기 위하여 파이로제닉(pyrogenic) 산화막과 TEOS 산화막을 절연막으로 사용한 다결정실리콘 캐패시터를 제작하여 그 특성을 비교하였다. 파이로제닉 산화막 다결정실리콘 캐패시터는 산화막 성장시 다결정실리콘 grain의 영향을 받아 돌출부가 발생하여 기판 다결정실리콘 표면이 나빠지게 된다. 다결정실리콘 산화막의 두께가 57 nm이고 게이트 전압이 양일때 파이로제닉 산화막 다결정실리콘 캐패시터의 유효전위장벽 높이가 0.45 eV이며 MOS 캐패시터에서 측정한 약 3.2 eV 보다 매우 적게 나타났다. TEOS 산화막 다결정실리콘 캐패시터는 LPCVD 방법을 사용하기 때문에 산화막 중착시에 다결정실리콘 표면이 거의 손상되지 않는다. TEOS 산화막 다결정실리콘 캐패시터의 유효전위장벽 높이가 산화막 두께가 54 nm이고 게이트 전압이 음일때 1.28 eV로 나타났다. 따라서 파이로제닉 산화막 다결정실리콘 캐패시터 보다 TEOS 산화막 다결정실리콘 캐패시터가 아날로그 CMOS IC에 더 적합한 것으로 나타났다.

Abstract

Polysilicon capacitors with pyrogenic oxide and TEOS oxide as insulators were fabricated to develop capacitors which can be applied to analog CMOS IC, and the characteristics of the capacitors were compared with each other. The morphology of bottom polysilicon in pyrogenic oxide capacitor is degraded due to the generated protuberances of the polysilicon grain during oxidation. The polysilicon capacitor with pyrogenic oxide of 57 nm thickness showed that the effective potential barrier height of 0.45 eV is much less than that of MOS capacitor (3.2 eV) when the top electrode is biased with a positive voltage. The morphology of the polysilicon capacitor with TEOS oxide, however, was not degraded during oxide deposition by LPCVD. The polysilicon capacitor with TEOS oxide of 54 nm thickness showed the effective potential barrier height of 1.28 eV when the top electrode is biased with a negative voltage. Therefore, it is concluded that the polysilicon capacitor with TEOS oxide is more applicable to analog CMOS IC than the pyrogenic oxide polysilicon capacitor.

* 正會員, 韓國電子通信研究所

(Electronics and Telecommunications Research Institute)

** 正會員, 慶北大學校 電子工學科

(Dept. of Elec. Eng., Kyungpook Nat'l Univ.)

接受日字: 1994年12月7日, 수정완료일: 1995年6月29日

I. 서 론

고도 정보통신시대가 도래함에 따라 영상신호 서비스의 중요성이 증가하고 있다. 영상전화기, 화상회의 시스템, 고선명 TV(HDTV) 등이 그것인데, 이러한 서비스를 가능하게 하는 주요 반도체 제품 중의 하나가 영상신호용 ADC(analog-to-digital converter) 및 DAC(digital-to-analog converter), 필터, 증폭기 등의 아날로그(analog) IC이다^[1,2]. 이러한 아날로그 IC 제작에 저전압, 고집적 회로 설계 및 공정이 가능한 CMOS 기술을 많이 이용하고 있다^[1-3].

아날로그 CMOS에서는 디지털 CMOS와 다르게 수동소자인 저항과 캐패시터를 이용하고 있는데, 그 종회로 특성상 캐패시터의 중요성은 매우 크다. 아날로그 CMOS에 사용되는 캐패시터는 전압의 변화에 대하여 용량(capacitance)의 변화가 적어야 하고, 동시에 전압에 의존하지 않는 기생 용량이 적어야 한다^[3,4]. 아날로그 CMOS 공정중에 제작할 수 있는 여러 종류의 캐패시터 중에서 상기의 조건에 가장 적합한 것은 다결정실리콘(I)/절연막/다결정실리콘(II) 구조의 캐패시터(이하 다결정실리콘 캐패시터)이다^[4].

다결정실리콘 캐패시터를 제작할 때 캐패시터의 절연막 형성 방법에 따라 캐패시터의 전기적 특성이 바뀌어지며, 절연막을 형성하기 위하여 여러가지 방법을 사용하고 있다. 캐패시터의 절연막을 형성하는 방법에는 기판 다결정실리콘을 전기로에서 열산화시키는 방법과 LPCVD(low-pressure chemical vapor deposition) 절연막을 증착하는 방법 등이 있다^[5]. 다결정실리콘을 열산화시키는 방법에는 전식산화법과 습식산화법이 있다. O₂ 분위기에서 다결정실리콘을 열산화시키는 전식산화 방법은 900°C 이상의 높은 공정 온도가 요구된다. 이러한 높은 공정온도는 CMOS 소자의 특성을 나쁘게 하므로 아날로그 CMOS 공정에 적용하기가 어렵다. 파이로제닉(pyrogenic)을 이용한 습식산화 방법은 아날로그 CMOS 공정에 충분히 사용될 수 있을 정도로 공정온도를 낮출 수 있으나, 파이로제닉 방법으로 기판 다결정실리콘을 열산화시킴에 따라 다결정실리콘의 표면 거칠기(surface roughness)가 나쁘게 되어 Fowler-Nordheim(F-N) 터널링(tunneling)이 낮은 전압에서 일어날 수 있다^[7-9]. LPCVD 방법으로 절연막을 증착하는 방법은 열산화시키는 방법에 비하여 기판 다결정실리콘의 표면 거칠기

를 거의 변화시키지 않아서 F-N 터널링이 높은 전압에서 일어나게 된다.

본 연구에서는 아날로그 CMOS IC에 적용할 수 있는 다결정실리콘 캐패시터를 개발하기 위하여 파이로제닉 산화막과 LPCVD TEOS 산화막을 사용하여 다결정실리콘 캐패시터와 단결정실리콘/절연막/다결정실리콘(II)의 구조를 갖는 캐패시터(이하 MOS 캐패시터)를 각각 제작하였고, 그 특성을 조사하였다. 제작된 캐패시터에서 용량-전압(capacitance-voltage), 전류-전압(current-voltage), 절연파괴전압(dielectric breakdown voltage) 특성을 측정하여 산화막의 형성 방법과 절연막의 두께 변화에 따른 캐패시터의 전기적 특성을 분석하였다. TEM(transmission electron microscopy)으로 파이로제닉 산화막과 TEOS 산화막 다결정실리콘 캐패시터에서 다결정실리콘과 산화막의 계면을 관찰을 하여 캐패시터의 전기적 특성과 비교하였다.

II. 실험방법

그림 1은 다결정실리콘 및 MOS 캐패시터를 제작하는 공정순서도를 나타낸 것이다.

다결정실리콘 캐패시터와 MOS 캐패시터를 제작하기 위해 n-형, (100), 2.0~3.0 Ω·cm인 단결정실리콘 기판을 사용하였다. 다결정실리콘 캐패시터를 제작하기 위하여, 단결정실리콘 기판 위에 파이로제닉 방법으로 열산화막을 성장시키고, LPCVD 방법으로 380 nm 두께의 다결정실리콘을 증착시킨 후 875°C에서 POC_{1.3}를 도핑(doping)하였다. 사진전사 방법으로 다결정실리콘(I)의 패턴을 형성하고 식각공정을 수행하여 캐패시터의 하층 전극을 형성하였다. 그후 커페시터 절연막을 형성하고, 다결정실리콘(II)의 패턴 형성 및 식각 공정을 수행하여 게이트 전극(캐패시터의 상층 전극)을 형성한 후에, LPCVD 방법으로 600 nm의 산화막을 증착하였다. 아날로그 CMOS 공정을 고려하여, 질소 분위기에서 각각 900°C, 30분의 열처리 공정과 950°C, 10분의 열처리 공정을 수행하였다. Contact 형성을 위하여 Pt silicide 공정을 적용하였으며, 금속배선 공정을 수행한 후 400°C, N₂/H₂ 분위기에서 30분 동안 열처리를 하였다. 또한 MOS 캐패시터를 제작하기 위하여 단결정실리콘 기판을 일반적인 LOCOS 방법으로 소자를 격리시킨 후에 커페시

터 절연막을 형성하고 전극으로 380 nm의 다결정실리콘을 증착한 다음, POC_{13} 를 875°C에서 30분 동안 도핑하였다. 그 이후의 공정은 게이트 전극 형성, 금속배선공정 등이 동일하다.

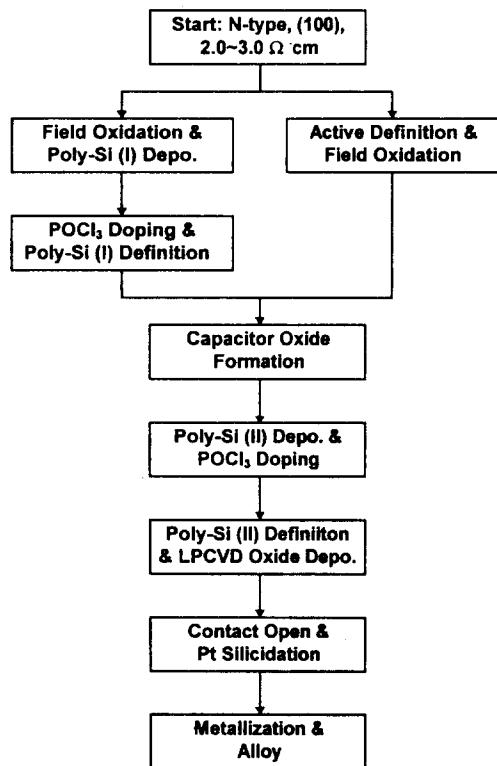
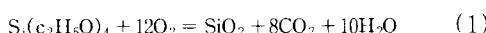


그림 1. MOS 캐패시터와 다결정실리콘 캐패시터의 제작 공정 순서도

Fig. 1. Process sequences of MOS polysilicon capacitors.

캐패시터의 절연막을 형성하는 방법으로는 파이로제닉 산화방법과 TEOS(tetraethylorthosilicate)를 이용한 LPCVD 방법을 사용하였다. 파이로제닉 방법의 경우 850°C에서 H_2 및 O_2 양이 각각 9 ℓ/min , 6 ℓ/min 인 조건에서 시간을 변화시키면서 산화막(파이로제닉 산화막)을 성장시켰다. 또한 TEOS를 이용한 LPCVD 방법의 경우 730°C, 300 mtorr에서 산화막(TEOS 산화막)을 증착시켰으며, 이때 TEOS의 산화반응식은 식(1)과 같다^[5].



HP4275A Multi-Frequency LCR Meter로 제작된 다결정실리콘 및 MOS 캐패시터에 대해 용량-전압

(capacitance-voltage) 방법으로 용량을 측정하여 각 캐패시터의 산화막 두께를 계산하였다. 또한 HP 4140B pA Meter를 사용하여 캐패시터의 전류-전압 특성을 측정하여 산화막의 형성 조건에 따른 Fowler-Nordheim 특성을 비교분석하였으며, HP-4145B Semiconductor Parameter Analyzer를 이용하여 캐패시터의 절연파괴전압도 측정하였다. TEM을 이용하여 파이로제닉 산화막과 TEOS 산화막 다결정실리콘 캐패시터의 단면을 관찰하여 전기적 특성과 비교하였다.

III. 실험결과 및 고찰

표 1은 파이로제닉 산화막을 이용한 MOS 캐패시터(파이로제닉 산화막 MOS 캐패시터)와 다결정실리콘 캐패시터(파이로제닉 산화막 다결정실리콘 캐패시터)에 대해 측정된 용량과 산화막 두께를 나타낸 것이다. 이때 측정에 사용된 캐패시터의 크기는 400 $\mu\text{m} \times 400\mu\text{m}$ 이며, 산화막의 비유전율을 3.9로 하여 산화막의 두께를 계산하였다.

표 1. 파이로제닉 캐패시터의 용량과 산화막 두께

Table 1. Capacitance and oxide thickness of pyrogenic oxide capacitors.

Temp.	Time	MOS Capacitor	Polysilicon Capacitor	T_{ox}		
		Capacitance	Thickness	Capacitance	Thickness	$T_{ox}(\text{Si})$
850°C	4.5min	528pF	11nm	96.8pF	57nm	5.44
850°C	10min	318pF	17nm	61.4pF	90nm	5.17
850°C	18min	197pF	28nm	43.3pF	128nm	4.54

파이로제닉 방법으로 산화막을 성장시킬 때 단결정 실리콘과 도핑된 다결정실리콘 사이에 산화막 성장을 의 차이가 발생하는데^[10], 표 1에 나타낸 바와 같이 단결정실리콘 보다 다결정실리콘의 산화막 두께가 약 5배 증가하였다.

표 2에 TEOS 산화막을 이용한 MOS 캐패시터(파이로제닉 산화막 MOS 캐패시터)와 다결정실리콘 캐패시터(파이로제닉 산화막 다결정실리콘 캐패시터)의 용량과 두께를 나타내었다. 측정에 사용된 캐패시터의 크기는 400 $\mu\text{m} \times 400\mu\text{m}$ 이며, ellipsometer로 측정한 산화막의 두께를 함께 나

타내었다.

표 2. TEOS 산화막을 사용한 캐패시터의 용량과 산화막 두께

Table 2. Capacitance and oxide thickness of TEOS oxide capacitors.

Temp.	Time	MOS Capacitor	Polysilicon Capacitor	T_{ox}		
		Capacitance	Thickness	Capacitance	Thickness	$T_{ox}(Si)$
730°C	30min	157pF	35nm	169pF	33nm	0.94
730°C	50min	98.0pF	57nm	103pF	54nm	0.95
730°C	71min	-	-	75.4pF	73nm	-
730°C	80min	62.1pF	89nm	65.2pF	85nm	0.96

표 2를 살펴보면 ellipsometer로 측정한 산화막의 두께는 C-V 방법으로 측정한 것과 많은 차이를 나타내었는데, TEOS 산화막의 두께가 30 nm일 때 두께 차이가 약 5 nm이었고, 80 nm일 때 약 9 nm이었다. 이것은 TEOS 산화막의 비유전율을 3.9로 계산한 것과 ellipsometer로 두께를 측정할 때 굴절율(refractive index)을 1.462로 가정한 것에 기인한 것으로 생각된다. 만약 ellipsometer로 측정한 TEOS 산화막의 두께와 C-V 방법으로 측정된 용량을 이용하여 산화막의 비유전율을 계산하면 산화막의 두께가 30 nm과 50 nm, 80 nm일 때 비유전율은 각각 3.3, 3.4, 3.5가 된다. 이것은 TEOS 산화막의 비유전율이 3.9가 아님을 의미한다. 또한 MOS 캐패시터에서 측정한 산화막 두께에 대해서 다결정실리콘 캐패시터에서 측정한 산화막 두께 비가 약 0.95로 나타났는데, 이것은 다결정실리콘 표면이 단결정실리콘 보다 거칠기 때문에 유효표면적이 증가하여 측정된 용량이 증가하였기 때문이다.

제작된 MOS 캐패시터와 다결정실리콘 캐패시터의 전류-전압(I-V) 특성을 HP4140B pA meter로 측정하였다. 측정에 사용된 캐패시터의 크기는 $100\mu\text{m} \times 100\mu\text{m}$ 이다. I-V 특성에서 게이트에 10^{-13} A의 전류가 흐를 때를 F-N 터널링^[11]이 일어나기 시작하는 전압(V_{FN})으로 정의하고, 이것을 산화막의 두께로 나누어 F-N 터널링이 일어나는 전장(E_{FN})으로 정의하였다. 낮은 게이트 전압에서 누설전류가 10^{-13} A 이상 흐를 경우에는 전류-전압 특성으로 부터 외삽하여 V_{FN} 을 얻었다.

그림 2는 850°C에서 파이로제닉 산화막 다결정실리

콘 캐패시터의 I-V 특성을 나타낸 것이다. C-V 방법으로 측정한 산화막의 두께는 57 nm 및 90 nm, 128 nm이다. 게이트 전압이 양일 때 V_{FN} 은 6.7 V 및 7.2 V, 8.6 V이며, 게이트 전압이 음일 때 V_{FN} 은 각각 15.2 V와 17.4 V, 22.8 V이다. 산화막의 두께가 128 nm이고 게이트 전압이 양일 때는, 즉 기판 다결정실리콘에서 전자가 주입될 때, V_{FN} 이 10 V 보다 적게 나타났다.

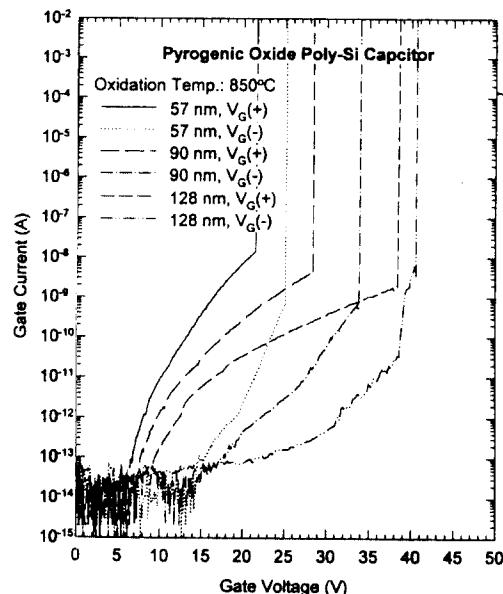


그림 2. 파이로제닉 산화막 다결정실리콘 캐패시터의 전류-전압 특성

Fig. 2. Current-voltage characteristics of pyrogenic oxide capacitors.

그림 3은 TEOS 산화막을 이용한 다결정실리콘 캐패시터의 I-V 특성을 나타낸 것이다. 산화막의 두께는 각각 33 nm 및 54 nm, 73 nm이다. 게이트 전압이 양일 때 V_{FN} 은 12.1 V 및 17.6 V, 23.8 V이며, 게이트 전압이 음일 때 V_{FN} 은 각각 10.0 V와 13.3 V, 15.6 V이다. 여기서 산화막의 두께가 33 nm인 경우도 게이트 전압이 양일 때 뿐만 아니라 음일 때도 V_{FN} 이 10 V 보다 큰 것을 알 수 있다.

그림 2와 3에 나타난 파이로제닉 산화막과 TEOS 산화막 다결정실리콘 캐패시터의 전류-전압 특성에서 F-N 터널링이 일어나기 전의 영역을 비교하면, 파이로제닉 산화막 다결정실리콘 캐패시터 보다 TEOS 산화막 다결정실리콘 캐패시터의 누설전류가 100배 정도

크게 나타났다. 그러나 파이로제닉을 이용한 다결정실리콘 캐패시터의 V_{FN} 이 게이트 전압이 양일때 산화막의 두께가 128 nm이 되어도 10 V 보다 적게 나타났다. 따라서, 아날로그 CMOS에 사용되는 다결정실리콘 캐패시터의 절연막 목표값이 50 ~ 70 nm이면^[4], 게이트 전압이 양일때 F-N 터널링이 일어나기 시작하는 전압이 10 V 이하임을 예측할 수 있다. 이것은 아날로그 CMOS의 동작전압이 ± 5 V일 경우에 다결정실리콘 캐패시터의 양단에 최대 10 V가 인가된다고 가정한다면 많은 누설전류가 발생함을 의미한다.

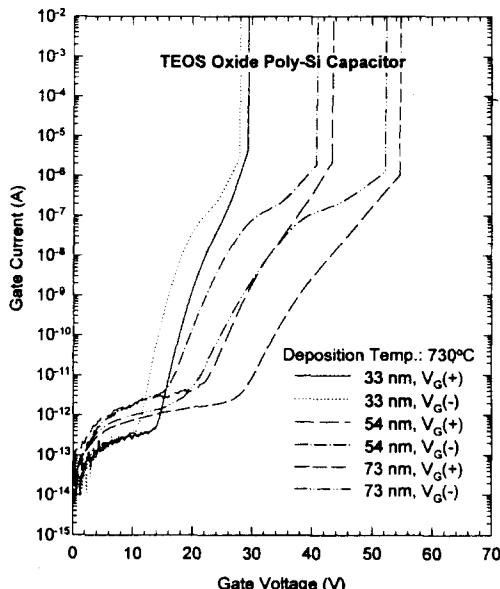


그림 3. TEOS 산화막 다결정실리콘 캐패시터의 전류-전압 특성

Fig. 3. Current-voltage characteristics of TEOS oxide capacitors.

그림 4는 850°C에서 파이로제닉 산화막을 이용한 다결정실리콘 캐패시터에 대하여 절연막 두께와 게이트 极性에 따른 E_{FN} 을 나타낸 것이다. 게이트 전압이 양이고, 산화막의 두께가 57 nm, 90 nm, 128 nm일 때 E_{FN} 은 1.2 MV/cm, 0.8 MV/cm, 0.7 MV/cm이며, 게이트 전압이 음일때 E_{FN} 은 각각 2.7 MV/cm, 1.9 MV/cm, 1.8 MV/cm이다. 파이로제닉 산화막의 두께가 57 nm에서 128 nm로 증가하면 E_{FN} 이 게이트 전압이 양일때 1.2 MV/cm에서 0.7 MV/cm로 약 40% 감소하고, 게이트 전압이 음일때에는 E_{FN} 이 2.7 MV/cm에서 1.8 MV/cm로 약 30% 정도 감소하였

다. 산화막 두께가 증가함에 따라 E_{FN} 이 감소하고, 게이트 전극에 음전압 보다 양전압을 인가할 경우에 E_{FN} 이 1MV/cm 이상 감소하여 60% 정도 적게 나타났다. 이 결과는 다결정실리콘에 산화됨에 따라 기판 다결정실리콘의 표면이 거칠어지며, 두께가 증가할수록 그 현상이 더욱 커지기 때문이다^[7-9].

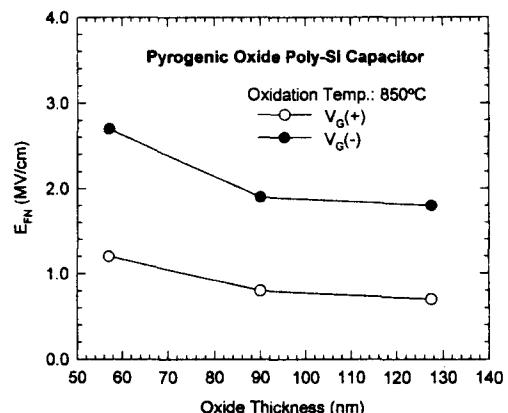


그림 4. 산화막 두께에 따른 파이로제닉 산화막 다결정실리콘 캐패시터의 E_{FN} 특성

Fig. 4. E_{FN} characteristics of pyrogenic oxide capacitors as a function of oxide thickness.

그림 5는 TEOS 산화막 다결정실리콘 캐패시터에 대하여 절연막 두께와 게이트 极性에 따른 E_{FN} 을 나타낸 것이다. 게이트에 양전압을 인가하고 산화막 두께가 33 nm, 54 nm, 73 nm일때 E_{FN} 이 3.7 MV/cm, 3.3 MV/cm, 3.2 MV/cm이며, 게이트 전압이 음일때 각각 E_{FN} 은 3.0 MV/cm, 2.5 MV/cm, 2.1 MV/cm이다. TEOS 산화막의 두께가 33 nm에서 73 nm로 증가함에 따라 E_{FN} 이 게이트 전압이 양일때는 3.7 MV/cm에서 3.2 MV/cm로 약 14% 감소하였고, 게이트 전압이 음일때는 3.0 MV/cm에서 2.1 MV/cm로 약 30% 감소하였다. TEOS 산화막의 두께가 증가함에 따라 E_{FN} 이 감소하고, 게이트 전압이 양일때 보다 음일때 E_{FN} 이 적을 뿐만아니라 산화막의 두께가 증가함에 E_{FN} 의 감소가 더 크게 나타났다. TEOS 산화막 MOS 캐패시터에서도 게이트에 양전압을 인가하면 산화막 두께가 증가할때 E_{FN} 의 변화는 거의 없었으나, 게이트에 음전압을 인가할때 E_{FN} 의 감소가 나타났다. 따라서 TEOS 산화막 다결정실리콘

캐패시터에서는 산화막의 두께가 증가함에 따라 국부적으로 산화막의 균일성이 나쁘게 되어 게이트 다결정 실리콘과 산화막의 계면이 나빠지기 때문으로 생각된다.

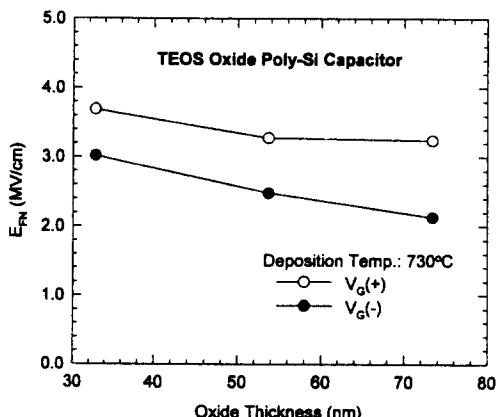


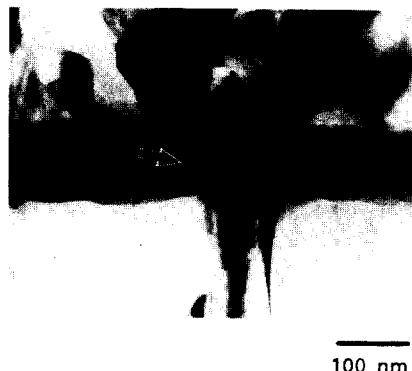
그림 5. 산화막 두께에 따른 TEOS 산화막 다결정실리콘 캐패시터의 E_{FN} 특성

Fig. 5. E_{FN} characteristics of TEOS oxide capacitors as a function of oxide thickness.

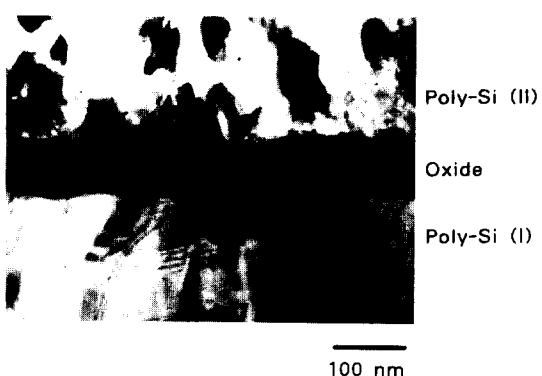
그림 6은 파이로제닉 산화막과 TEOS 산화막 다결정실리콘 캐패시터의 TEM 단면사진을 나타낸 것이다. Pyrogenic 산화막 다결정실리콘 캐패시터의 TEM 사진에서 다결정실리콘(I)/산화막의 계면과 다결정실리콘(II)/산화막 계면 사이의 거칠기가 화살표로 표시한 돌출부(protuberance)를 제외하고 큰 차이를 나타내지 않았다. 이 돌출부는 다결정실리콘을 산화시킬 때 발생한다^[9]. TEOS 산화막 다결정실리콘 캐패시터에서는 다결정실리콘(I)/산화막의 계면과 다결정실리콘(II)/산화막 계면 사이의 거칠기가 큰 차이를 나타나지 않았으며, 돌출부가 생성되지 않았다.

그림 4와 5에서 파이로제닉 산화막 다결정실리콘 캐패시터에서는 게이트 전압이 양일때 보다 음일때 E_{FN} 이 크지만, TEOS 산화막 다결정실리콘 캐패시터에서는 E_{FN} 이 게이트 전압이 음일때 보다 양일때 크게 나타났다. 이것은 파이로제닉 산화막은 산화막 두께가 증가할수록 그림 6에 나타난 바와 같이 다결정실리콘(I)의 표면에 돌출부가 생성되어, 다결정실리콘(I)/산화막의 계면 보다 다결정실리콘(II)/산화막의 계면이 우수한 것을 나타낸다^[12]. TEOS 산화막 다결정실리콘 캐

패시터에서는 LPCVD을 사용하기 때문에 TEOS 산화막이 증착될 때 다결정실리콘 기판의 표면이 손상되지 않았음을 알 수 있다.



(a) Pyrogenic oxide polysilicon capacitor



(b) TEOS oxide polysilicon capacitor

그림 6. 파이로제닉 산화막과 TEOS 산화막 다결정실리콘 캐패시터의 TEM 단면사진

Fig. 6. Cross-sectional TEM micrographs of pyrogenic oxide and TEOS oxide capacitors.

그림 2와 3에 나타낸 전류-전압 특성에 대한 Fowler-Nordheim 전도 특성을 식(2)를 이용하여 조사함으로써^[11], 파이로제닉 산화막 및 TEOS 산화막 다결정실리콘 캐패시터의 계면 거칠기 특성을 연구하였다.

$$J = (q^3 E_{eff}^2 / 8\pi \hbar \Phi_{eff}) \exp(-8\pi (2m^*)^{1/2} \Phi_{eff}^{3/2} / 3\hbar q E_{eff}) \quad (2)$$

여기서, \hbar 은 Plank 상수, q 는 전하량, E_{eff} 는 유효전장, Φ_{eff} 는 유효전위장벽 높이, m^* 은 자유전자질량, m^* 은 유효전자질량($=0.4m_0$)이다.

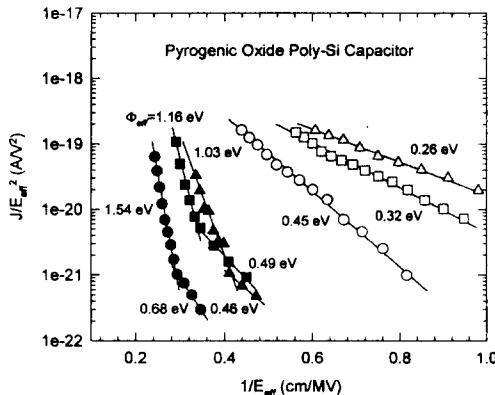


그림 7. 파이로제닉 산화막 다결정실리콘 캐패시터의 Fowler-Nordheim 특성(○, ●: $T_{ox}=57$ nm, □, ■: $T_{ox}=90$ nm, △, ▲: $T_{ox}=128$ nm, open symbols: $V_G(+)$, filled symbols: $V_G(-)$)

Fig. 7. Fowler-Nordheim characteristics of pyrogenic oxide capacitors (○, ●: $T_{ox}=57$ nm, □, ■: $T_{ox}=90$ nm, △, ▲: $T_{ox}=128$ nm, open symbols: $V_G(+)$, filled symbols: $V_G(-)$).

그림 7은 파이로제닉 산화막을 이용한 다결정실리콘 캐패시터의 F-N 특성과 유효전위장벽 높이를 나타낸 것이다. 캐패시터의 게이트에 양전압을 인가할 때 전류-전압 특성은 F-N 특성을 잘 따르고 있음을 알 수 있으며, 산화막의 두께가 57 nm, 90 nm, 128 nm일 때 유효전위장벽 높이는 각각 0.45 eV, 0.32 eV, 0.26 eV이다. 또한 게이트에 음전압을 인가하면 F-N 특성에서 각각의 캐패시터에 대하여 두개의 기울기가 있음을 알 수 있다. 즉, 산화막의 두께가 57 nm일 때 유효전위장벽 높이는 1.54 eV와 0.68 eV이며, 산화막의 두께가 90 nm일 때 1.16 eV와 0.49 eV이고, 산화막의 두께가 128 nm일 때 1.03 eV와 0.49 eV이다. 파이로제닉 산화막 다결정실리콘 캐패시터의 유효전위

장벽 높이는 MOS 캐패시터에 구한 값(약 3.2 eV)보다 매우 적게 나타났으며, 특히 산화막의 두께가 128 nm이고 게이트 전압이 양일 때 유효전위장벽 높이가 0.26 eV로 MOS 캐패시터의 8%에 지나지 않는다. 산화막의 두께가 증가할수록 유효전위장벽 높이의 감소가 심하게 나타났는데, 이것은 산화막의 두께가 증가 할수록 돌출부 등이 생성되어 다결정실리콘과 산화막 계면의 거칠기가 나빠짐을 의미한다. 특히 게이트 전압이 음일 때 보다 양일 때 유효전위장벽 높이가 낮게 나타났는데, 이 결과는 기판 다결정실리콘과 산화막 계면이 게이트 다결정실리콘과 산화막 계면보다 더 거칠음을 의미한다.

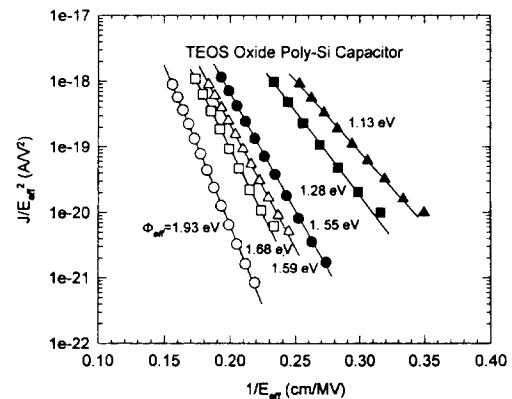


그림 8. TEOS 산화막 다결정실리콘 캐패시터의 Fowler-Nordheim 특성(○, ●: $T_{ox}=33$ nm, □, ■: $T_{ox}=54$ nm, △, ▲: $T_{ox}=73$ nm, open symbols: $V_G(+)$, filled symbols: $V_G(-)$)

Fig. 8. Fowler-Nordheim characteristics of TEOS oxide capacitors (○, ●: $T_{ox}=33$ nm, □, ■: $T_{ox}=54$ nm, △, ▲: $T_{ox}=73$ nm, open symbols: $V_G(+)$, filled symbols: $V_G(-)$).

그림 8은 TEOS 산화막 다결정실리콘 캐패시터의 F-N 특성과 유효전위장벽 높이를 나타낸 것이다. 그림에서 TEOS 산화막 다결정실리콘 캐패시터도 F-N 특성을 잘 따르고 있음을 알 수 있다. 산화막의 두께가 33 nm, 54 nm, 73 nm이고, 게이트에 음전압을 인가할 때 유효전위장벽 높이는 각각 1.55 eV, 1.28 eV, 1.13 eV이며, 게이트 전압이 양일 때는 유효전위

장벽 높이가 각각 1.93 eV, 1.68 eV, 1.59 eV이다. 캐패시터의 게이트 전압이 음일때 보다 양일때 유효전위장벽 높이가 크게 나타났으며, TEOS 산화막의 두께가 증가할수록 게이트 전압이 음일때 유효전위장벽 높이가 27% 감소하였으며, 양일때 18% 감소하였다. 이것은 다결정실리콘(I)과 산화막의 계면 보다 다결정 실리콘(II)과 산화막의 계면이 더 거친 것을 의미하며, 이결과는 파이로제닉 산화막을 이용한 다결정실리콘 캐패시터와 반대되는 현상이다.

파이로제닉 산화막과 TEOS 산화막 다결정실리콘 캐패시터의 계면이 전기적 특성에 미치는 영향 대하여 얻은 결과는 그림 7과 8에서 얻은 특성과 그림 4 및 5, 6에서 얻은 특성과 일치함을 알 수 있다. 다결정실리콘 캐패시터의 I-V 특성과 F-N 전도특성에서, 다결정실리콘 캐패시터를 아날로그 CMOS에서와 같이 비교적 높은 전압에 사용할 때 파이로제닉 산화막을 캐패시터 절연막으로 사용하는데 제한이 있을 것으로 생각된다.

제작된 다결정실리콘 캐패시터의 절연파괴전압을 측정하여 절연파괴전장을 구하였다. 측정에 사용된 캐패시터의 크기는 $100\mu\text{m} \times 100\mu\text{m}$ 이며, 캐패시터의 개수는 94개이었다.

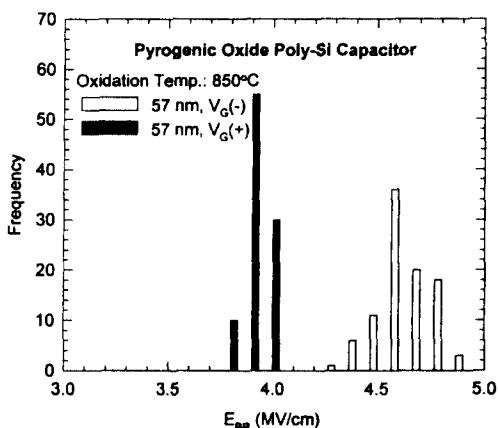


그림 9. 파이로제닉 산화막 다결정실리콘 캐패시터의 절연파괴전장 분포

Fig. 9. The distribution of dielectric breakdown field for pyrolytic oxide polysilicon capacitor.

그림 9는 57 nm 파이로제닉 산화막을 이용한 다결정실리콘 캐패시터에 절연파괴전장의 분포특성을 나타

낸 것이다. 게이트 전압이 양일때 절연파괴전장의 평균과 표준편차가 각각 3.9 MV/cm와 0.06 MV/cm이며, 게이트 전압이 음일때 각각 4.6 MV/cm과 0.13 MV/cm이다. 절연파괴전장의 표준편차를 평균값으로 나누면 게이트 전압이 양일때 1.5%이며, 음일때 2.8%이었다. 비교적 절연파괴전장의 균일성이 우수하게 나타났다.

그림 10은 54 nm 두께의 TEOS 산화막 다결정실리콘 캐패시터에 절연파괴전장의 분포특성을 나타낸 것이다. 게이트 전압이 양일때 절연파괴전장의 평균과 표준편차가 각각 8.6 MV/cm와 0.24 MV/cm이며, 게이트 전압이 음일때 각각 8.0 MV/cm과 0.28 MV/cm이다. 절연파괴전장의 평균값에 대한 표준편차는 게이트 전압이 양일때 2.8%이며, 음일때 3.5%이다. 비교적 절연파괴전장의 균일성이 우수하나, 파이로제닉 산화막을 이용한 다결정실리콘 보다는 균일성이 나쁘게 나타났다.

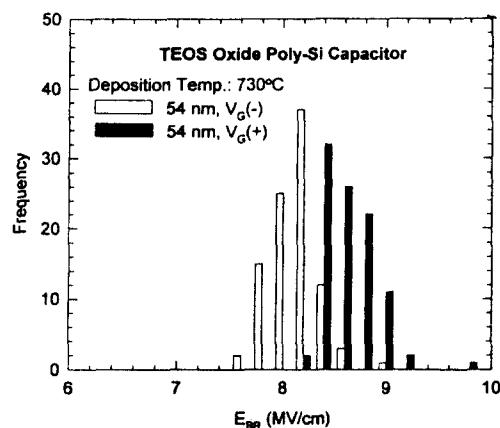


그림 10. TEOS 산화막 다결정실리콘 캐패시터의 절연파괴전장 분포

Fig. 10. The distribution of dielectric breakdown field for TEOS oxide polysilicon capacitor.

그림 11은 파이로제닉 산화막 다결정실리콘 캐패시터에 대하여 절연막 두께와 게이트 국성에 따른 절연파괴전장(E_{BR})을 나타낸 것이다. 파이로제닉 산화막 다결정실리콘 캐패시터의 게이트에 양전압을 인가하면 산화막 두께가 57 nm, 90 nm, 128 nm일때 절연파괴전장은 3.9 MV/cm, 3.1 MV/cm, 3.0 MV/cm이

고, 음전압을 인가할 때 산화막의 두께에 따라 각각 4.6 MV/cm, 3.7 MV/cm, 3.5 MV/cm로 감소하였다. 이 결과는 절연파괴전장도 F-N 터널링이 일어나기 시작하는 전장(E_{FN}) 특성과 비슷하게 산화막의 두께와 인가전압의 극성에 영향을 받는 것을 나타낸다. 즉 게이트 전압이 음일 때 보다 양일 때 절연파괴전계가 작게 나타났다. 산화막의 두께가 90 nm일 때 게이트 전압이 음일 때의 E_{FN} 에 대하여 양일 때 E_{FN} 의 비율이 약 42%이며, 게이트 진압이 음일 때 E_{BR} 에 대하여 전압이 양일 때 E_{BR} 의 비율이 84%이었다. 따라서 절연파괴전장은 E_{FN} 보다 다결정실리콘과 산화막 계면의 거칠기에 영향을 적게 받음을 알 수 있다.

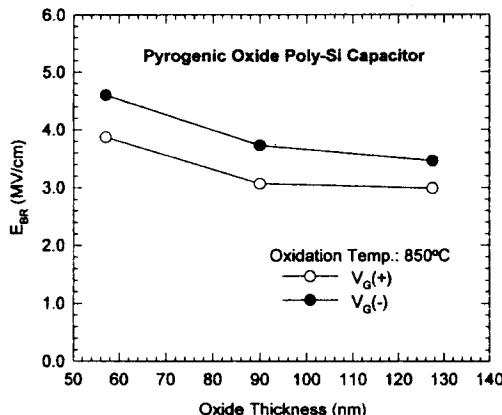


그림 11. 산화막 두께에 따른 파이로제닉 산화막 다결정실리콘 캐패시터의 E_{BR} 특성

Fig. 11. E_{BR} characteristics of pyrogenic oxide capacitors as a function of oxide thickness.

그림 12는 TEOS 산화막 다결정실리콘 캐패시터에 대하여 절연막 두께에 따른 절연파괴전장을 나타낸 것이다. 게이트에 양전압을 인가하면 TEOS 산화막의 두께가 33 nm, 54 nm, 73 nm일 때 절연파괴전장이 9.4 MV/cm, 8.6 MV/cm, 8.1 MV/cm이며, 음전압이면 8.9 MV/cm, 8.0 MV/cm, 7.6 MV/cm이다. TEOS 산화막 다결정실리콘 캐패시터의 E_{BR} 도 E_{FN} 특성과 비슷하게 게이트 전압이 음일 때 보다 양일 때 크게 나타났다.

그림 11과 12에서 파이로제닉 산화막 다결정실리콘 캐패시터 뿐만 아니라 TEOS 산화막 다결정실리콘 캐

패시터의 절연파괴전장이 E_{FN} 과 비슷한 특성을 나타내어 다결정실리콘과 산화막 계면의 거칠기에 영향을 받음을 알 수 있다. 또한 TEOS 산화막을 이용한 다결정실리콘 캐패시터의 절연파괴전장이 파이로제닉 산화막을 이용한 커패시터 보다 50% 이상 크게 나타났다. 이 결과에서 다결정실리콘 캐패시터의 절연파괴전장을 높이기 위하여 다결정실리콘을 산화시키는 방법보다 산화막을 LPCVD 방법으로 증착하는 것이 좋음을 알 수 있다.

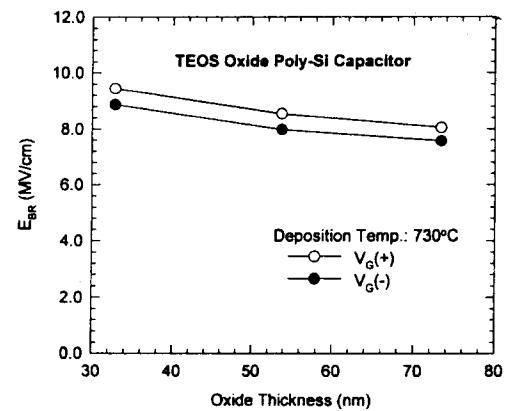


그림 12. 산화막 두께에 따른 TEOS 산화막 다결정실리콘 캐패시터의 E_{BR} 특성

Fig. 12. E_{BR} characteristics of TEOS oxide capacitors as a function of oxide thickness.

VI. 결론

파이로제닉 산화막과 TEOS 산화막을 이용한 다결정실리콘 캐패시터의 실험 결과를 비교하여 요약하면 다음과 같다. 첫째, 파이로제닉 산화막 다결정실리콘 캐패시터에서 산화막 두께가 증가함에 따라 국부적으로 다결정실리콘의 돌출부 등이 생성됨으로써 기판 다결정실리콘의 표면이 나빠지기 때문에 Fowler-Nordheim 터널링이 일어나는 전장(E_{FN})이 감소하였다. 둘째, 파이로제닉 산화막 다결정실리콘 캐패시터에서는 아날로그 CMOS IC에서 일반적으로 사용되는 산화막의 두께인 50 ~ 70 nm일 때 인가 전압 10 V 이하에서도 F-N 터널링에 의한 누설전류가 발생할 수 있다. 세째, TEOS 산화막 다결정실리콘 캐패시터의

누설전류는 F-N 터널링이 일어나지 않는 영역에서 파이로제닉 산화막 다결정실리콘 캐패시터 보다 약 100 배 정도 증가하였다. 네째, 파이로제닉 산화막 및 TEOS 산화막 다결정실리콘 캐패시터의 유효전위장벽 높이는 MOS 캐패시터에서 얻은 유효전위장벽 높이인 3.2 eV 정도 보다 적게 나타났다. 특히 파이로제닉 산화막 다결정실리콘 캐패시터에서는 산화막의 두께가 128 nmⁱ이고 게이트 전압이 양일 때 유효전위장벽 높이가 0.26 eV로 MOS 캐패시터의 8% 정도가 되었다. 다섯째, 파이로제닉 산화막 보다 TEOS 산화막을 이용한 다결정실리콘 캐패시터의 유효전위장벽이 약 50% 정도 크게 나타났다. 여섯째, 다결정실리콘 캐패시터의 절연파괴전장도 산화막의 두께가 증가함에 따라 감소하였고, 게이트 전압의 극성에 따라 다르게 나타났다.

이상의 결론에서 파이로제닉 방법으로 다결정실리콘 산화막을 성장시켜 캐패시터를 제작하면 기판 다결정 실리콘의 표면 거칠기가 나쁘게 되어 아날로그 CMOS IC에 적용할 때 F-N 터널링에 의한 누설전류 문제가 발생할 수 있다. 그러나 다결정실리콘 캐패시터의 절연막을 TEOS를 이용하여 LPCVD 방법으로 증착할 경우에는 기판 다결정실리콘의 표면 거칠기가 나쁘게 되지 않기 때문에 파이로제닉 산화막 보다 전기적 특성이 비교적 우수하였고, F-N 터널링 전에 누설전류가 파이로제닉 산화막 보다 다소 크지만 $1 \text{ fA}/\mu\text{m}^2$ 이하로 아날로그 CMOS IC에 적용할 수 있을 것으로 생각한다.

참 고 문 헌

- [1] R. K. Hester, K.-S. Tan, M. D. Wit, J. W. Fattaruso, S. Kiriaki, and J. R. Hellums, "Fully Differential ADC with Rail-to-Rail Common-Mode Range and Nonlinear Capacitor Compensation", *IEEE J. Solid-State Circuits*, vol. SC-25, no. 1, pp. 173-183, 1990.
- [2] Y. Nakamura, T. Miki, A. Maeda, H. Kondoh, and N. Yazawa, "A 10-b 70-MS/s CMOS D/A Converter", *IEEE J. Solid-State Circuits*, vol. SC-26, no. 4, pp. 637-642, Apr. 1991.
- [3] K. Shimohigashi and K. Seki, "Low Volage ULSI Design", Symp. VLSI Circuits, pp. 54-56, 1992.
- [4] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*, Holt, Rinehart and Winston, Inc., New York, pp. 22-94, 1987.
- [5] S. M. Sze, Ed., *VLSI Technology*, McGraw-Hill Book Co., New York, pp. 93-167, 1983.
- [6] S. K. Ghandhi, *VLSI Fabrication Principles*, John Wiley & Sons, Inc., New York, pp. 422-424, 1983.
- [7] E. A. Irene, E. Tierney, and D. W. Dong, "Silicon Oxidation Studies: Morphological Aspects of the Oxidation of Polycrystalline Silicon", *J. Electrochem. Soc.*, vol. 127, no. 3, pp. 705-713, Mar. 1980.
- [8] P. A. Heimann, S. P. Murarka, and T. T. Sheng, "Electrical Conduction and breakdown in oxides of Polycrystalline Silicon and Their Correlation with Interface Texture", *J. Appl. Phys.*, vol. 53, no. 9, pp. 6240-6245, Sep. 1982.
- [9] R. B. Marcus, T. T. Sheng, and P. Lin, "Polysilicon/SiO₂ Interface Microtexture and Dielectric Breakdown", *J. Electrochem. Soc.*, vol. 129, no. 6, pp. 1282-1289, Jun. 1982.
- [10] T. I. Kamins, "Oxidation of Phosphorus-Doped Low Pressure and Atmospheric Pressure CVD Polycrystalline-Silicon Films", *J. Electrochem. Soc.*, vol. 126, no. 5, pp. 838-844, May. 1979.
- [11] M. Lenzlinger and E. H. Snow, "Fowler-Nordheim Tunneling into Thermally Grown SiO₂", *J. Appl. Phys.*, vol. 40, no. 1, pp. 278-283, Jan. 1969.
- [12] L. Faraone and G. Harbecke, "Surface Roughness and Electrical Conduction of Oxide/Polysilicon Interfaces", *J. Electrochem. Soc.*, vol. 133, no. 7, pp. 1410-1413, Jul. 1986.

저자 소개



盧泰文(正會員)

1962年 3月 6日生. 1984年 2月
경북대학교 전자공학과(공학사).
1986年 8月 경북대학교 전자공
학과(공학석사). 1993年 2月 ~
현재 경북대학교 전자공학과 박
사과정. 1986年 9月 ~ 1988年
1月 삼성종합기술원 연구원. 1988年 3月 ~ 현재 한
국전자통신연구소 주문형반도체연구부 선임연구원.
주관심분야는 절연막 형성기술 및 평가기술, MOS
소자의 신뢰성, 아날로그 CMOS 공정기술 등임.



李大雨(正會員)

1956年 2月 18日生. 1983年 2月
경북대학교 전자공학과(공학석사).
1993年 2月 경북대학교 전자공학
과 (공학박사). 1980年 1月 ~ 현
재 한국전자통신연구소 주문형반도
체연구부. 주관심분야는 반도체
소자구조, 소자 모델링 및 신뢰성 분야. 아날로그
CMOS 공정 등임.



金光洙(正會員)

1958年 6月 12日生. 1981年 2
月 서강대학교 전자공학과(공학
사). 1983年 2月 서강대학교 전
자공학과(공학석사). 1992年 2
月 서강대학교 전자공학과 (공
학박사). 1983年 3月 ~ 현재
한국전자통신연구소 주문형반도체연구부 책임연구원.
주관심분야는 CMOS 소자기술, ASIC 공정기술 등
임



姜鎮榮(正會員)

1953年 1月 29日生. 1979年 2月
KAIST 물리학과(이학석사). 19
91年 2月 KAIST 물리학과(이학
박사). 1979年 2月 ~ 현재 한국
전자통신연구소 주문형반도체연구
부 책임연구원. 주관심분야는 반도
체소자 제작 및 회로설계 등임

李德東(正會員) 第 31卷 1編 第 11號 參照.
현재 경북대학교 전자공학과 교수.