

論文95-32A-1-22

# 형상반전공정의 패턴형성시 선평감소를 이용한 0.25um T-gate MESFET의 제작

## (0.25um T-gate MESFET Fabrication by using the Size Reduction of Pattern in Image Reversal Process)

楊典旭\*, 金鳳烈\*\*, 朴喆淳\*, 朴亨茂\*

(Jeon Wook Yang, Bong Ryul Kim, Chul Soon Park, and Hyung Moo park)

### 요 약

본 연구에서는 형상반전 공정에 의한 0.4um 이하의 패턴형성에 대하여 논하였으며 막의 두께 손실이 없는 0.2um 포토레지스트 패턴을 형성하고 이를 이용하여 T-게이트 MESFET을 제작하였다. 미세형상은 노광에너지의 감소와 함께 130°C에서 상반전 열처리 시간을 60초 이내로 감소시킴으로써 안정하게 형성할수 있었고 이들은 현상에 대해 큰 여유도를 가지며 형성되는 패턴의 형상은 패턴의 크기와 관계없이 steep한 가장자리 형태를 보인다. 또한 미세하게 형성된 패턴을 적용하여 제작된 0.25um의 게이트길이를 갖는 이온주입에 의한 T형-게이트 MESFET은 안정된 구조의 날개를 가지며 최대 302 mS/mm의 트랜스컨덕턴스와 -1.8V의 임계전압 및 191mA/mm의 포화드레인 전류를 나타내었다.

### Abstract

In this study, very fine photoresist pattern was examined using the image reversal process. And very fine photoresist pattern (less than 0.2um) was obtained by optimizing the exposure and reversal baking condition of photoresist. The produced pattern does not show the loss of thickness, and has a sharp negative edge profile. Also, the ion implanted 0.25um T-shaped gate MESFET was fabricated using this resist pattern and the directional evaporation of gate metal. The fabricated MESFET has the maximum transconductance of 302 mS/mm, and the threshold voltage of -1.8V, and the drain saturation current of this MESFET was 191 mA/mm.

\* 正會員, 韓國 電子 通信 研究所

(Electronics and Telecommunications Research Institute)

\*\* 正會員, 延世大學校 電子工學科

(Dept. of Electron. Eng., Yonsei Univ.)

接受日字 : 1994年 2月 12日

### I. 서 론

반도체 소자의 제작에 있어서 패턴의 형성은 모든 공정 단계에 적용되는 가장 중요한 공정이다. 그 중 미세선평의 형성은 소자의 제조공정에서 금속선의 형성이나 게이트금속의 형성에 적용되며 MOSFET, 특히 GaAs MESFET과의 HEMT의 경우 특성이 게이트길

이에 의해 크게 좌우되어 미세형상의 형성이 소자의 특성에 직접적인 영향을 미치므로 리소그래피공정에서 최소선풍폭을 얻어내는 것이 중요하다. 그러나 일반적으로 광학적인 방법에 의해 형성할 수 있는 패턴의 크기 (critical dimension:CD)는 빛의 파장의 한계 때문에 0.4-0.5um 정도로 제한된다. 따라서 이를 감소시키기 위해 여러가지 방법으로 리소그래피 공정을 개선하여 응용하고있다. 즉, 해상도의 개선을 위해서 excimer laser와 같이 광원의 파장을 짧게 하거나<sup>[1]</sup> phase shift 또는 spatial filtering 등과 같이 빛의 위상을 조절하여 해상도를 높이는 방법이 연구 적용되고 있으며 초점심도에 따른 문제의 해결방안으로 효율적인 평면화공정이 수행되기도 한다.<sup>[2,3,4]</sup> 이외에 X-선이나 전자선을 이용하여 극히 미세한 패턴의 형성도 가능하다.<sup>[5,6,7]</sup> 이들 여러가지 패턴 형성방법은 MESFET의 제작시 sub-um 크기의 게이트 형성, 또는 T-형 게이트의 형성에 이용되는데 T-형 게이트 형성공정은 임시게이트의 형성과 이의 과식각 및 과식각된 영역을 절연막등으로 채운후 새로운 게이트 패턴을 형성하는 방법을 적용하기도 한다.<sup>[8,9]</sup> 그러나 대부분 공정이 복잡하거나 해상도가 제한되며 throughput 이 작은 문제점을 갖고 있다.

일반적으로 포토레지스트의 패턴형성 공정은 positive 포토레지스트공정과 형상반전(image reversal:IR) 공정, negative 포토레지스트공정으로 구분할수 있다. 이들은 모두 감광에 의한 잔류막의 형태에 따라 구분되는데 빛의 노광에 의해 현상액에 용해되기 쉬운 형태로 변화되어 노광 되지 않은 부분의 잔류막이 형성되도록 하는 positive 포토레지스트 공정과 노광에 의해 cross-linking을 유발하므로서 현상되지 않도록하여 상을 반전시키는 공정이 그것이다. 형상반전 공정은 Moritz등이<sup>[10,11]</sup> 포토레지스트막에 Monazoline을 사용하여 상을 반전시키는 방법을 제안한 이래 많은 방법들이 연구되어 왔으며, 금속을 리프트오프할수 있는 역상의 패턴을 형성할수 있고 0.5um 이하까지 수직한 패턴을 형성할수 있어 소자제조 공정에 매우 유용하게 이용되어 왔다.

본 연구에서는 GaAs MESFET 소자제조등에 이용할수 있는 패턴형성을 위하여 AZ 5214E 포토레지스트로 0.2um 이하의 극히 미세한 패턴을 잔류시킬수 있는 형상반전 공정의 조건을 설정하였으며 이때 노광 조건과 열처리가 포토레지스트 패턴의 크기에 미치는 영향에 대하여 조사하였다. 또한 이 미세한 패턴에 방향성증착을 이용하여 0.25um크기의 T-형게이트 MESFET을 제작하였다.

II. 형상반전 공정에 의한 미세패턴의 형성

1. 패턴 형성 실험

본 연구에서는 형상 반전에 의한 패턴을 형성하기 위하여 (그림1)과 같이 공정을 수행하였다. 먼저 기판위에 AZ5214E 포토레지스트를 6000rpm으로 회전도포한 다음 용매를 제거하기 위해 120℃의 온도와 130℃의 온도에서 연화열처리(soft-bake)를 하였다. 열처리후 i-line 스텝퍼를 이용하여 포토포토레지스트막을 여러가지 dose로 노광하였다. 노광된 포토포토레지스트막은 반전열처리(reversal baking)를 하게되는데 이와 같은 반전열처리는 120℃와 130℃의 온도에서 시간을 변화시켜 여러가지 조건에서 수행하였으며 반전열처리 후에는 contact aligner로 전체노광을 하였다. 전체노광을 한 기판의 포토포토레지스트막은 바로 이어서 MF312 현상액을 희석한 용액으로 현상하였다. 현상후 포토레지스트막의 형상은 전자현미경(SEM)을 이용하여 단면을 관찰하였다.

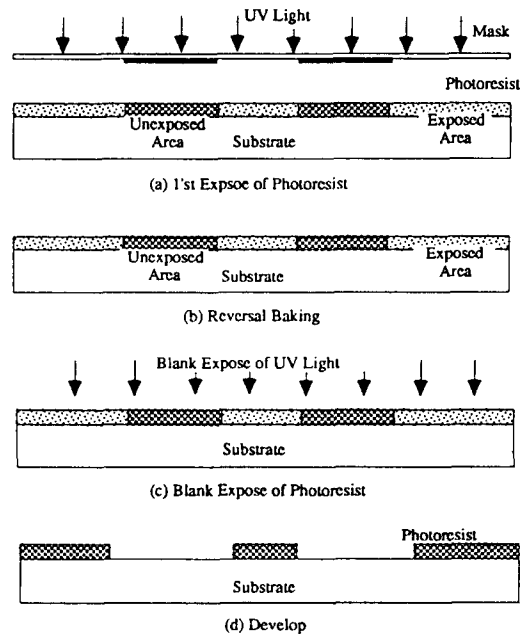


그림 1. 형상반전 공정의 흐름도  
Fig. 1. Schematic diagram of image reversal process.

형상반전 공정은 암모니아증기 처리에 의한 방법<sup>[12]</sup>과 포토레지스트막이 노광에 의한 광분해로 생성된 산에 의해 활성화되어 노광후 열처리에 의해 현상되기 어려운 상태로 되고 이어서 전체노광을 하므로써 나머지

부분을 현상액에 녹기 쉬운 상태로 변화시켜 반전된 패턴을 형성하는 방법(그림1)이 대표적으로 적용된다<sup>[13]</sup>. 이들 중 본 연구에서는 후자의 방법을 이용하였는데 cresol형태의 novolak인 matrix resin의 cross-linking을 기본반응으로 하고있다. 노광은 감광제(photo-active compound; PAC)를 acid로 변화시키고 이 acid(nepthoquinone diazides)가 열처리에 의해 cross-linker를 활성화시켜 노광된 영역을 용해되지 않게 변화시키고 이어서 전체노광을 하므로써 변화되지 않은 부분이 현상되도록 한다. 이러한 일련의 공정은 노광에 따른 포토레지스트막의 형상이 negative slope을 나타내게 되므로 금속의 리프트오프 공정에 적용하기 쉽다.

포토레지스트막의 도포후 노광전열처리(soft bake)는 포토레지스트막에 함유된 용매를 증발시켜 후속 공정에 적합하도록 변화시킨다. 이때 90℃ 이하로 열처리하면 포토레지스트막에 용매가 많이 잔류하여 계속되는 공정의 여러가지 조건에 따라 변화를 나타내기 쉬워 정확한 패턴으로 조절하기가 어렵다. 반면 140℃ 이상에서는 감광제가 열적 변화를 일으켜 감광특성이 크게 저하하는 것으로 알려져 있다.<sup>[14]</sup> 본 연구에서는 AZ 5214E 포토레지스트막을 적용한 경우 보고된 가장 적절한 패턴형성 조건을 기준으로 120℃의 온도와 130℃의 온도에서 열처리하여 패턴의 형상을 관찰하였다.

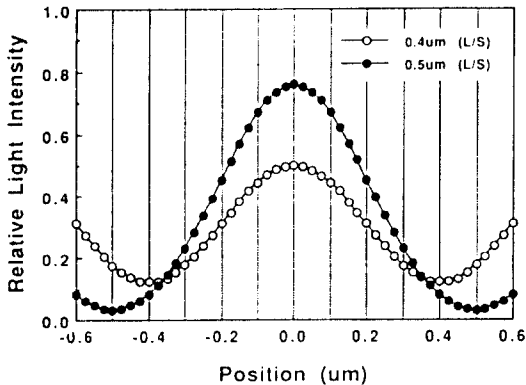


그림 2. 포토레지스트막에서 빛의 강도분포의 모사결과

Fig. 2. Simulation results of light intensity profile on photoresist.

포토레지스트막에서 패턴의 크기는 노광된 영역에 의해 정의된다. 이때 패턴의 크기가 작아지면 포토레지스

트막에서 나타나는 빛의 강도가 변하게되어 contrast가 줄어들며 빛의 강도변화율도 크게 떨어지게 된다. 특히 CD가 0.5um이하로 되면 contrast는 현저하게 감소하기 시작하며 line과 space가 0.4um가 되면(그림2)에 나타낸 바와 같이 마스크에 의해 차단되는 영역에서도 12% 정도의 빛의 투과를 나타내게 되고 이와같은 빛의 분포는 포토레지스트막의 특성을 변화시켜 첨예한 패턴의 형성을 어렵게 한다. 그러나 본 실험에서는 이와같은 빛의 노광에 따른 효과에도 불구하고 미세한 잔류패턴의 형성이 가능하였으며 미세패턴은 다음에서 논의한 바와같이 적절한 노광조건과 열처리에 의해서 안정되게 형성할수 있다. (그림3)은 AZ5214E 포토레지스트 막을 이용하여 형성한 0.2um의 미세한 패턴을 전자현미경으로 관찰한 것이다. 여기에서 패턴은 0.19um의 크기로 형성되어 있으며 두께는 1.3μm이다.

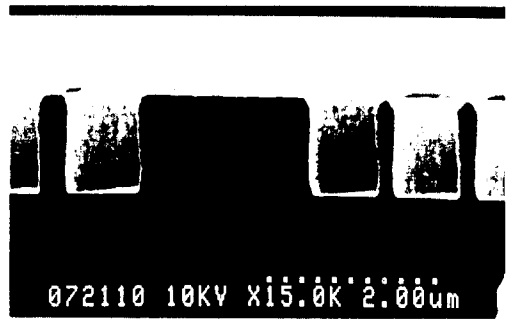


그림 3. AZ5214E 포토레지스트막으로 형성된 0.2um 패턴의 전자현미경 사진

Fig. 3. SEM profile of 0.2um pattern formed by AZ5214E photoresist.

2. 노광과 열처리에 의한 패턴의 변화

포토레지스트막은 노광에 의하여 패턴이 정의되는데 패턴형성 공정에서 포토레지스트막은 열처리와 노광 및 현상된 뒤 두께의 변화를 나타내게 된다. 특히 현상반전 공정에서는 상반전 열처리후 포토레지스트막의 특성이 변화되어 노광된 영역은 현상후에도 박막손실이 없어야 하며 이로써 박막의 열처리조건이 적합한지를 확인할수 있다. (그림4)는 포토레지스트막의 도포와 노광후 상반전 열처리에 의한 포토레지스트막의 두께변화를 나타낸 것이다. 여기에서 보면 포토레지스트막이 도포되고 현상되기 전에는 박막의 두께가 노광조건에 변화를 나타내지 않고 1.35um 정도로 거의 일정하였다. 그러나 이와같이 일정한 박막의 두께는 현상 후

열처리조건과 노광상태에 따라 변화를 나타내는 것을 볼수 있다. 그림에서 120°C로 2분 열처리된 경우를 보면 막의 두께는  $25.2\text{mJ}/\text{cm}^2$  이하에서는 크게 변화를 나타내며 그 이상으로 증가시켰을 때는 노광의 증가에 따라 약간의 두께변화를 보인다. 이러한 두께변화는 130°C의 온도에서는 1분의 열처리에서도 거의 나타나지 않고 있으며 과도현상을 했을 경우 120°C에서는 막의 두께변화를 나타내고 있지만 130°C의 경우 거의 변화를 보이지 않는다. 따라서 130°C의 열처리는 포토레지스트막의 특성을 매우 안정하게 하고 있는 것으로 판단된다.

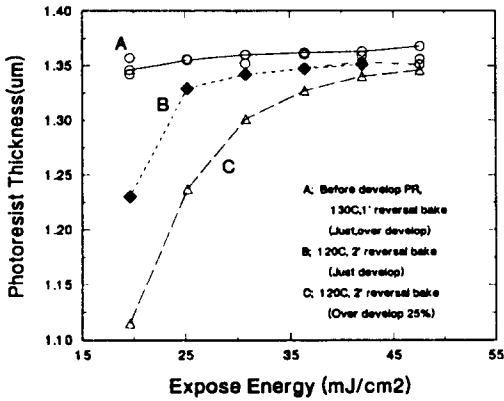


그림 4. 노광 현상후 잔류된 포토레지스트막의 두께변화

Fig. 4. Residual photoresist thickness after exposure and development.

노광에 의한 포토레지스트막의 감광은 임계에너지 이상에서 나타나는데 특히 (그림2)와 같이 미세선폭의 노광시 포토레지스트막에 나타나는 contrast가 매우 작아 노광되는 빛의 양에 의해 형성되는 패턴은 크기가 달라지기 쉽다. 이것은 설계된 패턴의 형상을 얻어내는데 있어서 단점이 될수도 있으나 이를 이용하면 극히 미세한 패턴의 형성이 가능하다. 즉, 0.4 - 0.5um의 크기로 설계된 패턴의 형상반전공정에서 나타나는 선폭감소를 이용하면 0.2um의 패턴을 안정되게 형성할수 있다. (그림5)는 0.4um패턴과 0.5um패턴을 노광했을 때 노광량에 따라서 나타난 현상후 형성된 패턴크기의 변화이다. 여기에서 보면 노광에너지와 CD의 변화는 거의 선형적인 관계를 보이고 있는데 이것은 노광의 증가에 따라 광분해에 의한 산이 생성될수 있는 범위가 변화하기 때문이다.

실험에서 노광에 의한 패턴크기의 변화는 매우 둔감하여 85%의 노광량 증가에도 0.07um의 변화를 나타낼 뿐이다. 또한 변화율도 거의 선형적이어서 노광에너지를 변수로 안정된 패턴의 크기를 얻을수 있음을 보여준다.

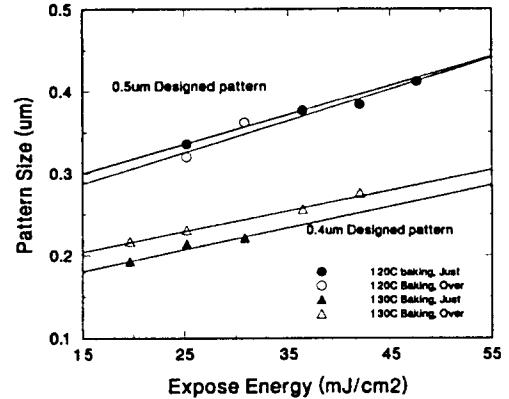


그림 5. 형성된 패턴의 노광에 따른 크기변화  
Fig. 5. Pattern size variation versus the exposure energy.

이와같은 선폭의 감소는 적절한 열처리 조건에서 수행되어야 한다.

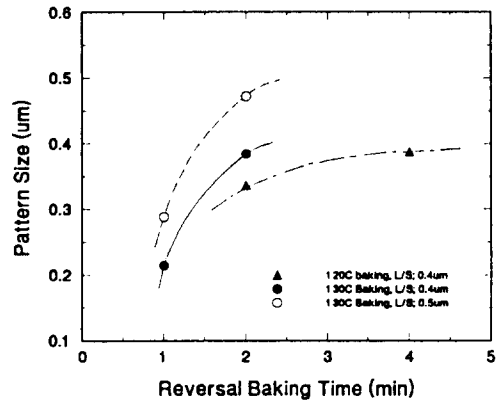


그림 6. 25.2mJ 노광시 반전열처리에 따른 패턴 크기의 변화

Fig. 6. Photoresist pattern size variation on the reversal baking of the film exposed by  $25.2\text{mJ}/\text{cm}^2$ .

(그림6)은 열처리에 의한 CD의 변화를 나타낸 것인데 상을 반전시키기 위한 열처리(reversal baking)시간의 증가에 따라 CD가 커지며 열처리 온도의 증가에 의해서도 패턴의 크기가 커져 포토레지스트막 열처리의 증가는 열적변환을 위한 임계에너지를 낮추고 있음을 알수 있다. 여기에서 0.2um 크기의 미세 형상을 얻기 위해서는 노광에너지의 감소와 함께 1분 이내의 열처리를 할 필요가 있음을 알수 있다. 열처리를 증가시켰을 경우 더욱더 노광에너지를 감소시켜야 하나 노광에너지의 극단적인 감소는 노광조건에 적합하지 않다.

3. 현상에 의한 패턴크기의 감소

위에서 형성한 미세한 패턴을 실제공정에 적용하기 위해서는 형상형성의 여유가 있어야한다. 즉 현상시간에 의한 비노광영역의 패턴크기 변화가 크면 공정에 따른 변화가 커지기 때문에 적용이 어려우므로 잔류된 패턴의 과다현상에 의한 CD의 변화가 작아야 한다. 물론 과다현상시 시간에 따른 패턴의 감소를 조절하여 미세한 패턴을 형성한 경우를 볼수 있다. 그러나 이는 공정조건에 민감하여 현실적이지 못하다. (그림5)는 본 실험에서 패턴형성에 필요한 현상시간을 정확히 조절한 경우와 25% 만큼 초과 현상하여 나타난 패턴크기의 변화를 나타낸 것이다. 여기에서 보면 과다현상에 의한 패턴의 변화는 10% 이내로 나타내고 있다.

III. T-형 게이트 MESFET의 제작

위에서 형성된 미세한 패턴은 패턴의 가장자리에서 움푹의 형상을 보이기 때문에 방향성 증착후 리프트-오프 하기가 용이하므로 MESFET의 제작에 효과적이다. 본 연구에서는 이의 보다 효율적인 응용을 위하여 T-형상의 게이트를 형성할수 있도록 하여 0.25um 크기의 T-형 게이트 MESFET을 (그림7)과 같이 제작하였다.

먼저 도핑이 되지않은 반 절연의 GaAs 기판위에 30KeV,  $1 \times 10^{15}/cm^2$ 의 이온주입 에너지와 주입량으로 Si 이온을 주입하여 채널층을 형성하고, 소스와 드레인 영역을 100KeV,  $4 \times 10^{15}/cm^2$ 의 조건으로 이온주입하고 활성화하였다. 이어서 저항성 접촉의 형성을 위해 AuGe/Ni/Au를 2800 A<sup>0</sup>의 두께로 증착하고 리프트-오프 하였으며 390℃의 온도에서 20초 동안 열처리하여 저항성접촉으로 변화시켰다. 제작된 MESFET의 소스와 드레인접촉 접촉비저항은  $3 \times 10^{-6} \Omega/cm^2$ 를 나타내었다. 여기에서 AZ5214E 레지스트를 이용하여 100um 의 폭과 0.25um 길이로 게이트 패턴의 형성

하고 방향성증착이 되도록 전자선 증착방법에 의해 2500 A<sup>0</sup>의 두께로 sacrificial 층을 증착하였다. 포토레지스트막의 제거는 (그림8)에 나타낸 바와 같이 미세한 패턴을 남기게되며 여기에 상반전 공정을 이용하여 0.8um 크기의 게이트 패턴을 형성하였다.

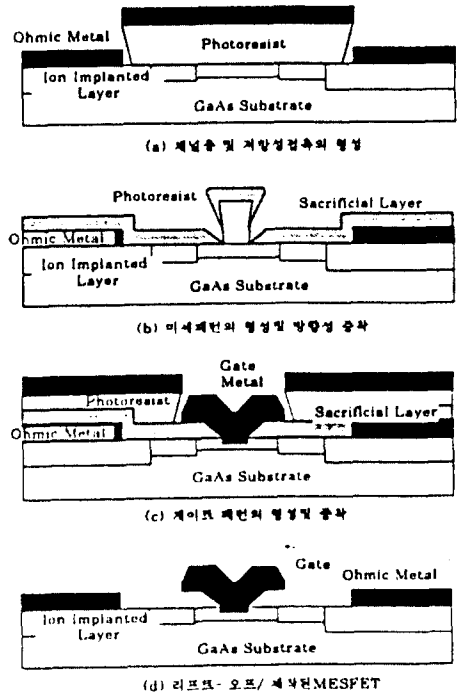


그림 7. 형성된 미세패턴을 이용한 T-게이트 MESFET의 제작공정  
Fig.7. Fabrication of T-shaped gate MESFET using the defined fine pattern.

이때 형성된 패턴은 금속의 증착후 리프트-오프되어 하층의 0.25um 패턴과 함께 0.8um 크기의 날개금속을 형성하여 T-형 구조로 형성된다. 이어서 게이트 금속의 형성후 처음 전자선 증착방법에 의해 증착된 막막을 제거하므로써 MESFET을 제작하였다. (그림8)은 제작된 T-형 게이트 MESFET의 전자현미경 사진을 보인것이다. 여기에서 게이트금속이 기판과 접촉된 부분은 0.25um 크기를 가지며 날개의 펼쳐짐이 안정됨을 볼수 있다. 특히 본 공정에서 게이트금속의 상층부 크기와 두께는 임의로 조절할수 있어 장점으로 활용될수 있다. (그림9)는 제작된 MESFET을 parameter analyzer(HP4145B)로 측정한 DC특성으로 드레인전류와 트랜스컨덕턴스(Gm)을 나타낸 것이다.

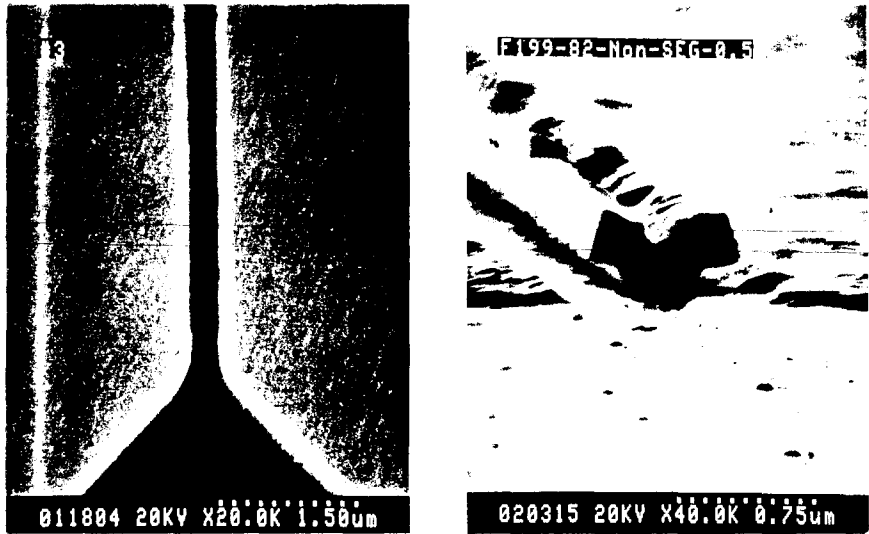


그림 8. 리프트-오프 후의 게이트영역 패턴(a)과 제작된 0.25um T-게이트 MESFET(B)의 전자현미경 사진

Fig. 8. Scanning electron micrograph of the gate region pattern after lift-off(a), and the fabricated 0.25um T-shaped gate ME-SFET(b).

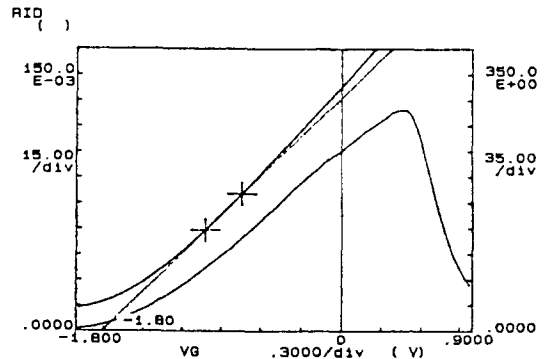
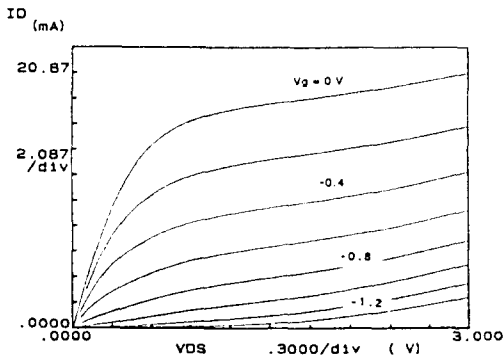


그림 9. 제작된 MESFET의 전류-전압특성(a)과 트랜스컨덕턴스(b).

Fig. 9. DC characteristics of the fabricated MESFET.

(a)Current-voltage characteristics, and (b)transconductance characteristics of the fabricated MESFET.

여기에서 0.25um 게이트길이의 MESFET은  $I_d^{1/2}$ 의 기울기로부터 -1.8V의 임계전압을 확인할수 있으며 최대 트랜스컨덕턴스( $G_m, max$ )는 302mS/mm를, 또한 포화드레인전류는 191mA/mm의 값을 보이고 있

다. 그림에서 MESFET의 특성은 모두 전형적인 short channel 현상을 나타내 실질적인 소자 성능의 개선을 필요로 하고 있다. 그러나 이와같은 소자특성의 저하는 게이트길이의 감소에 따른 것으로 볼수 있는

며 보다 얇은 채널의 형성과 buried-P층의 형성 등의 도입, 기타 scaling에 따른 공정의 최적화에 의하여 개선될수 있을 것이며 이를 이용한 자기정렬공정 등에 의하여 특성의 향상을 기할수 있을 것이다.

이상에서 논의한 바와같이 상반전 공정에 의한 미세형상의 형성은 positive 레지스트와 달리 두께손실이 거의 없는 상태에서 거의 수직하거나 음각에 달하는 가장자리 형상을 나타내 리프트-오프 하기가 용이하다. 본 연구에서 실험한 결과 제안된 공정조건에서 형성되는 패턴은 노광과 현상에 대해 안정된 형상을 나타내며 미세형상을 얻을수 있어 효과적으로 소자제조에 적용할 수 있을 것으로 보인다. 이와함께 본 연구에서 제안된 소자의 제조방법은 0.25um 크기의 안정된 T-게이트 형상을 나타낼뿐 아니라 양호한 특성의 MESFET 소자제조가 가능하였다. 그러나 공정의 안정화에 의해 더욱더 작은 게이트의 형상의 형성이 가능하므로 0.2um 이하의 MESFET의 제작 뿐 아니라 HEMT, 또는 기타 미세한 패턴의 형성이 요구되는 곳에 효과적으로 응용할수 있을 것이다.

#### IV. 결 론

광학적인 방법에 의해 형상반전 공정을 이용하여 막의 두께 손실이 없는 0.2um의 패턴을 형성하였으며 이를 이용한 미세한 T-게이트 MESFET을 제작하였다. 0.2um크기의 미세형상은 0.4um로 설계된 패턴을 노광에너지의 감소와 함께 130°C에서 1분동안 상반전열처리 하여 현상하므로써 안정하게 형성할수 있으며 형성되는 패턴의 형상은 패턴의 크기와 관계없이 steep한 가장자리 형태를 보이고 현상에 대해 큰 여유도를 나타내었다. 또한 미세하게 형성된 패턴과 방향성증착을 이용하여 안정된 날개를 갖는 T형-게이트를 형성할수 있었으며 제작된 0.25um의 게이트길이를 갖는 이온주입에 의한 T형-게이트 MESFET은 최대 302 mS/mm의 트랜스컨덕턴스와 -1.8V의 임계전압 및 191mA/mm의 포화드레인 전류를 나타내었다.

#### 참 고 문 헌

[1] M.Rothschild and D.J.Enrlich, "A review of excimer laser projection lithography". *J. Vac. Sci. Technol.*, vol.B 6, no. 1, pp Jan./Feb (1988).

[2] T. Kimura, et al. "Subhalf-um Gate Ga-As MESFET Process using Phase-Shifting-Mask Technology". GaAs IC Symposium, 1991, pp 281 (1991).

[3] H.Jinbo and Y.Yamashita, "0.2 um or Less i-line Lithography by Phase-Shifting-Mask Technology", in IEDM Tech., Dig., 1990, pp 825 (1990).

[4] K.E.Petrillo, M.J.Smyth, and D.R.Hall, "CEL Resist Processing for Submicron CMOS Bipolar Circuits", SPIE 920-11 pp.42, (1988).

[5] K.L.Tan et al., "94 GHz 0.1um T-Gate Low Noise PseudomorphicInGaAs HEMT's", IEEE Electron Device Letters, vol.11, no.12, pp 585 (1990).

[6] J.H.Han et al., "Ultra-submicrometer microwave GaAs MESFETs and HEMTs", SPIE vol.1288 High-Speed Electronics and Device Scaling, pp192 (1990).

[7] P.A.Lamarre, "Developer Selection for T-Shaped gate FET's Using PMMA/P[MMA-co-MAA]/PMMA", IEEE Trans. on Electron Devices, vol.39, no.8, 1844 (1992).

[8] K.Yamasaki, K. Asai, K., Mitsutani, T. and Kurumada, K., "Self-align implantation for N+ layer technology(SAINT) for high speed GaAs ICs", Electron. Lett., No.18, pp. 119, (1982a).

[9] Lee, R.E., Levy, H.M., and Matthews, D.S., "Material and device analysis of self-aligned gate GaAs ICs", GaAs IC Symp. Tech. Dig., pp.177, (1982).

[10] H.Moritz and G.Paal, "Method of making a negative photoresist image", German Patent DE 2529054 C2, (1975).

[11] H.Moritz, "Optical Single Layer Lift-Off Process", IEEE Trans. Electron Devices, ED-32, no.3, pp.672, (1985).

[12] B.D.Cantos and R.D.Remba, "An Improved Technique for 1/4 Micrometer gate Length GaAs MESFET Fabrication by Optical Lithography", SPIE, vol.773, no.VI, pp.61, (1987).

[13] Alling E. and Stauffer C., Proceedings of the SPIE 539, 194, (1985).

[14] M.E. Reuhman-Husiken, C.M.J .Mutsaers, et al., "Towards of optimized image reversal process for half micron lithography", Microcircuit Engineering Conf., pp.575, (1989).

----- 저 자 소 개 -----

楊典旭(正會員) 제 31권 A편 제7호 참조  
현재 한국전자통신연구소 화합물반  
도체연구부 화합물소자연구실 선임  
연구원

金鳳烈(正會員) 제25권 제11호 참조  
현재 연세대학교 전자공학과 교수

朴喆淳(正會員) 제 31권 A편 제7호 참조  
현재 한국전자통신연구소 책임연구  
원 화합물반도체연구부 화합물소자  
연구실 실장

朴亨茂(正會員) 제 31권 A편 제7호 참조  
현재 한국전자통신연구소 책임연구원  
화합물 반도체 연구부장