

論文95-32A-1-17

이온 샤워어 도핑을 이용한 자기정렬방식의 APCVD 비정질 실리콘 박막 트랜지스터의 제작

(Fabrication of self aligned APCVD a-Si TFT by using ion shower doping method)

文炳淵*, 李景夏*, 鄭有贊*, 劉在浩*, 李承珉*, 張震*
(Byeong Yeon Moon, Kyung Ha Lee, You Chan Jung, Jae Ho Yoo, Seung Min Lee, and Jin Jang)

요 약

이온샤워어 도핑 방법에 의한 n^+ 층을 소오스-드레인의 저항성 접촉으로 이용하는 자기정렬방식의 APCVD 비정질 실리콘 박막 트랜지스터를 제작하였다. 이온의 가속전압 6kV, 도핑시간 90초, 도핑온도 350°C일 때에 전기전도도는 $6 \times 10^{-2} S/cm$ 이다. 제작된 비정질 실리콘 박막 트랜지스터의 전계효과 이동도는 $1.3 cm^2/Vs$ 이고 문턱전압은 7V이다.

Abstract

We have studied the fabrication of self aligned atmospheric pressure(AP) CVD a-Si thin film transistor with source-drain ohmic contact by using ion shower doping method. The conductivity is $6 \times 10^{-2} S/cm$ when the acceleration voltage, doping time and doping temperature are 6kV, 90s and 350°C, respectively. We obtained the field effect mobility of $1.3 cm^2/Vs$ and the threshold voltage of 7V.

I. 서 론

수소화된 비정질 실리콘을 능동층으로 사용한 TFT(thin film transistor)가 능동행렬(active matrix) 액정디스플레이의 스위칭소자로서 사용되고 있다. 일반적으로 비정질 실리콘은 플라즈마화학기상증착법(plasma chemical vapor deposition)을 이용

하여 제작한다. 그러나 이러한 플라즈마 화학기상증착법은 증착에 관여하는 변수의 제어가 어렵고 다중입자들의 발생과 낮은 증착속도라는 문제점을 갖는다.^[1] 이와는 달리 열적인 화학기상증착법(thermal CVD)은 플라즈마 발생이 없는 과정으로 양질의 비정질 실리콘을 얻을 수 있고 이를 박막트랜지스터에 적용할 수 있다.^[2] 과거에는 열분해 방법에 의한 SiH_4 의 증착온도가 높다(550°C)는 문제점이 있었지만 higher silane (Si_2H_6 , Si_3H_8)을 이용한 저온($\leq 450^\circ C$)에서의 공정이 가능하다. 특히 일반적인 플라즈마 화학기상증착법에 의한 비정질 실리콘보다 고온에서 제작되기 때문에 SPC(solid phase crystallization)방법에 의한 다결정질 실리콘(polycrystalline silicon) 제작에 유

* 正會員, 慶熙大學校 物理學科

(Dept. of Physics Kyung Hee Univ.)

※ 본 연구는 한국과학재단 지원 SPRC에서 지급한 학술연구 조성비의도움으로 수행되었음.

接受日字: 1994年 7月 30日

리하다.^[3] 이러한 열분해에 의한 증착방법은 압력에 따라 LP(low pressure) CVD와 AP(atmospheric pressure) CVD (대기압 화학기상증착법)로 나누어진다. 비정질 실리콘 박막의 증착속도는 가스의 압력이 증가할수록 증착속도가 증가한다.^[4]

증착속도는 Si_2H_6 가스의 분압과 전체압력이 증가할수록 증가하기 때문에 a-Si TFT arrays 제작에서 생산성 향상을 기대할 수 있다. 앞의 실험에서 우리는 저가의 a-Si TFT arrays를 제조하기 위하여 열적인 화학기상증착법보다 높은 생산성을 가지는 대기압 화학기상증착법을 사용하여 제작한 비정질 실리콘 박막 트랜지스터가 좋은 특성을 가짐을 보였다.^[5] 이온샤우어 도핑(ion shower doping)기술은 비정질 실리콘 박막 트랜지스터의 제작에 있어서 자기정렬(self-align) 방식의 간단한 과정으로 저항성 접촉물질을 만들 수 있고, 도핑을 위한 증착실이 필요없다는 잇점이 있다.^[6] 열적인 화학기상증착법으로 제작되어진 비정질 실리콘은 고온 증착에 의한 시료내의 낮은 수소량에 기인하는 결함의 밀도가 높기 때문에 수소화(hydrogenation)가 필요하다.^[7,8] 그리고 APCVD 비정질 실리콘 박막 트랜지스터의 동작특성을 향상시키는데 비정질 실리콘과 SiO_2 의 경계면의 포획 밀도를 감소시키는 질소 플라즈마 처리가 중요하다.^[9] 비정질 실리콘의 동적인 특성에서 게이트-소오스 전극의 결합에 의한 기생전기용량(C_{gs})의 최소화와 보다 작은 화소의 실현을 위해서 자기정렬방식의 박막 트랜지스터를 필요로 한다. 본 연구에서는 이온 도핑의 최적 조건에서 $6 \times 10^{-3} s/cm$ 의 상온 전기전도도를 얻었으며,^[10] 이 이온 도핑 기술을 역 스테거형 박막 트랜지스터의 저항성접촉층에 이용하여 자기정렬방식의 비정질 실리콘 박막 트랜지스터를 제작하였고, 이때 전체효과 이동도가 $1.3cm^2/Vs$, 문턱전압은 7V였다.

II. 시료 제작 및 실험

본 실험에서는 그림 1에 나와 있는 cold wall형의 APCVD 장치를 사용하였다. 석영관의 안쪽 지름이 6.8cm이고 증착실은 터보펌프로 10^{-6} Torr보다 낮은 진공으로 준비하여 증착을 한다. 증착에 사용되는 유리 기판은 시료 고정대에 위치하고 텅스텐 할로겐 램프를 사용하여 430°C로 가열된다. 석영관의 바깥쪽은 석영관 내부의 온도 증가에 의한 증착을 방지하기 위하여 팬으로 식힌다. 비정질 실리콘의 증착을 위하여 He과 Si_2H_6 의 혼합가스를 사용하였다. 증착이 끝난 비정질 실리콘의 이온도핑을 위하여 이온샤우어 도핑장치를

사용하였다.^[11]

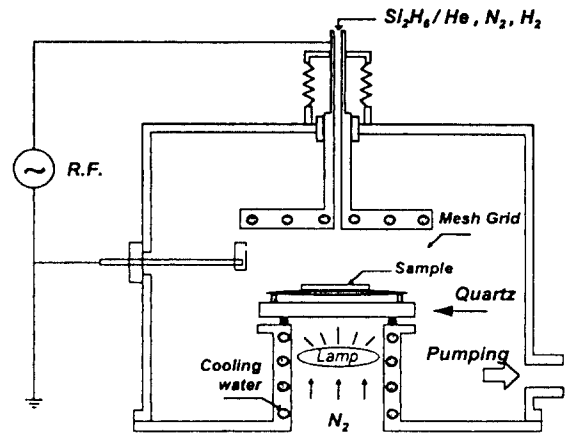


그림 1. Cold wall형의 APCVD 장치도.
Fig. 1. A schematic diagram of the cold wall type APCVD.

이온도핑의 최적조건을 찾기 위하여 가속전압 6kV, 도핑시간을 90초로 고정하고 도핑 온도를 300~450°C로 변화시켜 실험을 하였다. 일반적으로 사용되는 역 스테거형의 비정질 실리콘 박막 트랜지스터를 자기정렬 방법으로 제작하기 위하여 7059 유리기판 위에 Cr 게이트 전극을 형성시키고 430°C에서 300nm의 APCVD SiO_2 를 증착한다.

표 1. 자기정렬방식 비정질실리콘 박막 트랜지스터의 제작공정

Table 1. Fabrication process condition of self aligned a-Si TFT.

1	Cr 게이트 형성(7059유리기판위)
2	APCVD SiO_2 증착(300nm)
3	N2 plasma 처리(Nitrification)
4	APCVD 비정질 실리콘 증착(70nm)
5	In-situ hydrogenation
6	PR 도포(2μm정도)
7	Ion stopper 형성(후면 노광)
8	이온도핑
9	Al 증착
10	Lift-off(소오스와 드레인 형성)
11	수소화

SiO_2 박막위에 70nm의 APCVD 비정질 실리콘을 증착하고 수소 분위기에서 30분동안 열처리한 뒤 250°C로 온도를 내려 진공을 깨지 않은 상태에서 2분동안

수소화를 하였다. 포토레지스터를 2 μ m정도 입혀서 후면에서 노광시켜 ion stopper를 형성시킨 후, 이온 도핑장비에서 P이온을 가속전압 6kV로 90초동안 도핑하여 저항성접촉층을 만든다. 위의 과정이 끝난 시료에 Si를 증착한 다음 lift-off법으로 소오스와 드레인 전극을 형성시킨다. 표 I은 자기정렬방식의 비정질 실리콘 박막트랜지스터를 제작하는 과정을 나타내고, 그림 2는 본 연구에서 제작한 역 스택거형 자기정렬방식 비정질 실리콘 박막트랜지스터의 단면도이다.

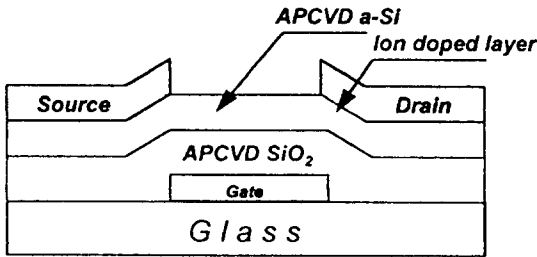


그림 2. 자기정렬방식 비정질 실리콘 박막트랜지스터의 단면도

Fig. 2. A cross sectional view of self aligned a-Si TFT.

III. 실험 결과 및 분석

APCVD 방법으로 제작된 70nm 두께의 얇은 비정질 실리콘을 250 $^{\circ}$ C에서 1시간동안 수소화를 한 후 측정된 전기적 특성이 그림 3에 나타나 있다.

상온에서의 광전기전도도는 100mW/cm²(AM-1)조건 하에서 측정하였다. 온도변화에 따른 선형 기울기로부터 구한 활성화 에너지는 0.78eV이고 호핑에 의한 전도도는 없음을 알 수 있다. 그리고 AM-1조건에서 광감도는 2 \times 10⁴이다. 수소화된 APCVD 비정질 실리콘의 광학적 밴드 갭은 1.6eV로 PECVD a-Si:H (1.75eV)보다 작다. 이것은 시료내의 수소량이 적기 때문이다.

그림 4는 P이온 도핑 후의 APCVD 비정질 실리콘 박막의 도핑온도에 대한 상온 전기전도도를 보여준다. 도핑시간과 가속전압은 각각 90초와 6kV로 고정하였다. 전기전도도는 350 $^{\circ}$ C까지 증가를 하고 그 이상에서는 감소한다.

이것은 350 $^{\circ}$ C이상에서는 a-Si:H 내의 수소들이 외부로 빠져나가기 때문에 박막의 특성이 저하되어 암전기전도도가 감소하는 것이다. 따라서 이온 도핑온도의 최적 조건은 350 $^{\circ}$ C임을 알 수 있다.

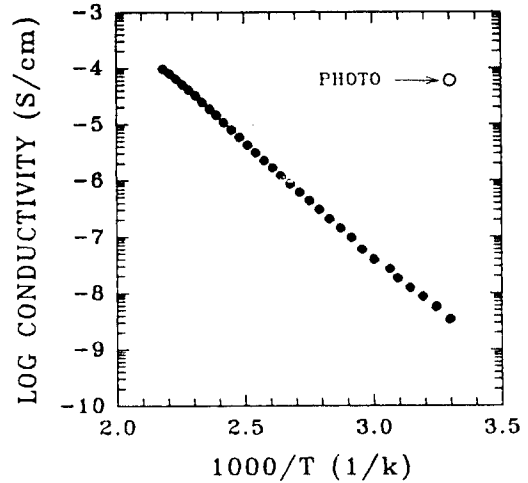


그림 3. 수소화 처리 후 APCVD 비정질 실리콘의 암전기전도도의 온도 의존성

Fig. 3. Temperature dependence of dark conductivity of APCVD a-Si after hydrogenation.

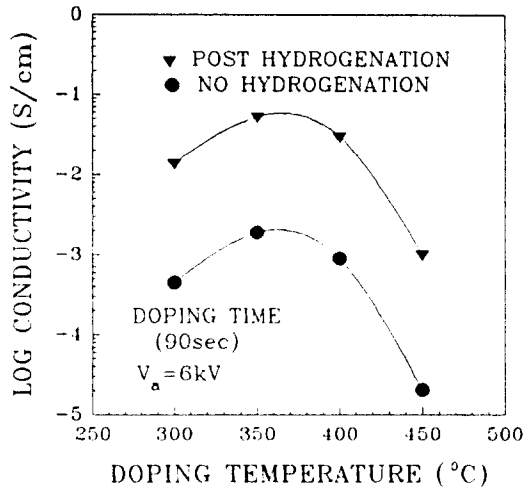


그림 4. 수소화 전과 후의 P이온도핑된 APCVD 비정질 실리콘의 상온 전기전도도

Fig. 4. The room temperature conductivity of P ion doped APCVD a-Si films before and after hydrogenation.

400 $^{\circ}$ C이상에서 제작되어지는 열적 화학기상증착법 비정질 실리콘은 일반적으로 시료내의 낮은 수소함량 (<2%)에 기인하는 높은 결함밀도를 줄이기 위하여 수소화가 필요하다. 수소화를 한 후 시료의 전기적 특

성은 10배이상 증가하게 된다. 최적조건에서 이온 도핑된 APCVD 비정질 실리콘의 상온 전기전도도는 일반적인 플라즈마 화학기상증착법 n⁺ a-Si:H보다 조금 높은 6×10²S/cm이고 시료의 활성화 에너지는 ~0.1eV이다. 그 이유는 P이온 도핑의 경우에 수소원자들이 시료내에 결합되어 이온 도핑시 비정질 실리콘의 전기적인 특성이 함께 개선되기 때문이다. APCVD 비정질 실리콘의 밴드미부의 폭은 일반적인 a-Si:H에 비하여 작거나 적어도 같다. 그러므로 APCVD 비정질 실리콘과 이온 도핑기술은 좋은 성능의 자기정렬방식의 비정질 실리콘 박막트랜지스터를 제작하는데 적용할 수 있다. 비정질 실리콘 박막트랜지스터의 동작에서 실리콘의 특성, 실리콘과 실리콘 산화막과의 계면특성이 중요하다. 본 연구에서는 APCVD 비정질 실리콘을 증착하기전에 질소 플라즈마 처리하여 계면특성을 향상시켰다.⁽¹⁰⁾

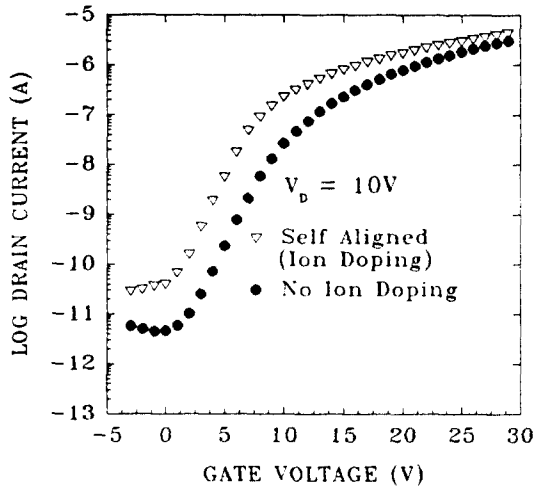


그림 5. 자기정렬방식으로 제작된 비정질 실리콘 박막트랜지스터의 transfer특성곡선
Fig. 5. The transfer curve for self aligned a-Si TFT.

그림 5는 이온 도핑으로 n⁺저항성접촉을 한 자기정렬방식의 비정질 실리콘 박막트랜지스터와 n⁺층이 없는 비정질 실리콘 박막트랜지스터의 transfer 특성곡선이다. 채널 폭과 길이의 비 W/L은 60μm/10μm, I_{on}/I_{off} 비율은 10⁵이다.

이온도핑 후 off상태의 전류가 증가하는 것은 이온도핑시 시료내로 확산되는 수소 원자에 의하여 비정질 실리콘의 암 전기전도도가 증가하기 때문이다.

그림 6은 자기정렬 방법으로 제작한 APCVD 비정질 실리콘 박막트랜지스터의 출력특성을 나타내는 것

으로 소오스-드레인의 직렬저항에 기인하는 드레인전류의 크라우딩현상이 발생하지 않는다⁽¹²⁾. 이것은 이온 도핑에 의하여 저항성접촉층이 잘 형성되었음을 의미한다.

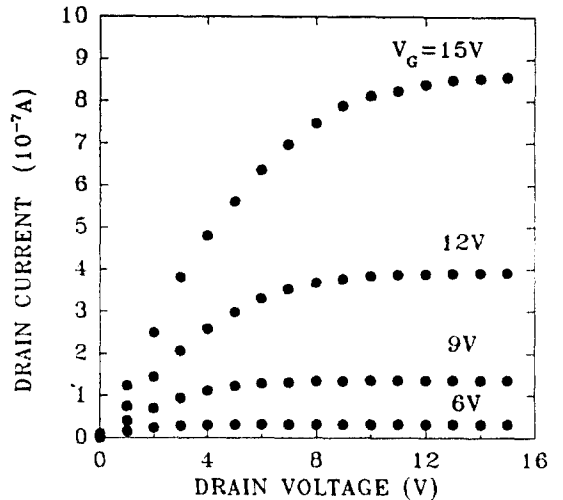


그림 6. 자기정렬방식으로 제작된 비정질 실리콘 박막트랜지스터의 출력특성곡선
Fig. 6. The output curve for self aligned a-Si TFT.

그림 7은 박막트랜지스터의 문턱전압과 전계효과 이동도를 구하기 위하여 드레인 전압=게이트 전압의 포화 조건에서 측정한 드레인 전압과 (드레인 전류)^{1/2}의 관계를 나타낸다. 선형 기울기에서 구한 비정질 실리콘 박막트랜지스터의 전계효과 이동도는 1.3cm²/Vs이고, X축인 드레인 전압의 절편에서 구한 문턱전압은 7V이다.

IV. 결론

본 연구에서는 능동행렬 액정디스플레이에 적용되는 a-Si TFT arrays의 생산성과 동작특성 향상을 위하여 APCVD방법으로 제작된 비정질 실리콘을 이온사우어 도핑을 하여 자기정렬방식의 비정질실리콘 박막트랜지스터를 제작하였다. P이온 도핑의 최적조건인 가속전압 6kV, 도핑온도 350℃에서 90초동안 이온 도핑한 n⁺비정질 실리콘의 상온 전기전도도는 6×10²S/cm이고 활성화에너지는 ~0.1eV이다. 이 도핑층을 자기정렬방식 비정질 실리콘 박막트랜지스터의 저항성 접촉층으로 사용하여 전계효과 이동도는 1.3cm²/Vs이고, 문턱전압은 7V인 박막트랜지스터를 제작하였다.

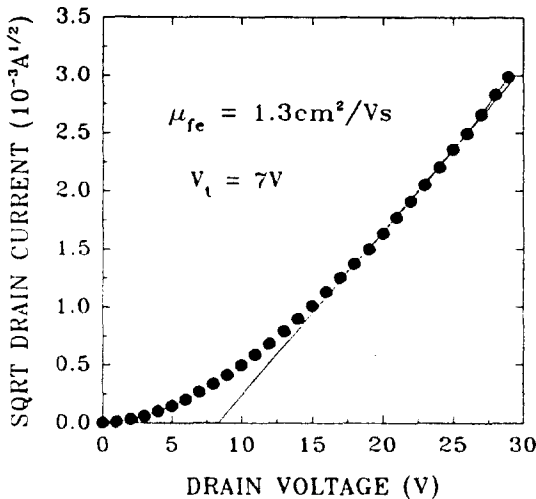


그림 7. 이온도핑층을 사용한 자기정렬방식 비정질 실리콘 박막트랜지스터의 전계 효과이동도와 문턱전압을 구하기 위한 드레인 전압과 (드레인 전류)^{1/2}의 특성곡선

Fig. 7. The plots of square root of drain current versus drain voltage to obtain field effect mobility and threshold voltage for APCVD a-Si TFT with ion doped layer.

참 고 문 헌

[1] P.A. Breddels, T. Satoh, H. Kanoh, O. Sugiura and M. Matsumura, "CVD of a-Si with Silane for TFTs", *Jpn. J. Appl. Phys.* 30, 233(1991).

[2] M. Matsumura and O. Sugiura, "Low Temperature CVD of Amorphous Semiconductors and Insulators", *Mat. Res. Soc. Symp. Proc.* 297, 109(1993).

[3] H. Kanoh, O. Sugiura, P.A. Breddels and M. Matsumura, "A-Si/SiN TFT Fabricated by Plasma-Free(CVD) Method", *IEEE Electron Device Letter* 11, 258(1990).

[4] F.B. Ellis, Jr. and R.G. Gordon, "Simple Method for Preparing Hydrogenated Amorphous Silicon Films by Chemical

Vapor Deposition at Atmospheric Pressure", *J. Appl. Phys.*, 54(9), 5381(1983).

[5] B.C. Ahn, J.H. Kim, B.Y. Moon, K.N. Kim, C.W. Lee and J. Jang, "Hydrogenation Effect of a-Si TFT by APCVD", *Mat. Res. Soc. Symp. Proc.* 297, 901 (1993).

[6] S. Kawai, Y. Nasu, S. Yanagisawa, "A Self-Aligned Amorphous-Silicon TFT for LCD Panels", *FUJITSU Sci. Tech. J.*, 21, 2, 204(1985).

[7] M. Yamanaka, Y. Hayashi and I. Sakata, "In Situ Hydrogenation of Amorphous Silicon Prepared by Thermal Decomposition of Disilane", *Jpn. J. Appl. Phys.*, 32, 1383(1993).

[8] M. Nakamura and Y. Misawa, "Diffusion of Hydrogenation in Post-Plasma-Hydrogenated Amorphous Silicon Film", *J. Appl. Phys.* 68(3), 1005(1990).

[9] J.H. Kim, E.Y. Oh, B.C. Ahn, D. Kim and J. Jang, "Performance Improvement of a-Si TFT with SiO₂ Gate Insulator by N₂ Plasma Treatment", *Appl. Phys. Lett.* 64(6), 775(1994).

[10] J.M. Jun, S.S. Yoo, J.I. Woo, K.H. Lee, H.K. Kang, K.N. Kim and J. Jang, "Silicon TFTs Using an Ion-Shower Technique", *J. Korean Phys. Soc.* 26, 95(1993).

[11] S.S. Yoo, J.M. Jun, K.H. Lee, B.Y. Moon and J. Jang, "A Study on Ion Shower Doping in Si Thin Film", *J. The Korean Institute of Telematics and Electronics* 31A, 106(1993).

[12] J. Kanicki, F.R. Libsch, J. Griffith and R. Polastre, "Performance of Thin Hydrogenated Amorphous Silicon Thin Film Transistor", *J. Appl. Phys.* 69(4), 2339 (1991).

저 자 소 개



鄭有贊(準會員)

1968年 1月 15日生. 1990年 한림대 물리학과 학사. 현재 경희대학교 물리학과 석사과정. 주관심분야는 poly-Si TFT, a-Si TFT, ion shower doping을 이용한 TFT-LCD등임.



劉在浩(準會員)

1969年 4月 15日生. 1994年 경희대 물리학과 학사. 현재 경희대학교 물리학과 석사과정. 주관심분야는 CVD a-Si TFT, 준안정성 등임.



李承珉(準會員)

1971年 6月 5日生. 1994年 경희대 물리학과 학사. 현재 경희대학교 물리학과 석사과정. 주관심분야는 diamond, SiC와 Si 박막에서 이온도핑을 이용한 소자연구등임

李景夏(正會員) 第 29卷 A編 第 6號 參照

현재 경희대학교 물리학과 박사과정 재학중

文炳淵(正會員) 第 31卷 A編 第 5號 參照

현재 경희대학교 물리학과 박사과정 재학중

張震(正會員) 第 29卷 A編 第 6號 參照

현재 경희대학교 물리학과 교수