

論文95-32A-1-16

오프셋전압을 저감시킨 실리콘 바이폴라 홀 IC 설계

(Design of HALL effect Integrated circuit
with reduced voltage offset in silicon bipolar
technology)

金政彦*, 洪昌憲*

(Jung Eun Kim, Chang Hee Hong)

요약

패키지(package) 과정에서의 칩(chip)이 받는 외부의 스트레스(stress)와 칩 제조 과정에서의 정렬오차에 따라 발생하는 홀 플레이트의 오프셋은 칩 제조에 따라 불특정적으로 랜덤하게 발생하고, 그 오프셋전압은 주위 온도의 변화에 따라 비선형적으로 가변한다. 본 연구에서는 이 오프셋이 출력에 나타나지 않게 하는 홀 IC 설계의 방법으로 홀소자의 90°-shift-current Hall plate pair의 칩 배치와 이에 결합된 차동입력-싱글출력 변환 드라이버 앰프(Differential to single ended conversion amplifier drive) 회로의 대수학적인 관계를 수식으로 증명하였다. 그리고 이것을 실험하였으며, 그결과 원래의 오프셋전압 보다 약 1/100배 정도로 줄일 수 있었다.

Abstract

The offset voltage in silicon Hall plates is mainly caused by stress and strain in package, and by alignment in process. The offset voltage is appeared random for condition change with time in the factory, is non-linearly changed with temperature. In this paper proposed new method of design of Hall IC, and mathematically proved relation layout of chip of 90°-shift-current Hall plate pair is matched with "Differential to Single ended Conversion amplifier." In the experiment, the offset voltage is reduced about 1/100 time than the original offset voltage.

I. 서론

지난 몇 십년간 여러가지 재료로 다양한 Hall 소자가 만들어 졌으며^[1] 용도 또한 다양하다^[2-5] 일반적

으로 연구의 초점은 언제나 고이동도 재료(high mobility material)를 사용한 자장(磁場) 감도 개선이었으며, 요구되는 센서의 특성이 만들어 지기까지는 기하학적인 구조를 맞추는 것이었다.^[6-8]

그러나 홀판은 무자장상태에서 원인이 확실하지 않은 어떤전압을 가지는데 그것을 오프셋전압이라고한다. 이 오프셋전압은 스트레스, 기하학적구조, 열효과, 표면전하 등의 원인으로서 나타난 결과라고 보여지며, 실리콘 역

* 正會員, 東亞大學校 電子工學科
(Dept. of Elec. Eng., Dong-A Univ.)
接受日字 : 1994年 6月 2日

시, 홀판을 만드는데 사용되어 왔다. 실리콘 홀판에서의 오프셋중 가장 중요한 원인은 패키지 스트레스(package stress)와 정렬오차에 따른 것이다. 이 두 오프셋은 보상 하기가 어려운것으로 알려져있다. 그것은 量産 공장의 칩 제조 과정에서 시간과 온도, 그리고 재료, 열수축의 차이등 제어하기 어려운 원인에 의한것이기 때문이다. 이러한 오프셋을 제거 할 수 있는 방법이 몇가지 제안 되었지만 아직도 문제를 완전하게 해결 할 수 있었던 경우는 찾아 볼 수 없다.^{[1] [8] [9] [10]}

반면, 표면전하의 영향으로 발생하는 오프셋은 n+매립층을 넣은 홀판을 사용하므로써 없앨 수 있다.^{[11] [12]}

현재 가장 낮은 오프셋전압의경우 약 50uV 정 도나타내며, spinning current offset reduction 방법으로 구현된다.^{[9] [10]}

그러나 이러한 spinning current offset reduction 방법은 홀 구동 전류를 스위칭하여 그 값을 적분회로인 저역통과 필터 (low pass filter)를 통하여 얻기 때문에 근본적으로 교류 자장에는 이용 할 수가 없다. 그리고 보다 이전에 제안 되어진 2개 혹은 4개의 홀소자를 밀접하게 배열하여 홀전압 단자를 전기적으로 묶어 놓은 경우는 직류 및 교류 자장에 모두 이용 될 수 있는 장점은 있지만^[5] 오프셋 발생 전압값이 1mV 정도로서, 오프셋이 크게 나타난다.

본 연구에서는 위에서와 같은 문제점을 개선하기 위해 90°-shift-current Hall plate pair(하나의 칩위에 두 개의 정방형의 똑 같은크기, 모양, 형태, 공정면에서 같은 홀 소자를 인접하게 90°의 각도로 배치한 홀플레이트의 한쌍)와 차동입력-싱글출력 변환 드라이

버 앰프를 이용하여 홀 IC를 실현하고자 한다.

이것은 90°-shift-current Hall plate pair와 그 드라이브 회로인 앰프 블록의 대수학적인 관계로서 오프셋이 이론적으로 제로(zero)에 가깝게 제거됨을 밝히고 그 특성을 실제로 알아보기 위하여, 이미 개별소자로 제작된 수평(horizontal)실리콘 자기 센서의 홀판 2개를 패키지에 정렬 시켜 본당을 하여 실험을 행하였으며, 소자 하나의 구조가 그림.1에 나타나 있다.

II. 90° shift current Hall plate pair와 자동입력-싱글출력 변환 드라이버 증폭기를 이용한 홀IC

현재, 감도가 우수한 실리콘 자기 플레이트에 있어서 그 절대감도가 1k 가우스(GAUSS)당 약 25mV인 것을 본다면 1mV 오프셋의 크기는 출력에 비해 매우 큰 값을 쉽게 알 수 있다. (참고로 지구의 자장은 일본의 동경기준 0.25 GAUSS이다.)

홀 소자는 소자의 제작 과정에서 오는 다음 두 가지 형태의 문제점으로 오프셋이 발생한다. 그 첫번째는 소자의 패키지 공정과정에서 홀 소자 칩을 감싸는 패키지 물질과 실리콘 칩의 열 수축 차이이다. 두 물질의 수축의 차이가 발생하면 칩은 측면으로의 압력을 받게 되고 이 압력으로 칩은 그 저항율이 달라지게 되며 이것은 그림.2 에서와 같이 브릿지 형태로 표현되는 홀 소자 오프셋 등가모델에서의 4개 저항 값에 차이를 나타내게 한다. (이렇게 된 소자에 구동전류가 흐르면 무자장에서도 홀 전압이 검출되어 오프셋으로 나타난다.)

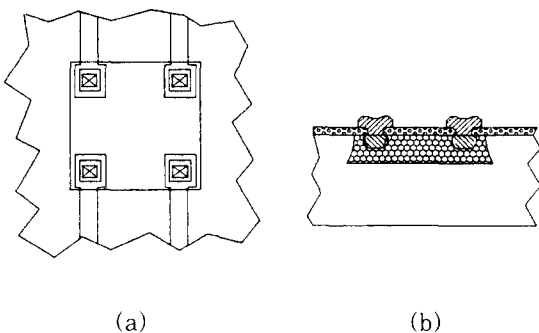


그림 1. 제작된 홀 센서의 구조
(a) 홀 센서의 수평구조
(b) 홀 센서의 단면도
Fig. 1. Prepared hall sensor structure.
(a) Horizontal structure of hall sensor
(b) Cross-section of hall sensor

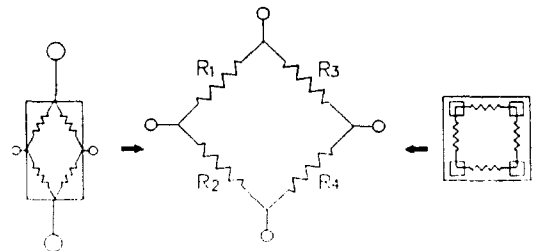


그림 2. 브릿지 형태로 표현되는 홀 소자등가 모델과 회로
Fig. 2. Equivalent model and circuit of Hall IC describing bridge structure.

두번째의 주요한 오프셋의 발생원인은 홀 소자 칩 제작 과정에서, 마스크(mask)의 정렬오차(align)에 의

해 단자간의 저항률에 차이를 주어 역시, 같은 효과로 작용하게 한다.

홀 센서에 있어서의 오프셋은 외부에서 아무런 자장을 가하지 않았음에도 불구하고 출력단자인 홀 전압 단자에 위와 같은 작용으로 발생된 등가 모델의 4개의 저항값의 차이에 따라 전압이 나타나는 것이다. 즉, 식.1과 같이된다.

$$V_{offset} = I_o \frac{R_2 \cdot R_3 - R_1 \cdot R_4}{(R_1 + R_2) + (R_3 + R_4)} \quad (1)$$

(여기서 I_o 는 Hall 소자 구동전류이다.)

그리고 이것은 주위온도의 변화에 따라서 그 값도 변하게 된다. 비교적 낮은 농도 $5 \times 10^{14}/\text{cm}^3$ 를 갖는 n-형(type)의 에피층에서 일정한 전류 I_o 로 구동되는 홀 소자의 입력나타나는 전압 V_o 와 온도에 따른 저항 R_o 의 변화는

$$\delta V_o / \delta T \propto \delta R_o / \delta T \propto \delta n \gamma / \delta T \quad (2)$$

로 비례한다. 여기서 캐리어(carrier)농도 n은 상온에서 거의 일정하므로 온도 T에 따른 공급 전원 전압 V_o 는 산란계수(Hall scattering factor) γ 에 비례하게 되고 이에 따른 offset의 온도 의존성은 상당히 크다. 이것을 수식으로 나타내면

$$\frac{\delta V_o}{\delta T} = I_o \left(\frac{-1}{qn} \right) \frac{\delta \gamma}{\delta T} \quad (3)$$

와 같이 표현 된다.

이러한 오프셋 전압은 온도에 따라 비선형적으로 가변하므로 완전히 보상하는 것은 어려운 문제이다.

그리고 한 예로서 홀 소자를 브러쉬리스 모터에 응용되는 경우를 보자. 회전자 영구자석의 위치를 감지해야 하는 홀 소자가 브러쉬리스 모터의 고정자 코아의 열로서 주위 온도가 섭씨 20℃ 정도 상승 됐을 경우 그 변위되는 오프셋전압은 약 1.5mV이고, 이것으로 회전자 영구자석의 회전위치 각도 검출에서 약 수 도(degree)정도의 오차를 가져올 수 있다. 그러므로 이 감지 신호로 회전자를 제어하는 브러쉬리스 모터의 회전제어 시스템에는 심각한 효율 저하의 영향을 가져올 수 있음을 알 수 있다. 또, 이러한 경우에는, 감지해야 할 입력 자장이 교류이므로 오프셋을 감소하기 위한 spinning-current offset reduction법^{[9][10]}도 이용할 수가 없다.

본 연구에서는 상기와 같은 문제점을 제거하기 위한 새로운 방법으로 90° shift current Hall plate pair

와 차동앰플를 결합한 홀 IC를 제안하고자 한다.

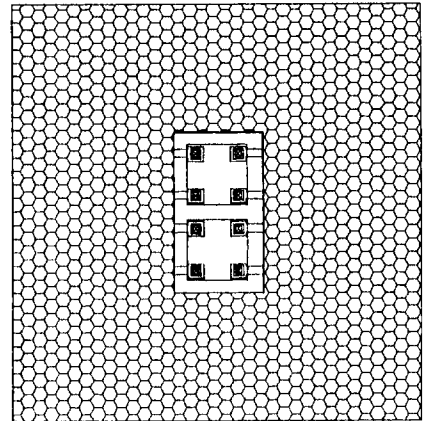


그림 3. 하나의 칩상에 두개의 정방형으로 배치한 홀 소자

Fig. 3. Hall device is arranged as two square on chip

90°-shift-current Hall plate pair와 앰플를 결합한 홀 IC는 위의 그림.3에서와 같이 하나의 칩 상(上)에 두 개의 정방형의 똑 같은(크기, 모양, 형태,공정면에서 같은) 홀 소자를 인접하게 90°의 각도로 배열(chip layout design에서의 배치)하고, 이 두 개의 홀 소자를 구동하는 전류의 방향도 90°의 각도로 같은 량의 전류를 입력한다.

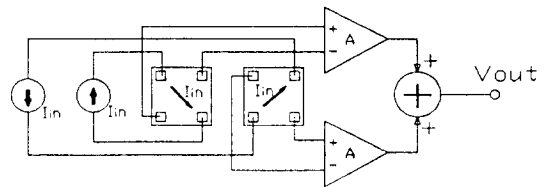


그림 4. 바이폴라 IC 기술을 이용하여 제공된 홀 IC의 블록도

Fig. 4. Basic block diagram of hall IC in bi- polar IC technology.

그리고 두 홀 소자로 부터 두 쌍의 홀 전압 출력 신호를 각각 같은 증폭율의 두 증폭기로 증폭하여 출력하고, 이 증폭된 두 신호를 입력받아 합하여 하나의 신호로 변환하는 회로요소로 구성되어 있다. 이러한 칩의 구성도를 그림.4에 나타내었다. 즉 90°-shift-current

Hall plate pair와 차동입력-싱글출력 변환 드라이버 앰프를 결합한 방법으로 옵셋을 제거 시키는 원리는 그림.5에 나타난 홀소자의 등가모델로 설명 할 수 있다. 이 모델에서 2개의 소자는 매우 인접하게 배치되어 있으므로 IC 제조공정 과정에서 CVD(chemical vapor deposition), 확산(diffusion) 등의 산포가 거의 동일하며 두 홀 소자의 단자간 등가저항 이 그림.5와 같이 R1과 R1', R2와R2', R3와R3', R4와R4'은 동일한 방향 동일한 위치에 있고 정렬(align) 오차 및 외부의 기계적 압력등의 작용에서 발생하는 오차율도 거의 같으므로

$$\begin{matrix} R_1 \cong R_1' & R_2 \cong R_2' \\ R_3 \cong R_3' & R_4 \cong R_4' \end{matrix} \quad (4)$$

의 관계에 있다.라고 할 수 있다.

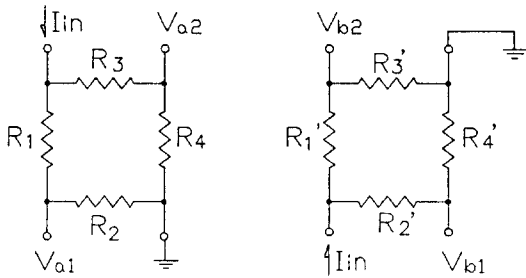


그림 5. 인접한 두 홀소자의 등가회로
Fig. 5. Equivalent circuit of two closed Hall device.

그리고 이 소자에 자장(B)이 칩의 상단에서 하단의 방향으로 가해 졌을 때, 전류(I_o)의 흐름에 따른 캐리어의 속도(v)과, 이에 대한 로렌츠 힘(Lorentz force: F_L)을 그림.6에서 화살표로 표시하였다. 따라서 n-형의 에피층(epi-layer)에 다수 캐리어는 전자이고 이에 따라 로렌츠 힘의 역 방향에 홀 전압인 '+'가 유지된다.

즉,

$$F_L = q(E + v \times B) \quad (5)$$

의 관계에 있다. 여기서 FL, E, V, B는 벡터 량이고 q는 전하 량을 나타내었다.

위 식에서 전장 E 는 자장 B에 대해 홀 전압의 유지 방향은 그림.6에서 먼저 한 소자는 V_{H,a1}이 '+'극성을, V_{H,a2}이 '-'극성을 띠고 나머지 한 소자는 V_{H,b1}이 '+'극성을, V_{H,b2}이 '-'극성을 띠므로 그림.4의 회로도에서와 같이, 이 두 신호의 차 신호를 각각 A배 증폭하고 합하면 홀 전압 출력 V_{H,out}은

$$\begin{aligned} V_{H,out} &= A[(V_{H,a1} - V_{H,a2}) + (V_{H,b1} - V_{H,b2})] \\ &= A(V_{H,a} + V_{H,b}) \end{aligned} \quad (6)$$

이 된다.

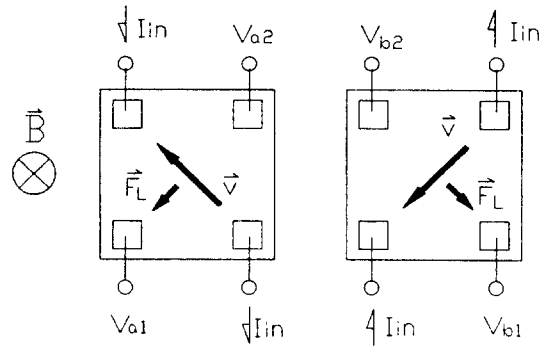


그림 6. 홀소자에 자장(B)이 칩의 상단에서 하단의 방향으로 가해졌을때 전류의 흐름에 따른 캐리어의 속도(v)와 이에 따른 로렌즈 힘 (FL)을 표시하고 있다.

Fig. 6. Carrier velocity and Lorentz force appear between magnetic field B and current I_{in}. B the perpendicular component of the magnetic induction B, I_{in} the bias current supplied through the contact.

여기서 V_{H,a} = (V_{H,a1} - V_{H,a2}), V_{H,b} = (V_{H,b1} - V_{H,b2})이며 순수한 Hall voltage 만을 나타낸 것으로서 두 값의 크기는 동일한 소자 동일한 구동 전류로 동작하므로 V_{H,a} = V_{H,b}이다. 따라서 식(6)은

$$V_{H,out} = 2AV_{H,a} = 2AV_{H,b} \quad (7)$$

으로 볼 수 있다. 그리고 옵셋을 포함한 90°-shift-current Hall plate pair와 차동입력-싱글출력 변환 드라이버 앰프를 이용한 방법의 출력 전압은

$$\begin{aligned} V_{out} &= A[(V_{H,a1} + V_{O,a1}) - (V_{H,a2} + V_{O,a2}) \\ &\quad + (V_{H,b1} + V_{O,b1}) - (V_{H,b2} + V_{O,b2})] \\ &= A[(V_{H,a1} - V_{H,a2}) + (V_{H,b1} - V_{H,b2}) \\ &\quad + (V_{O,a1} - V_{O,a2}) + (V_{O,b1} - V_{O,b2})] \\ &= A[(V_{H,a} + V_{H,b}) + (V_{O,a} + V_{O,b})] \end{aligned} \quad (8)$$

이고, 여기서 V_{O,a} = (V_{O,a1} - V_{O,a2}),

$$V_{O,b} = (V_{O,b1} - V_{O,b2})$$

이며 그림.4 Hall 소자 등가모델의 옵셋전압 이다. 그리고 V_{O,a1}, V_{O,a2}는

$$V_{o,a1} = I_{IN} \frac{(R_1 + R_2)(R_3 + R_4)}{(R_1 + R_2) + (R_3 + R_4)} \frac{R_2}{(R_1 + R_2)} \quad (9)$$

$$= I_{IN} \frac{(R_3 + R_4)R_2}{(R_1 + R_2) + (R_3 + R_4)}$$

$$V_{o,a2} = I_{IN} \frac{(R_3 + R_4)R_2}{(R_1 + R_2) + (R_3 + R_4)} \quad (10)$$

이므로, $V_{O,a} = (V_{O,a1} - V_{O,a2})$ 는

$$V_{O,a} = I_{IN} \frac{(R_3 + R_4)R_2 - (R_1 + R_2)R_4}{(R_1 + R_2) + (R_3 + R_4)} \quad (11)$$

$$= I_{IN} \frac{R_2R_3 - R_1R_4}{(R_1 + R_2) + (R_3 + R_4)}$$

이며

$V_{O,b1}, V_{O,b2}$ 는

$$V_{O,b1} = I_{IN} \frac{(R_1' + R_3')R_4'}{(R_1' + R_3') + (R_2' + R_4')} \quad (12)$$

$$V_{O,b2} = I_{IN} \frac{(R_2' + R_4')R_3'}{(R_1' + R_3') + (R_2' + R_4')} \quad (13)$$

이므로, $V_{O,b} = (V_{O,b1} - V_{O,b2})$ 는

$$V_{O,b} = I_{IN} \frac{(R_1' + R_3')R_4' - (R_2' + R_4')R_3'}{(R_1' + R_3') + (R_2' + R_4')} \quad (14)$$

$$= I_{IN} \frac{R_1'R_4' - R_2'R_3'}{(R_1' + R_3') + (R_2' + R_4')}$$

이다. 따라서 순수한 오프셋 전압 출력, $V_{O,out} = (V_{O,a} + V_{O,b})$ 는

$$V_{O,out} = I_{IN} \left[\frac{R_2R_3 - R_1R_4}{(R_1 + R_2) + (R_3 + R_4)} + \frac{R_1'R_4' - R_2'R_3'}{(R_1' + R_3') + (R_2' + R_4')} \right] \quad (15)$$

이므로 식(4)를 고려 할 때 위 식은

$$V_{O,out} \cong (V_{O,a} + V_{O,b}) = 0 \quad (16)$$

'제로'가 된다.

이상의 결과에 의해서 식(4), 식(6), 식(7), 식(16)를 감안 할 때, 본 논문의 Hall IC의 출력은

$$V_{out} = A [(V_{H,a} + V_{H,b}) + (V_{O,a} + V_{O,b})]$$

$$\cong A [(V_{H,a} + V_{H,b}) + (0)]$$

$$\cong A(V_{H,a} + V_{H,b})$$

$$\cong 2AV_{H,a}$$

$$\cong 2AV_{H,b}$$

으로 되어서 홀 플레이트의 오프셋은 존재 하지만, 90°-shift-current Hall plate pair와 차동입력-싱글출력 변환 드라이버 앰프를 이용한 방법은 내부적인 오프셋의 상쇄 시스템에 의해 출력에서는 오프셋을 '제로'화 시키고, 순수한 홀 전압만 나타나게 하는 효과를 가진다.

III. 실험 결과

위 식을 실제 측정에서의 실험치와 비교 해보기 위해서는, 앞서 언급한 바와 같이, 90°-shift-current Hall plate pair를 그림.3에서와 같이 하나의 chip 상(1)에 두 개의 정방형의 똑 같은(크기, 모양, 형태, 공정면에서 같은) Hall 소자를 인접하게 90°의

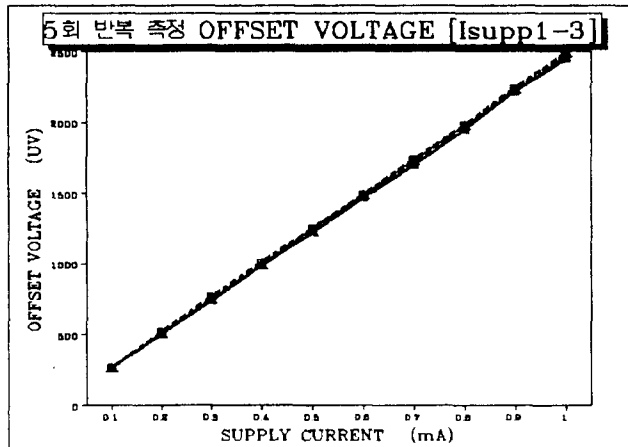


그림 7. Va1-Va2 간의 5회 반복 측정 오프셋 전압
Fig. 7. Offset voltage of five times measurement between Va1 and Va2.

각도로 배열(chip layout design에서의 배치)해야 하지만, 이에 맞게 제작된 소자가 없음으로 인해서, 이미 개별소자로 제작된 수평(horizontal) 실리콘 자기센서의 홀 플레이트 2개를 패키지에 나란히 정렬시켜 본딩을 하여 실험을 행하였으며 소자 하나의 구조는 그림 1에 나타나있다.

실험을 위한 90°-shift-current Hall plate pair와 차동입력-싱글출력 변환 드라이버 앰프 구성은 그림.4에 나타내었다. 2개의 Hall 소자를 90°의 각도로 전류를 구동하고 역시 90°의 각도로 홀 전압을 검출하여 각각 차동 증폭기에 입력하였다. 그리고 두 차동 증폭기의 출력전압의 차전압을 검출하기 위하여 다시 차

동 증폭기의 입력단자로 입력하고 그출력을 최종 검출 출력으로 하였다. 이실험에서 단자 Va1-Va2 간에서 검출된 홀 전압을 각각 5회의 반복 측정 전압을 그림

그리고 단자 Vb1-Vb2간에서 검출된 홀 전압을 각각 5회 반복측정한 결과를 그림9에 나타내었고 그5회 반복 측정 평균 전압을 그림10에 각각 나타내었다. 측정에서 이소자가 지닌 고유 오프셋전압이 $\pm 2500\mu\text{V}$ 의 규모이고 이것을 자장으로 환산하면 외부 인가된 자장이 $\pm 5000\mu\text{T}$ 가 인가된 정도에 등가되는 매우 큰규모인 것을 알 수 있다. 그리고 최종 출력단인 차동증폭기의 출력단에서는 그림 11에서와 같이 +9~-15 μV 의 낮은 변화로 감소하는 것을 보였고 이것은 원래 소자 오프

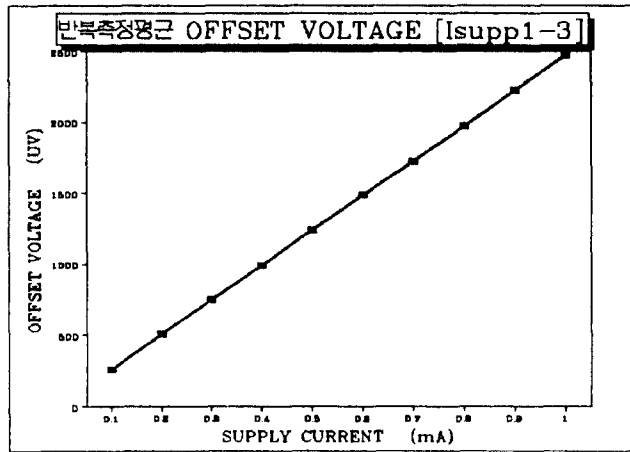


그림 8. Va1-Va2 간의 평균 오프셋 전압
Fig. 8. Average offset voltage between Va1 and Va2.

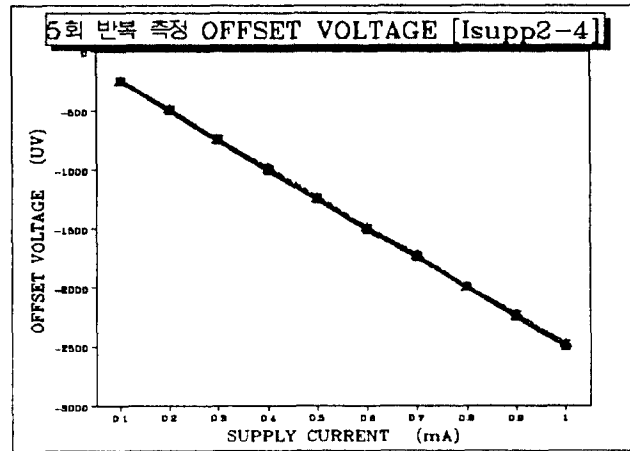


그림 9. Vb1-Vb2 간의 5회 반복측정 오프셋전압
Fig. 9. Offset voltage of five times measurement between Vb1 and Vb2.

셋의 1/100배 이하에 해당하는 것을 확인 하였다.
7에 나타내었다.

그리고 5회 반복 측정 평균 전압을 그림8에 나타내었다.

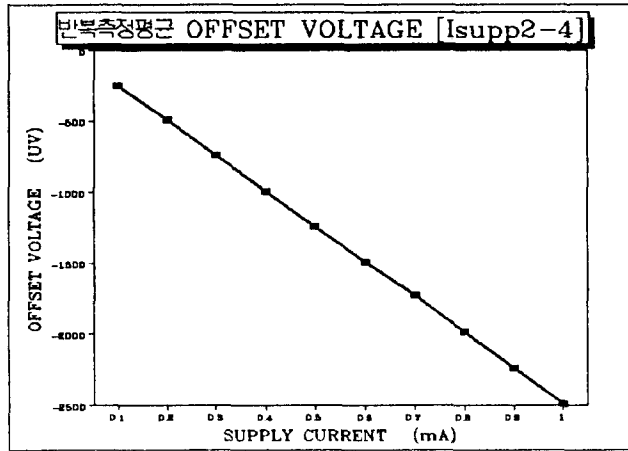


그림 10. Va1-Va2 간의 평균 오프셋 전압
Fig. 10. Average offset voltage between Vb1 and Vb2.

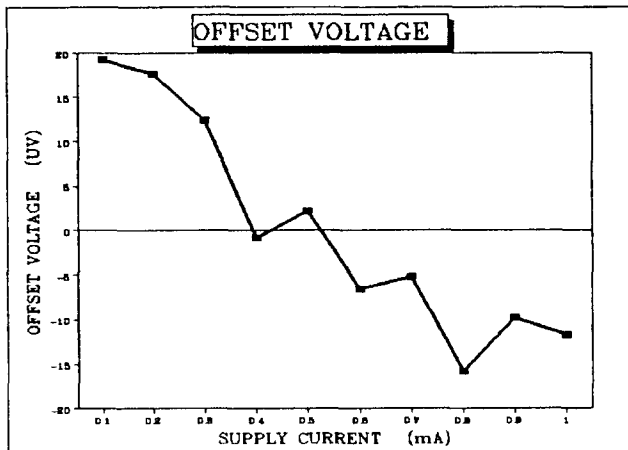


그림 11. 제시된 홀IC의 오프셋전압
Fig. 11. Offset voltage of prepared Hall IC.

IV. 결론

본 연구에서 90°-shift-current Hall plate pair와 차동입력-싱글출력 변환 드라이버 앰프를 이용한 방법으로 오프셋전압의 크기를 크게 줄였다.

이 실험에서 오프셋전압은 입력 자장 환산 100μT(50μV)에 증가되는 값을 얻었고 이는 spinning-current offset-reduction 법^{[9][10]}보다 적은 값이고, 더욱이 교류 자장의 검출에도 이용 할 수 있는 잇점을 갖

는다. 그런데 측정에서 기대치를 만족치 못한 다소의 오프셋의 발생은 다음 원인으로 해석된다. 앞서 언급한 바와 같이, 실제 측정에서의 실험치와 비교 해보기 위해서는 90° shift current Hall plate pair를 그림.3에서와 같이 하나의 칩 상(上)에 두 개의 정방형의 똑 같은(크기, 모양, 형태, 공정면에서 같은) Hall 소자를 인접하게 90°의 각도로 배열(chip layout design에서의 배치)해야 하지만, 이에 맞게 제작된 소자가 준비되지 못함으로 인해서, 이미 제작된 개별 소

자 자기센서의 플레이트와 OP 앰프를 사용하여 이 실험을 행하였기 때문에 보여진다.

그리고 이러한 본 연구는 정밀한 계측을 위한 가우스미터(Gauss Meter)나 브러쉬리스모터, 속도계 및 각종 회전량 검출기, 적산전력계, 비접촉전류계(클램프미터), 그 밖의 일반적인 광범위한 홀 소자를 이용하는 자기센서류에 있어서, 홀 소자 자체의, 온도에 대해 비선형적으로 가변하는 윽셋을 '제로화' 시킴으로서 제품의 정밀도를 보다 높일 수 있는 효과를 지니며 그 적용 범위도 한층 높일 수 있게 될 것으로 기대한다.

참 고 문 헌

- [1] H.P.Baltes and R.S.Popovic, "Integrated semiconductor magnetic field sensors", Proc OF THE IEEE, VOL. 75, pp.1107~1132, 1986.
- [2] CEE Staff Report, "Hall effect devices, chips that switch with magnetic fields", CANADIAN ELECTRONICS ENGINEERING, PP.25~27, NOVEMBER 1987.
- [3] S.KATAOKA, "半導體 磁氣 센서", 電子通信工學會誌, PP.422-430, 4/81.
- [4] K.Fischer, "Dynamic differential Hall-effect ICs measure speed, position and angle", Component XXVII, VO.4, PP 7~10, 1992.
- [5] T.Wood "Modifying Hall Effect sensors to generate digital output", Sensor Review PP. 209~215, October 1987
- [6] 前中一介 中村哲郎, "集積化 磁氣 센서", 電子通信工學會誌, PP. 567~600, 6/90
- [7] L.J RISTIC, M.TDOAN and M.PARANJAPPE, "3-D Magnetic Field Sensor Realized as a Lateral Magnetotransistor in CMOS Technology", Sensor and Actuators, PP.770~775, A21-A23 1990
- [8] D.mirsa, M.Zhang and Z.Cheng, "A novel '3D magnetic-field sensor in standard CMOS technology", Sensor and Actuators, PP.67~75, A34, 1992.
- [9] P.J.A. Munter, "A low-offset spinning-current Hall plate", Sensors and Actuators PP.743-746, A21~A23 1990.
- [10] P.J.A. Munter, "Electronic circuitry for spinning-current Hall plate with low offset", Sensors and Actuators, PP.747~751, A25-A27, 1991.
- [11] "Improved Holl device find new uses, orthogonal coupling yields sensitivity products with reduced voltage offsets and low drift, Eletron, Weekly PP.59~61, (Apr.29) 1985.
- [12] R.S. Popovic, "Hall effect devices", Sensors and Actuators, PP.39~53, 17, 1982.

저 자 소 개

金 政 彦(正會員)

1955년 10월 29日生. 1983년 2월 東亞大學校 電子工學科 卒業. 1990년 2월 同大學院 電子工學科 碩士學位取得, 現在 韓國電子 半導體研究센터 勤務

洪 昌 熹(正會員)

1964년 2월 漢陽大學校 電氣工學科 卒業 1971년 2월 同大學院 電氣工學科 碩士學位取得 1983년 2월 同大學院 電氣工學科 博士學位取得 現在 東亞大學校 電子工學科 教授