

論文95-32B-12-4

개선된 Chebyshev 함수와 DDA를 이용한 연속시간 필터 설계

(Design of a Continuous-Time Filter Using the Modified Chebyshev Function and DDA)

崔碩佑*, 尹暢焄*, 金東龍*

(Seok Woo Choi, Chang Hun Yun, and Dong Yong Kim)

요 약

본 논문에서는 개선된 Chebyshev 저역통과 필터 함수를 제시하였다. 개선된 Chebyshev 함수는 통과영역에서 $\omega=0$ 으로 파상이 점진적으로 감소한다. 따라서 기수 차수를 포함한 우수 차수에서도 수동 복종단 제자형 회로의 실현이 가능하여 제자형 모의법으로 능동 RC 필터 또는 스위치드 커패시터 필터로 실현할 수 있다. 수동 복종단 제자형 실현 외에도 개선된 함수는 극점-Q 값이 감소하여 기존의 함수와 비교하여 위상, 지연 특성 등이 향상되었다. 개선된 함수로 6차의 수동 복종단 회로로 실현한 후 집적화할 수 있도록 개구리 도약형 모의법으로 외부 회로와의 정합이 필요치 않는 연속시간 DDA 필터로 설계하였다. HSPICE 시뮬레이션 결과 설계된 연속시간 DDA 필터는 수동 필터와 특성이 일치함을 확인하였다.

Abstract

In this paper, a modified Chebyshev low-pass filter function is proposed. The modified Chebyshev filter function exhibits ripples diminishing toward $\omega=0$ in the passband. So, the modified filter function is realizable in the passive doubly-terminated ladder network for the order n even or odd, thus lending itself amenable to active RC or switched capacitor filters through the simulation techniques. Besides the passive doubly-terminated ladder realizability, lower pole-Q values of the modified function are accountable for improved phase and delay characteristics, as compared to classical function. We have designed the 6th order passive doubly-terminated network using the modified function. And then a continuous-time DDA(Differential Difference Amplifier) filter, which has no matching requirement, is realized by leap-frog simulation technique for fabrication. In the HSPICE simulation results, we confirmed that the designed continuous-time DDA filter characteristics are agreement with the passive filter.

I. 서 론

광범위한 주파수 대역에서 필요한 주파수 성분만 통과시키고 그 이외의 주파수 성분은 저지, 감쇠시키거나

방해가 되는 잡음 신호를 제거하는 특성을 갖는 필터(filter)는, 거의 모든 전기·전자 회로에서 각종 신호를 복원하고 처리하는데 널리 사용되고 있다. 필터를 설계하기 위한 설계명세조건이 주파수에 관한 크기 특성이나 위상 특성으로 제시될 때 실현성 있는 필터 함수를 구하는 과정이 근사법(approximation)이다.

* 正會員, 全北大學校 附屬 電氣電子回路合成研究所
(Electric & Electron Circuit and System Research Institute, Chonbuk National University)

※ 이 논문은 한국과학재단의 국제공동연구과제 연구비에 의하여 연구되었음

接受日字: 1995年7月15日, 수정완료일: 1995年12月6日

기존에 제시된 필터 함수중 통과대역에서 등파상(equal ripple) 특성을 갖는 Chebyshev 함수는 Butterworth 함수와 비교하여 동일한 차수에서 천이영역(transition region)이 좁아 주파수 차단 특성이 우수하나, 등파상 특성으로 인하여 위상 특성이 비선형

적이다.^[1,2] 또한 우수 차수의 Chebyshev 함수는 $\omega=0$ 일 경우 통과대역에서 최대값을 갖지 못하여 최대전력 전송이 가능한 수동 복중단 회로 실현이 불가능하다.^[3]

본 논문에서는 먼저 기존의 Chebyshev 함수가 갖는 문제점을 제거하기 위하여 통과대역에서 점진적으로 파상이 감소하는 새로운 형태의 Chebyshev 함수를 제시한다. 개선된 Chebyshev 함수는 우수 차수에서도 최대전력전송이 가능한 수동 복중단 회로로 실현이 가능하고 점진적 감소 파상으로 인하여 필터의 특성을 개선한다.

그리고 근사법으로 구한 필터 함수를 수동 회로로 실현하면 능동 회로보다 우수한 감도 특성을 갖지만 부피가 크고, 필터를 구성하는 인덕터의 자기포화 특성과 정확한 소자값을 실현하기 어렵다는 단점이 있다. 또한 필터를 포함한 시스템을 단일 칩으로 집적회로화하기 위해서는 필터를 능동 회로로 설계해야만 한다.^[4,5]

능동 필터로부터 아날로그 신호를 처리하기 위해서는 스위치드 커패시터 필터, 연속시간 필터등이 사용되고 있다.

필터 설계에 가장 많이 사용되는 방법인 스위치드 커패시터 필터는 저항을 스위치와 커패시터로 모의한 것으로써 주파수 응답을 클럭 주파수에 의해 정확하게 조절할 수 있는 반면에 신호를 표본화하여 처리하기 때문에 입력 신호에 의한 혼성왜곡(aliasing distortion)을 방지하기 위하여 anti-aliasing 필터, 출력 신호를 평활화하기 위한 평활필터(smoothing filter)가 필요하다는 단점을 갖는다.^[6,7] 위와 같은 이유로 최근에는 부가 회로가 필요하지 않고 능동 RC 회로를 기본으로 사용하는 연속시간 필터의 설계법이 각광받고 있다.

기존의 능동 RC 회로는 증폭기 소자로 op-amp를 주로 사용하였으나 차동 적분기와 같은 응용회로 설계시 외부 소자사이의 정합(matching)이 문제점으로 제기되고 있다.^[8]

그러므로 본 논문에서는 op-amp를 사용하는 능동 필터의 문제점을 해결하기 위하여 op-amp와 유사한 특성을 갖지만 두개의 차동(differential) 입력전압을 비교하는 새로운 형태의 증폭기 소자인 DDA(Differential Difference Amplifier)를 이용하여 감도 특성이 우수한 수동 회로로부터 개구리 도약형 모의법

(leap-frog simulation)을 통해 연속시간 저역통과 필터를 설계하여 그 특성을 조사한다.

II. 개선된 Chebyshev 필터 함수와 설계 예

1. 개선된 Chebyshev 필터 함수

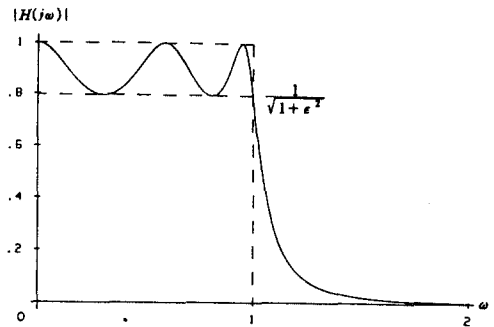
Chebyshev 함수는 식(1)과 같은 전극점 함수로 동일한 설계명세조건에서 Butterworth 함수에 비하여 낮은 차수로 실현되지만, 그림 1과 같이 통과대역에서의 등파상 특성 때문에 최대평탄 특성을 갖는 Butterworth, inverse Chebyshev 함수와 비교하면 위상 특성 및 지연 특성 등이 바람직하지 못하다.

$$|H(j\omega)| = \frac{K}{\sqrt{1 + \varepsilon^2 C_n^2(\omega)}} \quad (1)$$

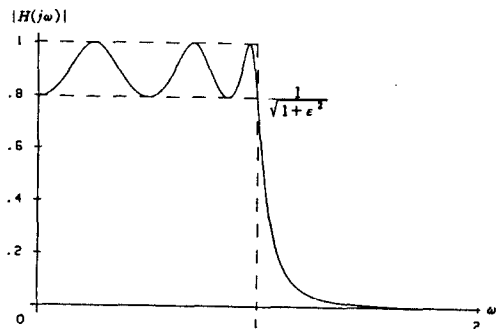
이때, $C_n(\omega)$: n 차 Chebyshev 다항식

ε : 소파상 인자(ripple factor)

K : 크기를 규준화하기 위한 정수 값이다.



(a) 5th order



(b) 6th order

그림 1. Chebyshev 함수 크기 특성
Fig. 1. Magnitude characteristics of the Chebyshev function.

그림 1은 크기를 1로 규준화한 $n=5, 6$ 차 Chebyshev 저역통과 필터의 크기 특성으로 통과대역 $\omega=0$ 에서 기수 차수는 전달함수 크기가 $|H(j0)|=1$ 이지만, 우수 차수는 $|H(j0)| = 1/\sqrt{1+\epsilon^2}$ 이 된다. 따라서 우수 차수인 경우 그림 2와 같은 수동 복종단 회로로 합성할 때 최대 전력전송이 가능한 $R_1=R_2$ 인 경우에는 실현할 수 없고, 식(2)와 같은 R_1/R_2 비 범위내에서만 실현이 가능하다.^[3]

$$\frac{R_1}{R_2} \leq 1 + 2\epsilon^2 - 2\epsilon\sqrt{1+\epsilon^2} \quad (2)$$

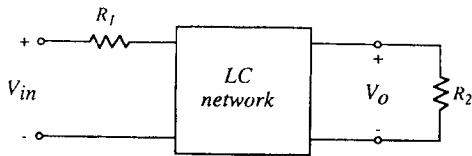


그림 2. 수동 복종단 회로
Fig. 2. Passive doubly-terminated circuit.

기존의 우수 차수 Chebyshev 함수가 수동 복종단 회로에서 최대 전력전송이 실현되기 위해서는 그림 1(a)와 같이 함수 크기가 $\omega=0$ 에서 $|H(j0)|=1$ 이 되는 기수 함수 형태를 가져야 한다. 우수 차수가 기수 차수와 같은 통과대역 특성이 되려면 조건 (1)을 만족하고, 저지대역에서의 특성을 유지하기 위해서는 조건 (2)를 만족하여야 한다.

- 조건 (1). $|H(j0)| = 1$ 과 $|H(j1)| = 1/\sqrt{1+\epsilon^2}$
- 조건 (2). $|H(j\infty)| = 0 : n =$ 우수, 기수

위의 두 조건을 만족하기 위하여 식(1)의 $C_n(\omega)$ 항을 식(3)과 같이 변환한다.

$$C_n(\omega) \rightarrow \omega C_{n-1}(\omega) \quad (3)$$

식(3)을 식(1)에 대입하여 크기를 1로 규준화한 개선된 Chebyshev 함수 $H_c(j\omega)$ 는 다음과 같다.

$$|H_c(j\omega)| = \frac{1}{\sqrt{1 + \epsilon^2 \omega^2 C_{n-1}^2(\omega)}} \quad (4)$$

개선된 함수는 분모에 ω^2 항이 존재하여 기존의 Chebyshev 함수와 달리 $\omega=0$ 에서 크기가 $|H_c(j0)| = 1$ 이 되고, 통과대역내에서는 점근선 $|h_c(j\omega)| = 1/\sqrt{1+\epsilon^2 \omega^2}$ 을 따라 점진적으로 감소한다. 따라서 개선된 Chebyshev 함수는 기존의 Chebyshev 함수가

우수 차수에서 수동 복종단 회로 실현시 출력 저항이 식(2)로 제한을 받는데 비하여 우수 차수를 포함한 모든 차수에서 입, 출력 저항이 $R_1=R_2$ 가 되어 최대 전력전송이 가능하다.

그림 3은 통과대역 감쇠 α_p 가 2 [dB]일 때 기존의 Chebyshev 저역통과 필터 $n=5, 6$ 차와 개선된 Chebyshev 필터의 $n=6$ 차 크기 특성을 비교한 것으로 천이영역에서의 경사도는 n 차의 개선된 함수가 기존의 함수 $n-1$ 차보다 식(5)의 오차인 $\epsilon^2/(1+\epsilon^2)^{3/2}$ 만큼 경사가 급격하다. 식(5a)는 n 차의 개선된 Chebyshev 함수이고, 식(5b)는 기존의 $n-1$ 차 함수이다.

$$\frac{d}{d\omega} |H_c(j\omega)| \Big|_{\omega=1} = -\frac{\epsilon^2}{(1+\epsilon^2)^{3/2}} [(n-1)^2+1] \quad (5a)$$

$$\frac{d}{d\omega} |H(j\omega)| \Big|_{\omega=1} = -\frac{\epsilon^2}{(1+\epsilon^2)^{3/2}} (n-1)^2 \quad (5b)$$

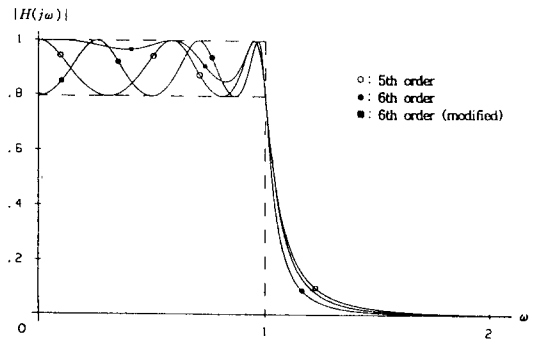


그림 3. 크기 특성 비교
Fig. 3. Comparison of magnitude characteristic.

식(6a)는 통과대역 감쇠 α_p 와 저지대역이 시작되는 주파수 ω_s 에서의 저지대역 감쇠 α_s 가 설계명세조건에 의해 제시될 때 기존의 Chebyshev 함수의 차수를 계산하는 식이고,^[9] 개선된 Chebyshev 함수의 차수를 구하는 관계식은 $\alpha_p=10 \cdot \log(1+\epsilon^2)$ 과 $\alpha_s=10 \cdot \log[1+(\epsilon \omega_s C_{n-1}(\omega_s))^2]$ 을 이용하면 식(6b)와 같다.

$$n = \frac{\cosh^{-1} \sqrt{(10^{0.1\alpha_p} - 1)(10^{0.1\alpha_s} - 1)^{-1}}}{\cosh^{-1} \omega_s} \quad (6a)$$

$$n = \frac{\cosh^{-1} \sqrt{(10^{0.1\alpha_p} - 1)(10^{0.1\alpha_s} - 1)^{-1} \omega_s^{-2}}}{\cosh^{-1} \omega_s} + 1 \quad (6b)$$

2. 설계 예

표 1의 설계명세조건을 만족하는 기존의 Cheby-

shev 함수와 개선된 함수를 구하기 위하여 식(6)으로부터 차수를 계산하면 각각 $n=5.2$ 차, $n=5.9$ 차이지만 실제 설계시 차수는 정수이므로 두 함수 모두 $n=6$ 차이다.

표 1. 설계명세조건
Table 1. Design specification.

통과대역 감쇠 α_p	2 [dB]
저지대역 감쇠 α_s	12 [dB] 이상
저지 주파수 ω_s	1.1 [rad/sec]

그리고 각각의 함수를 식(1)과 (4)로부터 구하면 다음과 같다.

$$|H(j\omega)| = \frac{1}{\sqrt{1 + \epsilon^2 C_6^2(\omega)}} \quad (7a)$$

$$|H_c(j\omega)| = \frac{1}{\sqrt{1 + \epsilon^2 \omega^2 C_6^2(\omega)}} \quad (7b)$$

식(7)에서 $\epsilon^2 = 10^{0.1/10} - 1 = 10^{0.1} - 1 = 0.258925$ 이다.

식(7a)의 크기 특성은 그림 1(b), 개선된 함수의 크기 특성은 그림 4와 같고, 두 함수의 극점, 극점-Q 값을 표 2에 제시하였다.

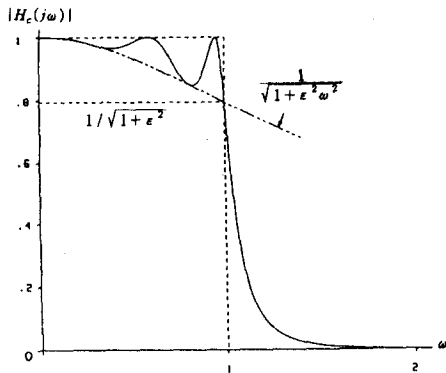


그림 4. 개선된 함수의 크기 특성, $n=6$
Fig. 4. Magnitude characteristic of the modified function, $n=6$.

또한 이상적인 저역통과 필터는 차단주파수가 $\omega_c=1$ 로 표준화된 경우 면적이 1이지만 Chebyshev 필터는 그림 4와 같이 등파상을 갖기 때문에 통과대역내에서 오차가 발생한다. 그림 4의 통과대역 오차 면적(Error Area : EA)은 식(8)로 계산할 수 있다. 통과대역에

서 최대평탄 특성을 갖는 Butterworth 필터는 표준화된 경우 면적이 1에 가까워 통과대역 특성이 우수하지만 Chebyshev 필터는 등파상 특성때문에 오차가 커서 통과대역의 위상, 지연 특성이 바람직하지 못하다.

표 2. 극점, 극점-Q 비교
Table 2. Comparison of poles and pole-Q.

개선된 Chebyshev 함수 $H_c(s)$		Chebyshev 함수 $H(s)$	
p_1, \bar{p}_1	Q	p_1, \bar{p}_1	Q
$-0.175306 \pm j 0.263047$	0.90	$-0.362987 \pm j 0.214626$	0.58
$-0.128333 \pm j 0.718658$	2.84	$-0.217013 \pm j 0.657040$	1.59
$-0.046973 \pm j 0.981705$	10.46	$-0.066170 \pm j 0.977480$	7.40

$$EA = \int_0^1 [1 - |H(j\omega)|] d\omega : \text{Chebyshev 필터의 오차 면적} \quad (8a)$$

$$EA_c = \int_0^1 [1 - |H_c(j\omega)|] d\omega : \text{개선된 Chebyshev 필터의 오차 면적} \quad (8b)$$

두 함수의 오차 면적을 비교하는 오차 면적비(Error Area Ratio : EAR)는 식(9)와 같다.

$$EAR = \frac{EA_c}{EA} = \int_0^1 \frac{1 - |H_c(j\omega)|}{1 - |H(j\omega)|} d\omega \quad (9)$$

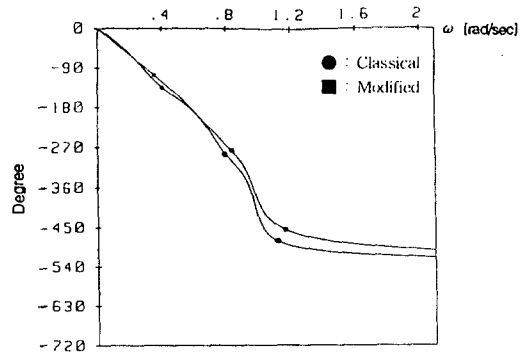


그림 5. 위상 특성 비교, $n=6$
Fig. 5. Phase characteristic comparison, $n=6$.

식(8)에 의하여 설계 예에서의 두 필터 함수의 오차 면적은 $EA=0.110996$, $EA_c=0.040159$ 이고, 오차 면적비는 0.36181로 개선된 필터의 오차 면적이 약 64% 감소되었다.

3. 개선된 Chebyshev 함수의 특성 및 고차 필터의 크기, 위상 및 감도 특성 등에 직접적인 영향

을 미치는 극점-Q 값이^[10] 표 2에서와 같이 개선된 Chebyshev 함수가 10.46에서 7.4로 최대 36%까지 감소하였고, 통과대역 오차 면적도 64%로 감소하였다. 이러한 영향으로 위상 특성이 그림 5와 같이 기존의 함수보다 통과대역내에서 선형성이 개선되어 Butterworth 필터의 위상 특성에 접근하였다.

또한 위상과 밀접한 관계를 갖는 지연 특성 곡선은 개선된 Chebyshev 함수가 그림 6과 같이 평탄하고 굴곡이 감소한다.

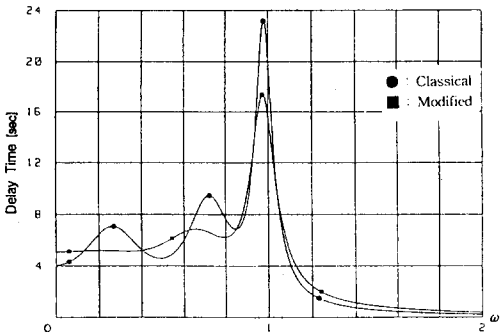


그림 6. 지연 특성 비교, n=6
Fig. 6. Delay characteristic comparison, n=6.

그림 7은 시간 영역에서의 단위계단응답 특성을 비교한 것으로 개선된 함수의 극점-Q 값이 작아져 오버슈트(overshoot)가 작고 정착 시간(settling time)이 38.24초에서 28.43초로 26% 빨라졌다.

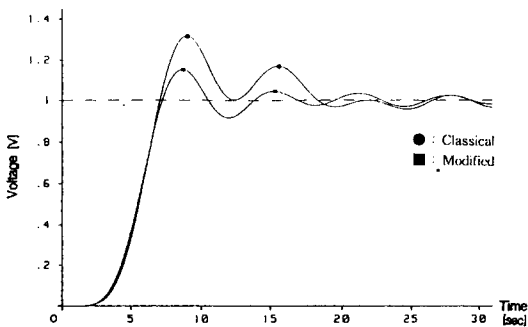


그림 7. 단위계단응답 비교, n=6
Fig. 7. Unit step response comparison, n=6.

이상과 같이 개선된 Chebyshev 필터 함수 특성은 통과대역 파상이 점진적으로 감소하여 통과대역내의 필터 특성이 향상되었다.

4. 개선된 함수의 수동 복중단 제자형 회로 실현
2.2절의 설계예에서 구한 개선된 Chebyshev 전달 함수는 식(10)과 같다.

$$|H(s)| = \frac{K}{s^6 + as^5 + bs^4 + cs^3 + ds^2 + es + f} \quad (10)$$

$$a = 1.292338, \quad b = 2.085067, \quad c = 1.666787$$

$$d = 1.074047, \quad e = 0.418984, \quad f = 0.0917230$$

식(11)은 식(10)을 수동 복중단 회로로 실현하기 위한 구동점 함수 $Z_{11}(s)$ 이다.

$$Z_{11}(s) = \frac{b_1s^6 + b_2s^5 + b_3s^4 + b_4s^3 + b_5s^2 + b_6s + b_7}{a_1s^5 + a_2s^4 + a_3s^3 + a_4s^2 + a_5s + a_6} \quad (11)$$

$$b_1 = 1.563028 \quad b_2 = 1 \quad b_3 = 2.590068 \quad b_4 = 1.291619$$

$$b_5 = 1.078320 \quad b_6 = 0.326513 \quad b_7 = 0.063867$$

$$a_1 = 1 \quad a_2 = 0.643293 \quad a_3 = 1.291619$$

$$a_4 = 0.590951 \quad a_5 = 0.326513 \quad a_6 = 0.063867$$

이때 전달 함수 식(10)은 전송 영점이 모두 $s=\infty$ 에 존재하므로, $s=\infty$ 에 있는 극점을 제거하는 연분수 전개를 하여 실현한 수동 복중단 제자형 회로는 그림 8과 같으며, 표 3은 표준화된 소자값이다.

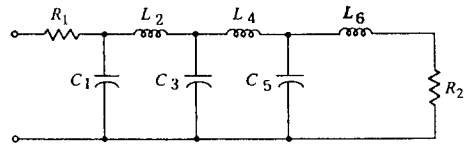


그림 8. 개선된 Chebyshev 필터 수동 회로, n=6
Fig. 8. Passive circuit of the modified Chebyshev filter, n=6.

표 3. 표준화된 소자값
Table 3. Normalized element value.

소 자 값 : Unit (Ω, H, F)			
C_1	1.563025	L_2	1.750598
C_3	1.921031	L_4	1.912337
C_5	1.679735	L_6	1.449427
R_1, R_2	1		

III. DDA를 이용한 연속시간 필터 설계

1. DDA 회로 설계

2장에서 설계된 수동 필터를 집적화하기 위해서는

인덕터가 제거된 능동 RC 필터로 변환하여야 한다. 기존의 능동 RC 필터는 증폭기 소자로 op-amp를 주로 사용하였으나 차동 적분기와 같은 응용회로 설계시 외부 소자와의 정합을 필요로 한다.

그러므로 본 논문에서는 이러한 문제점을 해결하기 위하여 Säcker와 Guggenbühl에 의해 제시된 DDA를 이용하여 능동 필터를 설계하였다. DDA는 op-amp와 유사한 특성을 갖지만, 두개의 single-ended 입력전압 대신에 두개의 차동 입력전압을 비교한다는 점이 다르다. 특히, DDA를 이용하여 op-amp의 응용회로(level shifter, voltage inverter, difference amplifier 등)를 구성할 경우, MOS 트랜지스터의 비이상성을 제거할 필요가 없는 간단한 구조로 되며, 더 적은수의 소자를 필요로 하여 경제적이고, 외부 소자의 정합이 필요 없다는 장점을 가지고 있다.

또한 부채환(negative feedback)을 갖는 이상적인 op-amp와 마찬가지로 이상적인 DDA에서도 부채환을 갖을 때 식(12)와 같으며, 그의 출력전압 V_o 은 식(13)으로 나타낼 수 있다.

$$V_{PP} - V_{FN} = V_{NP} - V_{NN} \quad (12)$$

$$V_o = A [f_p(\Delta V_p) - f_n(\Delta V_n)] , A \rightarrow \infty \quad (13)$$

$$\Delta V_p = V_{PP} - V_{FN} , \Delta V_n = V_{NP} - V_{NN}$$

DDA를 실현하는 가장 일반적인 구조는 식(13)의 함수 f_p 와 f_n 를 전달 컨덕턴스 소자를 이용하여 그림 9에 보인 블럭 다이어그램과 같이 구성할 수 있다. 이 실현 방법에서 함수 $f_p(\Delta V)$ 와 $f_n(\Delta V)$ 은 어떠한 ΔV 에 대해서도 항상 같아야 하며, A 부분은 고이득단이다.

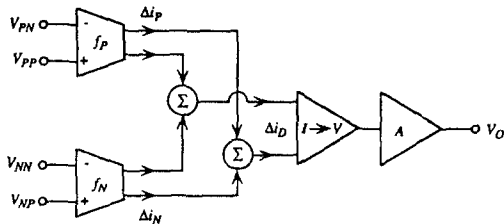


그림 9. DDA 블럭다이어그램
Fig. 9. DDA block diagram.

본 논문에서는 그림 10과 같이 입력 선형범위를 증가시키기 위하여 2개의 선형 전달컨덕터(M1, M4, M10, M13)를 설계하여 입력단으로 사용하였고, 전달

컨덕터의 출력 전류에 포함된 윗셋 성분을 제거하기 위한 회로(M2, M3, M11, M12)를 추가하였다. 위 두회로를 크로스 커플드로 연결하면 출력 전류가 V_b 와 V_{in} 만으로 제어될 수 있게 하였으며, 선형 전달컨덕터에 삽입된 플로팅 전압원은 2개의 레벨 쉬프터(M5~M8)를 이용하여 설계하였다.

그리고 설계된 CMOS DDA의 트랜지스터 크기를 표 4에 제시하였다.

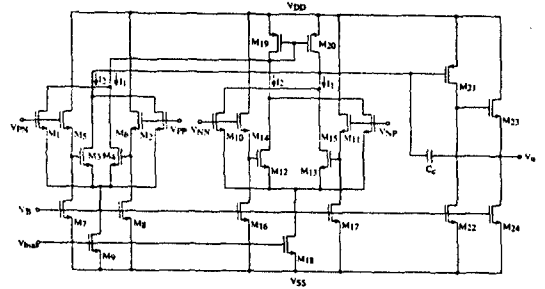


그림 10. 설계된 CMOS DDA 회로
Fig. 10. Designed CMOS DDA circuit.

표 4. 설계된 DDA의 트랜지스터 크기
Table 4. Transistor size of the designed DDA.

트랜지스터	종류	W/L (μm)
M1 ~ M4	NMOS	20 / 30
M5 ~ M8	NMOS	20 / 5
M9	NMOS	90 / 3
M10~M13	NMOS	20 / 30
M14~M17	NMOS	20 / 5
M18	NMOS	90 / 3
M19~M20	PMOS	500 / 20
M21	PMOS	50 / 10
M22	NMOS	444 / 30
M23	NMOS	300 / 3
M24	NMOS	257 / 3

2. CMOS DDA의 시뮬레이션

그림 10과 같이 설계된 CMOS DDA 회로와 표 4의 트랜지스터로부터 아날로그 시뮬레이션 프로그램인 HSPICE로 동작특성을 조사하였다. 이때 시뮬레이션에 사용된 파라미터는 MOSIS의 $2\mu\text{m}$ CMOS 파라미터이다. 음성 신호처리용 회로에 적용되는 op-amp

와 같은 일반적인 특성을 얻기 위하여 바이어스 전압 $V_b = -3.8 [V]$ 로 선택하였고, $V_{DD} = -V_{SS} = 5 [V]$, 보상 커패시턴스 $C_C = 3 [pF]$ 로 설계하였다. 또한 부하 커패시턴스 $C_L = 10 [pF]$ 로 설정하였다. 그리고 DDA의 특성 시뮬레이션 결과를 표 5에 제시하였다.

표 5. CMOS DDA의 동작특성
Table 5. Performance characteristics of the CMOS DDA.

Parameter ($V_{DD} = -V_{SS} = 5V, C_L = 10pF$)	Simulation results
Open loop gain	60.7 dB
Unit-gain frequency	1.45 MHz
Phase margin	84.7 Deg.
1% Settling time	0.45 μs
Slew-rate	
positive	54.9 V/ μs
negative	26.0 V/ μs
Input common mode range	
P/N mode	-4.0V ~ +3.6V
D mode	-4.4V ~ +3.6V
Common mode rejection ratio	56.6 dB
Output swing	-5.0V ~ +3.65V
Offset voltage	-0.86 mV
Output resistance	540 Ω
Power dissipation	8.9 mW

3. 개선된 Chebyshev 함수를 이용한 DDA 연속시간 필터

2장에서 제시한 개선된 Chebyshev 함수로부터 수동 복중단 제자형 회로망으로 합성한 후 직접 모의법인 개구리 도약법을 적용하여 능동 필터로 설계하였다. 이 모의법은 일반적인 능동 필터가 감도가 높는데 비하여 수동 필터의 장점인 낮은 감도 특성을 그대로 유지할 수 있다.

능동 RC 회로로 변환하기 위하여 2장의 설계예에서 합성한 그림 8의 개선된 Chebyshev 저역통과 수동 제자형 회로를 직렬 지로 전류와 병렬 지로 전압에 관한 방정식을 기술하고, 개구리 도약형 모의법을 적용하면¹⁹⁾ 각 지로에 대한 어드미턴스와 임피던스 관계식은 다음 식(14)와 같다.

$$\begin{aligned}
 Y_1(s) &= \frac{1}{R_1}, Z_2(s) = \frac{1}{sC_1}, Y_3(s) = \frac{1}{sL_2}, Z_4(s) = \frac{1}{sC_3} \\
 Y_5(s) &= \frac{1}{sL_4}, Z_6(s) = \frac{1}{sC_5}, Y_7(s) = \frac{1}{sL_6}, Z_8(s) = R_2
 \end{aligned}
 \tag{14}$$

식(14)의 $Z_2 \sim Z_6$ 및 $Y_3 \sim Y_7$ 은 차동적분기로 실현할 수 있고, Y_1 과 Z_8 은 차동증폭기를 이용하여 실

현할 수 있다.

Y_1 과 Z_8 은 수동 복중단 제자형 회로의 양단 저항 R_1, R_2 와 관계있는 값으로써 규준화된 수동 회로망에서 $R_1 = R_2 = 1 [\Omega]$ 이다. 그러므로 $Y_1 = Z_8 = 1$ 이 되어 감산증폭기와 단일력전압 인버터로 실현할 수 있다. 이와같은 과정으로 설계된 DDA 저역통과 필터 회로를 그림 11에 제시하였다. 그림 11에서 모든 저항은 DDA로 모의된 접지저항으로 대체할 수 있다.

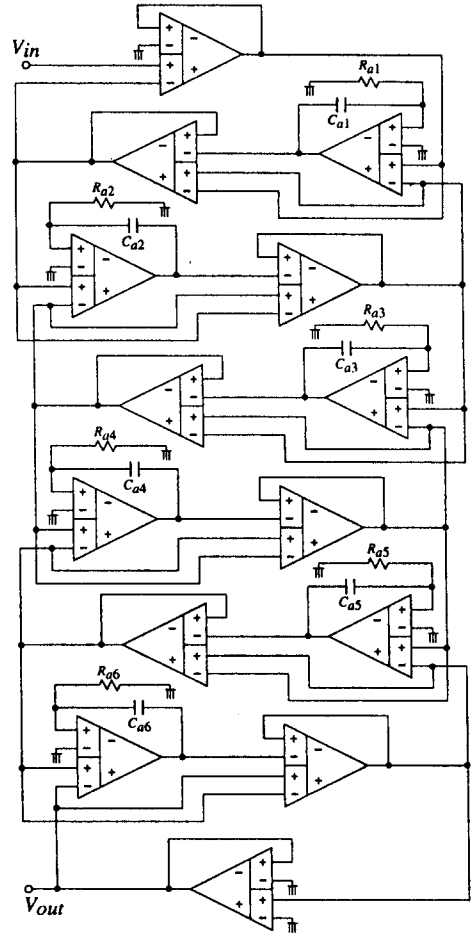


그림 11. DDA 저역통과 필터, n=6
Fig. 11. DDA low-pass filter, n=6.

IV. DDA 연속시간 필터 시뮬레이션 및 고찰

표 3의 규준화된 소자값을 음성 신호처리 대역 주파수 3,400Hz로 주파수 스케일링하고 또한 집적화시 칩의 면적을 고려하여 임피던스 스케일링한 수동 저역통과 필터와 DDA 저역통과 필터의 각 소자값은 표 6에 제시하였다.

표 6. 수동 및 DDA 저역통과 필터의 소자 값, $n=6$

Table 6. Element values of the passive and the DDA low-pass filter, $n=6$.

Passive filter (Unit : K Ω , mH, nF)		DDA filter (Unit : M Ω , pF)	
C_1	7.32	C_{a1}	36.58
C_3	8.99	C_{a2}	40.97
C_5	7.86	C_{a3}	44.96
L_2	8.19	C_{a4}	44.76
L_4	8.95	C_{a5}	39.31
L_6	6.78	C_{a6}	33.92
R_1, R_2	10	$R_{a1}, R_{a2},$ $R_{a3}, R_{a4},$ R_{a5}, R_{a6}	2

그림 12는 필터의 입력 전압을 1 [V]로 하여 그림 11의 연속시간 DDA 저역통과 필터와 그림 8의 수동 필터를 HSPICE로 비교 시뮬레이션한 크기 특성이다.

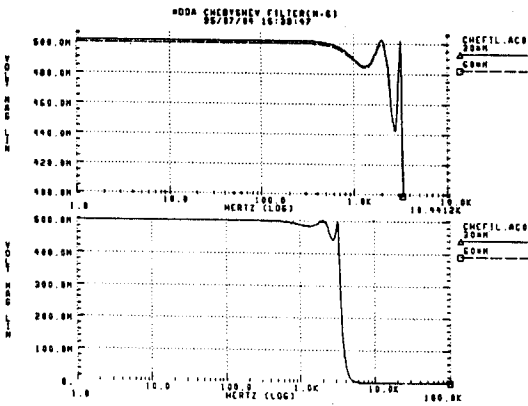


그림 12. DDA 저역통과 필터의 SPICE 시뮬레이션, $n=6$

Fig. 12. SPICE simulation of the DDA low-pass filter, $n=6$.

(— : DDA filter, - - - : passive filter)

이때 $\omega=0$ 에서의 크기는 수동 복중단 회로의 특성 때문에 입력단 전압의 1/2로 감소된다. 크기 특성이 수동 필터는 함수 시뮬레이션과 일치하고 DDA 필터는 2 [mV]의 오차를 보이지만 설계명세조건을 만족함을 알 수 있다.

V. 결론

본 논문에서 제시된 Chebyshev 필터 함수는 기존의 함수가 갖는 등파상 특성 대신 점진적으로 감소하는 파상 특성을 갖기 때문에 우수 차수를 포함하는 모두 차수에 대해서 $\omega=0$ 에서 통과대역의 최대값이 되어 수동 복중단 제자형 회로 합성시 $R_1=R_2$ 이므로 최대전력전송이 가능하게 된다. 또한 통과대역에서의 손실도 64% 까지 감소하여 신호 복원시 오차를 줄일 수 있다.

그리고 필터 특성을 결정하는 중요한 요소인 극점-Q 값은 최대 36% 까지 감소하여 통과대역에서의 위상 특성이 개선되었고, 위상 특성과 밀접한 관계를 갖는 지연 특성은 개선된 함수가 기존 함수에 비하여 굴곡이 적어 평탄하므로 출력단의 신호 왜곡이 작아진다.

단위계단응답 특성도 정착시간이 개선된 Chebyshev 함수가 43%정도 빨라져 펄스 및 디지털 신호 전송에 사용하면 그 특성을 개선할 수 있다.

개선된 함수는 수동 복중단 제자형 회로의 특징인 저감도 특성이 유지되는 개구리 도약법으로 모의한 후 외부 회로와의 정합이 필요없는 DDA를 이용하여 연속시간 능동 회로로 설계하였다.

시뮬레이션 결과 개선된 함수의 수동 회로와 DDA 연속시간 필터 특성이 일치함을 확인하였다.

그러므로 본 논문에서 제시한 개선된 필터 함수와 DDA를 이용하여 연속시간 필터를 설계하면 위상, 지연, 단위계단응답 특성 등을 개선할 수 있어 휴대용 전화기와 같은 통신 장비 및 음성, 화상 처리와 같은 각종 신호처리에 응용할 수 있다.

참고 문헌

- [1] L. P. Huelsman and P. E. Allen, *Introduction to the Theory and Design of Active Filters*, McGraw-Hill : New York, 1980.
- [2] Richard W. Daniels, *Approximation Methods for Electronic Filter Design*, McGraw-Hill Book Co, New York, 1974.
- [3] A.S. Sedra and P.O. Brackett, *Filter Theory and design : Active and Passive*, Matrix Publishers, Inc., Forest

- Grove, Ore., 1978.
- [4] H. J. Orchard, "Loss sensitivity in singly and doubly terminated filters," *IEEE Trans. Circuits and Systems*, vol. CAS-26, pp. 293-297, May 1979.
- [5] R. Schaumann, M. S. Ghauri and K. R. Laker, *Design of Analog Filters*, pp. 350-399, Prentice-Hall, Englewood Cliffs, NJ, 1990.
- [6] M. Banu and Y. Tsvividis, "Fully integrated active RC filters in MOS technology," *IEEE Journal of Solid-State Circuits*, vol. SC-18, no. 6, pp. 644-651, Dec., 1983.
- [7] Y. Tsvividis, "Integrated continuous-time filter design-An overview," *IEEE Journal of Solid-State Circuits*, vol. SC-29, no. 3, pp. 166-176, March, 1994.
- [8] E. Säcker and W. Guggenbühl, "A versatile building block : the CMOS difference difference amplifier," *IEEE Journal of Solid-State Circuits*, vol. SC-22, no. 4, pp. 287-294, April, 1987.
- [9] H. K. Kim, *Network Analysis and Synthesis : Electrical and Electronic Filter Design*, KAEE : Seoul, 1990.
- [10] H. K. Kim, "The effects of lower Q values on the filters having equal ripples in passband," *IEEE Trans. Circuits and Systems*, vol. CAS-39, pp. 305-309, Apr. 1992.

 저 자 소 개

崔碩佑(正會員) 第31卷 B編 第12號 參照
 현재 전북대학교 부속 전기전자합
 성연구소 객원연구원

尹暢焄(正會員) 第31卷 B編 第12號 參照
 현재 전북대학교 부속 전기전자회로
 합성연구소 객원연구원

金東龍(正會員) 第31卷 B編 第12號 參照
 현재 전북대학교 부속 전기전자회
 로합성연구소 소장, 공과대학 전
 기공학과 교수