

論文95-32B-11-8

CMOS 회로의 전류 테스트를 위한 내장형 전류감지기 설계

(Design of a Built-in Current Sensor for Current Testing Method in CMOS VLSI)

金强哲*, 韓哲鹏**

(Kang Chul Kim and Seok Bung Han)

요 약

게이트 옥사이드 단락, 브리징, stuck-at 고장 등이 CMOS VLSI에서 고장의 주요 원인으로 알려져 있다. 그러나 기존의 전압 테스트 방법으로 이러한 고장들을 검출하는 것은 일부분에 지나지 않는다. 본 논문에서는 CMOS 회로 내에서 IDDQ 값을 검사하여 고장의 유무를 검사하는 전류 테스트 기법에 사용될 수 있는 새로운 내장형 전류감지기(built-in current sensor)를 제안하였다. 본 논문에서 제안된 내장형 전류감지기는 단상 클럭의 사용으로 적은 면적이 소요되고, 자동으로 고장을 검출할 수 있는 기능을 가지고 있으며, 테스트 대상회로(CUT)에 사용되는 클럭의 주기 끝에서 IDDQ값을 검사하여 기존에 설계된 내장형 전류감지기 보다 긴 임계전파지연 시간과 큰 면적을 가지고 있는 테스트 대상회로를 테스트할 수 있다. 본 논문에서 제안된 내장형 전류감지기는 18 개의 소자로 구성되며, SPICE 시뮬레이터를 사용하여 100MHz에서 고장전류를 검출할 수 있다는 것을 확인하였다.

Abstract

Current test has recently been known to be a promising testing method in CMOS VLSI because conventional voltage test can not make sure of the complete detection of bridging, gate-oxide shorts, stuck-open faults and etc. This paper presents a new BIC(built-in current sensor) for the internal current test in CMOS logic circuit. A single phase clock is used in the BIC to reduce the control circuitry of it and to perform a self-testing for a faulty current. The BIC is designed to detect the faulty current at the end of the clock period, so that it can test the CUT(circuit under test) with much longer critical propagation delay time and larger area than conventional BICs. The circuit is composed of 18 devices and verified by using the SPICE simulator.

I. 서 론

트랜지스터가 개발된 이후 반도체 공정기술과 설계 기술의 발전으로 단일 칩 상에 수백만 개의 트랜지스터가 집적된 칩들이 현재 상용화되고 있다. 대부분의

VLSI 칩에는 작동시에 전력소모가 거의 없는 CMOS 회로가 사용되며, 다층 금속도선(multi-metal layer)과 서브마이크론 설계규칙(submicron design rule)이 적용되어 집적도가 크게 증가하고 있으나, 설계와 제조과정에서 많은 물리적인 결함(physical defect)들이 발생하고 있다. 이러한 결함들은 stuck-at 고장과 같은 고전적인 고장 이외에도 설계규칙(design rule)의 감소 등으로 주변에 있는 노드(node) 사이의 단락(short)에 의한 브리징 고장(bridging fault)^[1], 그리고 게이트 옥사이드(gate oxide) 두께의 감소로 인한 게이트와 소오스(source), 게이트와 드레인(dr-

* 正會員, 晉州産業大學校 電子計算學科

(Chinju National University)

** 正會員, 慶尙大學校 電子工學科

(Gyeongsang National University)

接受日字: 1994年11月30日, 수정완료일: 1995年11月2日

ain), 게이트와 채널(channel) 사이의 단락에 의한 게이트 옥사이드 단락 고장^{12) 13)} 등을 나타낸다.

CMOS 소자는 그 구조적 특성으로 인하여 결합이 없으면 정지상태(steady state)에서 P-N 접합 누설 전류(P-N junction leakage current) 이외에는 전류가 흐르지 않는다. 그러나 입력전압이 논리임계전압(logic threshold voltage) 근처에서 변화하는 과도 상태(transient state)에서는 과도전류(transient current)가 흐르며¹⁴⁾, 게이트 수가 증가할수록 전원에서 공급되는 과도전류는 증가하게 된다.

한편, CMOS 회로 내에 브리징 또는 게이트 옥사이드 단락 고장 등이 발생하면 정지상태에서 VDD와 GND 사이에 전류통로(current path)가 형성되어 P-N 접합 누설전류보다 큰 고장전류(faulty current)가 흐르게 된다. 이러한 고장들은 대부분 논리 고장은 발생하지 않으면서 신호지연(signal delay)이 발생하고, 시간이 경과함에 따라 그 상태가 더욱 악화되어 현장에서 사용하는 도중에 시스템 내에서 고장을 일으키므로 시스템 신뢰도(system reliability)를 현저하게 감소시킨다¹⁵⁾. 특히 이러한 고장들은 기존의 칩 테스트 방식인 논리 테스트, 즉 전압 테스트로는 검출되지 않는다. 이의 해결책으로서 최근에 활발한 연구가 진행되고 있는 전류 테스트 방법은 CMOS 회로 내의 고장 유무에 따라 크게 변화하는 정지상태의 전류값(IDDQ : quiescent current)을 비교하여 회로 내에 존재하는 다양한 형태의 고장을 용이하게 검출할 수 있는 방식이다^{16) 17)}. 전류 테스트는 전압 테스트보다 적은 수의 테스트 패턴을 사용하여 브리징과 같은 물리적인 결합 뿐만 아니라 게이트 누설전류와 같이 신뢰도에 관계되는 고장도 검출할 수 있다. 전류 테스트의 장점 중의 하나는 고장의 영향을 출력단까지 전달할 필요가 없다는 것이다. 즉 고장이 감지되면 칩의 전원(VDD)에서 공급되는 IDDQ 값만을 측정하여 즉시 고장을 관찰할 수 있다.

전류 테스트 방법에는 전류를 칩의 외부에서 측정하는 방법¹⁹⁾과 칩의 내부에서 측정하는 방법이 있다^{10) 11) 12) 13) 14)}. 칩의 외부에서 전류를 테스트하는 방법은 외부의 테스트 장비가 테스트 대상회로(circuit under test : CUT)에 비하여 상당히 큰 충전부하(capacitive load)를 가지고 있고, 출력단자가 외부부하를 구동하기 위하여 큰 전류를 공급하여야 하므로 고장전류와 구동전류를 구별하기가 쉽지 않다. 그리고

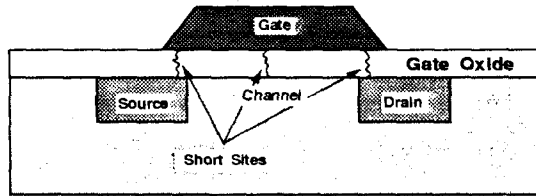
외부 테스트 장비에 있는 임피던스가 지연을 유발하여 한 클럭(clock) 주기 내에 고장유무를 판별하는 데 어려움이 있다. 또 기존의 테스트 장비들이 주로 전압을 측정하도록 되어 있기 때문에 별도의 테스트 장비를 사용해야 한다는 문제점을 가지고 있다. 이러한 문제를 해결하기 위한 방법으로 부가회로를 사용하여 IC 내에 전류감지기(current sensor)를 내재한 전류 테스트 기법이 제안되었다. 이 방식은 측정이 어려운 전류값의 변화를 대응하는 전압값(논리값)의 변화로 관찰할 수 있도록 한 것으로 기존의 테스트 장비를 이용할 수 있는 장점이 있다. 그리고 테스트할 회로 내의 전류만을 기준전류와 비교함으로써 고장전류의 판별이 쉽고, 외부의 부하가 존재하지 않으므로 지연이 적어져서 한 주기 내에 결합의 판별이 가능하고, 고속으로 테스트할 수 있다. 그러나 검출회로의 삽입으로 칩의 면적이 증가되고, 큰 과도전류를 통과시키기 어려워 테스트 대상 회로를 분할해야 한다는 단점을 가지고 있다.

본 논문에서는 고전적인 고장모델로 검출되지 않는 CMOS 회로의 게이트 옥사이드 단락, 브리징 고장 등을 전류 테스트로 검출하기 위한 새로운 내장형 전류 감지기(built-in current sensor)를 제안한다. 제안된 내장형 전류감지기는 클럭의 주기 끝에서 고장전류를 검사하여 테스트 대상회로의 전파지연 시간이 한 주기와 거의 같아도 고장의 판별이 가능하다. 따라서 기존의 내장형 전류감지기에 비해 긴 임계지연시간(critical propagation delay)과 큰 면적을 가지고 있는 테스트 대상회로를 고속으로 테스트할 수 있다. 그리고 레벨변환기를 사용하여 낮은 전압을 CMOS 회로가 동작가능한 전압으로 변환시킴으로서 단상클럭만으로 내장형 전류감지기의 제어가 가능하여 면적을 최소화하였고, 테스트 대상회로와 비교기를 분리시켜 비교기에 사용된 클럭이 IDDQ에 영향을 미치지 않도록 하였다. 래치(latch)로 구성된 비교기는 기준전류와 고장전류를 3NS 이내에 비교할 수 있고, μA 의 전류판별이 가능하다. 또한 래치의 출력은 고장이 검출될 때만 LOW가 되어 자동고장검출 기능을 가지고 있다. 본 논문의 II 장에서는 본 논문과 관련된 이론적 배경과 기존에 설계된 내장형 전류감지기의 문제점을 제기하고, III 장에서 본 논문에서 제안한 내장형 전류감지기에 대하여 기술한다. IV 장에서는 SPICE 시뮬레이션(simulation) 결과를 설명하고, V 장에서 IV 장의 결과를 기존의 내장형 전류감지기와 비교 및 검토하며,

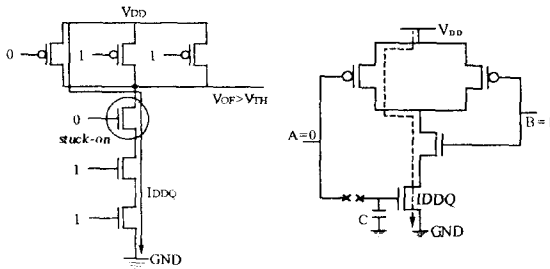
VI 장에서 결론을 기술한다.

II. 이론적 배경

VLSI 회로에서는 논리 회로의 동작에는 영향을 미치지 않지만 회로의 성능이나 신뢰도를 경감시키는 결함이 존재하는데, 물리적인 결함이나 공정변수의 변화 등이 이들 고장의 주요원인이며, 기판 누설전류, 게이트 옥사이드 누설전류, 임계전압의 변화, 과도지연 등의 현상이 나타난다. 기존의 stuck-at 고장모델은 테스트할려고 하는 노드가 0 또는 1로 고정되어야 고장의 검출이 가능하다. 그러나 트랜지스터 stuck-on, 브리징, 게이트 옥사이드 단락, 개방(open) 고장 등은 대부분의 경우에 그 노드가 논리 0 또는 1로 고정된 값을 가지지않고 중간 값을 가지게 되므로 stuck-at 고장모델로는 검출이 불가능하다.



(a)



(b)

(c)

그림 1. 고장 모델

(a) 게이트 옥사이드 단락 고장

(b) stuck-on 고장 (c) 개방 고장

Fig. 1. Fault model.

(a) gate oxide short(GOS) fault

(b) stuck-on fault (c) open fault

80년 대 후반부터 연구되기 시작한 게이트 옥사이드 단락고장은 그림 1(a)와 같이 게이트와 실리콘 표면에 전기적 연결이 발생한 것으로 게이트와 채널, 소오스, 드레인 또는 guard band 사이에 전류가 흐를 수 있

는 통로가 형성된 것이다. 이러한 고장은 공정과정이나 재료의 결함으로 발생하며, MOS 소자에 비하여 적은 크기로 불규칙적으로 산재하며, 다양한 전기적 성질을 가지고 있어 검사와 측정에 어려움이 있다. 드레인이나 소오스 지역에서 발생한 게이트 옥사이드 단락은 게이트 전류와 전압이 선형적으로 비례한다는 실험결과가 있으며^[3], 채널 내에서 발생한 게이트 옥사이드 단락은 게이트 전류와 게이트 전압이 비선형적이라는 실험 결과가 있다.

그림 1(b)는 드레인과 소오스 사이에 트랜지스터 stuck-on 고장이 발생한 것으로, N·P 채널 소자가 같은 conductance를 가지고 있다고 가정하면 출력전압 V_{OF} 는 임계전압 V_{TH} 보다 커서 고장이 없는 것으로 판별된다.

게이트 옥사이드 단락과 브리징 고장은 VDD와 GND 사이에 결함에 의한 전류 통로가 형성되어 그 신호의 전압이 약화되나, CMOS 게이트는 높은 전압 이득을 가지고 있어 몇 단을 지남에 따라 약화된 신호가 다시 VDD나 0V로 회복될 수 있다. 소저항성 단락(hard short)^[5]이 발생하면 단락이 발생한 노드의 신호는 주어진 테스트 패턴에 대하여 정상 값과 반대되는 값을 가지게 되므로 논리고장을 일으켜서 고장이 있는 것으로 판별된다. 그러나 대저항성 단락(soft short)이 발생하면 그 노드의 전압이 정상 전압보다 약하게 되지만 정상적인 신호로 간주되어 stuck-at 고장모델로는 이러한 고장을 검출할 수 없다. 그러나 브리징 고장과 게이트 옥사이드 단락 고장은 전류가 흐를 수 있는 통로를 형성하기 때문에 전류 테스트 기법에 의하여 고장검출이 가능하다.

개방 고장은 제조과정에서 오염에 의해 라인이 끊어지거나, 레이아웃(layout) 상에서 한 레이어(layer)가 빠져 있거나, 계단 산화막(step oxide)에서 조그만 크랙 등에 의해서 발생할 수 있다. 개방고장은 전류통로가 형성되지 않으므로 최근까지 전류 테스트로는 검출이 불가능한 것으로 알려졌다. 그러나 그림 1(c)와 같이 부동게이트(floating gate)를 가지고 있는 트랜지스터의 동작은 결합 커패시터(coupling capacitance)와 게이트 전하(gate charge)에 의해 모델링될 수 있고, 부동게이트에 유도된 전압이 임계전압 이하이면 stuck-open 고장모델로 검출이 가능하지만, 임계전압 이상이 되면 트랜지스터에 전류가 흐르게 되므로 개방고장 조차도 전류 테스트에 의한 방법으로

검출하려는 연구가 진행 중이다¹⁸¹.

위에서 설명한 고장들을 검출하기 위하여 전압 테스트의 대안으로 연구되고 있는 전류 테스트는 고장전류를 검사하는 회로를 칩 내부에 내장하는 방법이 칩의 외부에서 전류를 검사하는 방법 보다 성능이 좋은 것으로 알려져 있다¹⁷¹. 내장형(built-in) 전류 테스트 방법을 위하여 기존에 설계된 내장형 전류감지기는 제어신호를 사용하지 않는 것과 제어신호를 사용하는 것으로 분류될 수 있다. 제어신호가 없을 때는 IDDQ가 기준전류 보다 크기만 하면 과도전류 조차도 고장이 있는 것으로 판별하며¹²¹, 큰 면적의 적분회로를 삽입하여야 고장전류 만을 자동으로 검출할 수 있다¹³¹.

비중첩 2 상 클럭의 제어신호를 사용한 경우¹⁴¹에는 자동 고장검출 기능을 가지고 있고 비교기의 비교능력을 증가시키나, 비중첩 2상 클럭을 만드는 부가회로가 커지고 기생 캐패시터가 IDDQ에 영향을 미치게 된다. 과도전류를 고장전류와 구별하기 위하여 전류감지기에 제어신호를 사용한 경우¹⁰¹에는 적은 면적으로 내장형 전류감지기를 설계할 수 있으나 기준전류의 설정과 큰 과도전류를 통과시키는 데 어려움이 있다. 그리고 기존의 모든 내장형 전류감지기는 한 주기 내에 고장유무를 판별하기 위하여 첫 반주기 이내에 고장전류를 검사하기 시작하여 다음 반 주기에 고장유무를 판정하므로 테스트 대상회로에서 과도전류가 흐르는 시간이 동작 주파수의 반주기 이내로 제한된다. 그러나 전류 테스트에 사용될 테스트 대상회로는 내부회로의 크기나 테스트 패턴에 따라 긴 임계전과지연을 가질 수 있고, 전류감지기의 입력노드는 테스트 대상회로와 금속도선에 의해 큰 개패시터가 존재하므로 과도전류가 안정화되는 데 긴 시간이 필요하다. 따라서 반주기 이내에 과도전류가 안정화될 수 있도록 테스트 속도를 낮추거나 짧은 전과지연이 발생하는 테스트 대상회로 만을 사용하여야 한다. 그러므로 클럭의 주기 끝에서 고장전류를 검사하면 다음 클럭의 첫 반주기 동안에 고장의 유무를 나타내는 신호가 발생하지만, 과도전류가 안정화된 후에 고장의 판별이 가능하고, 큰 면적과 긴 임계전과지연을 가지고 있는 테스트 대상회로를 고속으로 테스트할 수 있을 것이다¹¹⁶¹. 그리고 단상 클럭을 사용할 경우에는 비교기의 비교능력이 떨어지거나 제어회로를 줄일 수 있어 내장형 전류감지기의 면적을 최소화할 수 있다.

III. 내장형 전류감지기의 설계

본 논문에서 제안한 내장형 전류감지기는 IC 내에서 그림 2와 같이 구성되어 테스트 대상회로에 흐르는 전류를 검사한다. 내장형 전류감지기는 전류감지기, 레벨변환기, 레벨 비교기 및 기준전압 회로로 구성된다. 클럭의 사용은 비교기와 테스트 대상회로를 분리시켜 과도상태 동안에 IDDQ의 영향이 비교기에 전달되지 못하도록 하고, 비교기의 출력이 자동고장검출 기능을 갖게 한다. 전류감지기는 NMOS 트랜지스터와 다이오드로 구성되고, 레벨변환기는 전류감지에서 변환된 전압을 CMOS 회로에서 동작 가능한 전압으로 레벨변환(level shift)한다. 비교기는 기준전압과 레벨변환기의 출력전압을 비교하며, 기준전압 회로는 비교기의 한 노드에 고장판별에 필요한 기준전압을 만들어 준다.

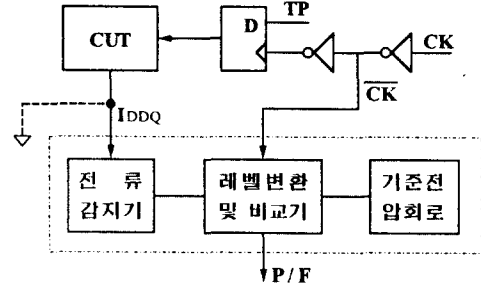


그림 2. 내장형 전류감지기의 블록 다이어그램
Fig. 2. Block diagram of BIC.

1. 전류감지기(Current sensor)의 설계

전류감지기는 테스트 대상회로에서 흐르는 전류를 전압으로 변환시킨다. CMOS회로는 정지상태에서 PMOS 또는 NMOS 트랜지스터 중의 하나가 완전히 OFF되어 VDD와 GND 사이에 전류가 흐를 수 있는 통로가 형성되지 않으므로 P-N 접합의 누설전류 이외에는 전류가 흐르지 않아야 한다. 그러나 과도상태에서는 PMOS와 NMOS가 동시에 ON되는 순간이 발생하여 큰 전류가 흐르게 된다. 전류감지기는 위의 두 가지 조건 모두에 잘 동작하여야 한다. 즉 과도상태에서는 테스트 대상회로가 정상동작이 가능하도록 전류감지기의 저항이 적어서 큰 전류를 전압강하가 적은 상태에서 통과시킬 수 있어야 하고, 고장전류 검출시에는 저항이 커서 수 μA 정도의 전류도 검출할 수 있도록 전압강하가 커야 한다.

CMOS 공정에서 설계가능한 소자는 lateral BJT.

MOSFET, 다이오드, 저항 등이다. 저항에서는 식 (1)과 같이 전압이 비례상수 R을 가지고 전류에 비례한다. 따라서 적은 값을 가진 저항은 테스트 대상회로의 성능저하를 일으키지 않고 사용할 수 있으나 전류정밀도(current resolution)가 떨어지며, 큰 저항은 전류정밀도는 증가하나 과도전류가 흐를 때 테스트 대상회로의 정상동작을 어렵게 만들어 전류감지기로는 적당하지 않다.

$$V = R \times I \quad (1)$$

BJT에서 Ebers-Moll 모델에 의한 컬렉터 전류는 식 (2)와 같이 구해진다. 포화영역에서 동작할 때는 $V_{CE} < 0.2V$ 를 유지하고 적은 저항으로 동작하여 큰 과도전류를 통과시키는 동안에 전압강하가 가장 적어 테스트 대상회로를 거의 5V에서 동작시킬 수 있다. 그러나 CMOS 공정에서는 lateral NPN 트랜지스터 구조를 가지게 되어 순방향 전류이득이 적어 전류정밀도가 낮아지므로 기준전류가 낮을 때 적은 고장전류의 검출이 어려워진다. 반면에 선형영역에서는 V_{CE} 전압이 커서 테스트 대상회로의 정상동작이 어렵고 베이스 전류 제어가 어렵다.

$$I_C = I_S (e^{(qV_{BE}/mKT)} - 1) (1 + V_{CE}/V_A) \quad (2)$$

I_S : junction saturation current

V_A : the early voltage

MOSFET의 동작은 선형영역과 포화영역으로 나누어진다. 선형영역에서는 식 (3)과 같이 전류가 흐르며 BJT의 포화영역에 비하여 V_{DS} 의 전압강하가 커서 적은 전류를 통과시킬 때는 전류정밀도가 좋다. 포화영역에서 흐르는 전류는 식 (4)와 같으며 큰 과도전류를 통과시키기에는 트랜스컨덕턴스가 적어서 전압강하가 커지므로 테스트 대상회로의 정상동작이 어려워진다.

$$I_{DS} = (V_{GS} - V_{TH})V_{DS} - V_{DS}^2/2 \quad (0 < V_{DS} < V_{GS} - V_{TH}) \quad (3)$$

$$I_{DS} = (V_{GS} - V_{TH})^2/2 \quad (0 < V_{GS} - V_{TH} < V_{DS}) \quad (4)$$

다이오드에 흐르는 전류는 식 (5)와 같으며 임계전압(0.6V) 이하에서는 거의 전류가 흐르지 않는다. 그러나 그 이상이 되면 작은 전압의 증가로 큰 전류를 통과시킬 수 있다. 따라서 큰 과도전류를 통과시키는 소자로는 적합하나 적은 고장전류를 검출하는 데 어려움이 있다.

$$I_D = A_D I_S (e^{(qV_D/mKT)} - 1) \quad (5)$$

A_D : area of diode

가장 이상적인 전류감지기는 큰 전류가 흐르는 과도 상태에서는 전압강하없이 전류를 통과시킬 수 있어야 하고, 정지상태에서는 큰 전압강하가 발생하여 적은 전류의 검출도 가능한 회로이어야 한다. 그러나 이러한 조건을 모두 만족시키는 소자는 존재하지 않으므로 본 논문에서는 그림 3(a)와 같이 NMOS FET와 다이오드를 병렬로 결합한 회로를 전류감지기로 사용한다. 그림 3(b)는 본 논문의 전류감지기의 전류-전압 특성 곡선을 나타낸 것이므로 큰 과도전류가 흐를 때는 식 (6)과 같이 NMOS FET와 다이오드를 통하여 전류를 통과시키고 적은 전류가 흐를 때에는 다이오드가 OFF되어 NMOS FET만으로 식 (3)과 같이 전류가 흐르게 된다. 테스트 대상회로의 전류가 전류감지기로 흘러 노드 N_{GND} 의 전압이 0.6V 이상이 되면, 다이오드에 전류가 흐르게 되므로 고장전류를 판별하는 전압은 0.6V 이하가 되어야 한다. 본 논문에서는 노드 N_{GND} 의 캐패시터의 방전시간에 대한 영향을 최소로 하기 위하여 0.6V를 고장판별의 기준전압으로 설정하였다. 다이오드 소자의 사용은 과도상태에서 과도전류가 흐를 때 테스트 대상회로에 인가되는 전압이 0.6V 낮아 지나 동작시 논리 고장은 발생시키지 않으면서 약 10 ~ 15%^[14] 정도의 속도지연 만을 유발한다.

$$I_{DS} = (V_{GS} - V_{TH})V_{DS} - V_{DS}^2/2 + A_{DS} (e^{(qV_D/mKT)} - 1) \quad (6)$$

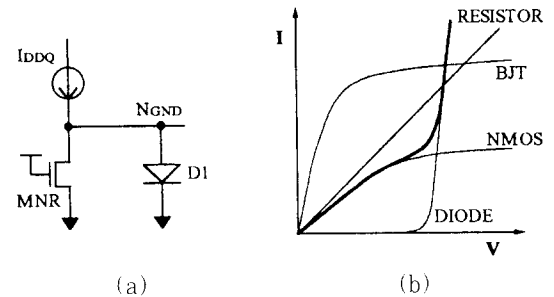


그림 3. 전류감지기
(a) 전류감지기 회로도 (b) I-V 특성곡선

Fig. 3. Current sensor.
(a) Current sensor circuit (b) I-V characteristic curve

2. 레벨변환기 및 비교기

테스트 대상회로에서 흐르는 전류는 전류감지기에서

전압으로 변환되며, 이 전압은 다이오드의 사용으로 인하여 0V에서 0.7V 사이에서 변화된다. 이러한 낮은 전압을 CMOS 회로에서 사용할 수 없으므로 본 논문에서는 CMOS 회로에서 동작이 가능한 전압으로 레벨 변환하여 사용한다. 그림 4는 본 논문에서 제안한 내장형 전류감지기의 회로도이다.

그림 4에서 MN4, MN5는 기준전압을 만들기 위한 바이어스(bias) 회로이며, 크기를 조절하여 원하는 기준전압을 설정할 수 있다. MP1, MP2과 MP3, MP4은 서로 대칭으로 전류감지기의 전압과 기준전압을 비교가 비교할 수 있는 전압으로 변환시킨다. 입력 전압 (V_{io})이 0V에서 0.7V 사이에서 변화할 때 MP1은 선형영역에서, MP2는 포화영역에서 동작한다. 레벨변환기는 낮은 전압을 CMOS 소자가 정상동작할 수 있는 영역으로 레벨변환시킬 수 있고, 테스트 대상회로가 고속으로 동작시 비교기에 사용된 클럭과 캐패시턴스의 영향으로 IDDQ가 영향을 받을 수 있으므로 비교기와 테스트 대상회로를 완전히 분리하는 역할도 한다.

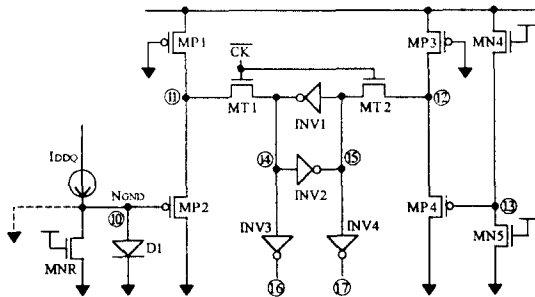


그림 4. 내장형 전류감지기 회로도
Fig. 4. Circuitry of BIC.

N_{GND} 노드는 테스트 대상회로와 다이오드에 의해 큰 캐패시터를 가지고 있으며, IDDQ가 안정화되는 데는 캐패시터가 방전하는 시간이 필요하다. 또 과도전류가 흐르는 시간은 테스트 패턴의 종류에 따라 다르게 되므로 과도전류가 흐르는 시간을 각각의 테스트 패턴에 대하여 예측하기가 어렵다. 따라서 고장전류의 검출 시점을 가능하면 한 주기의 끝에서 결정하여야 고장전류의 흐르는 시간이나 테스트 대상회로가 가지고 있는 캐패시터의 영향을 가장 적게 받는다. Shen^[14]은 과도전류가 흐르는 시간이 대부분 2NS 이내로 가정하였으나 2μ 설계규칙에서 20 게이트의 인버터($PW/L=20\mu/2\mu$, $NW/L=20\mu/2\mu$)가 직렬로 연결된 회로일 경우

에 4 NS 정도의 지연이 발생하므로 과도전류가 흐르는 시간의 제약으로 테스트 대상회로의 크기가 제한되어야 하며, Miura^[13]는 모든 테스트 패턴에 대하여 일정한 시간 동안만 과도전류가 흐르도록 하는 알고리즘을 이용한 테스트 패턴 생성기를 사용하여 과도전류의 흐르는 시간을 제어하고 있다.

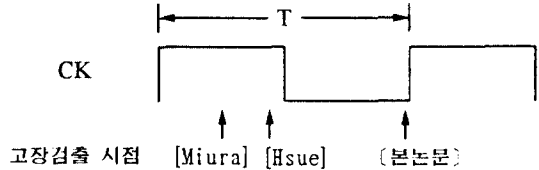


그림 5. 고장전류 검출 시점
Fig. 5. Detection timing of faulty current.

즉 Miura, Shen은 그림 5에서와 같이 첫 반주기 이내에서 고장전류의 흐름을 검사하고, 다음 반주기에 고장유무를 판별한다. 그러나 본 논문은 과도상태에서 완전히 벗어난 후에 고장전류를 테스트 하기 위하여 클럭의 주기 끝에서 고장전류를 검사하도록 설계하였다. 이 경우에 고장판별 결과가 다음 클럭의 첫 반주기에 나타나게 되지만, 테스트 속도를 증가시킬 수 있고, 같은 동작 주파수를 사용할 경우에 기존의 내장형 전류감지기 보다 긴 전파지연과 큰 면적을 가진 테스트 대상회로를 테스트할 수 있다.

비교기는 두 개의 인버터(inverter)로 구성된 래치이며, 과도전류가 흐르고 난 후 정지전류가 흐를 때 클럭 CK의 끝에서 트리거링을 한다. 래치가 노드 14와 15의 전압을 비교하는 데 걸리는 시간은 MP1에서 공급하는 전류와 래치의 INV1에서 공급하는 전류에 의해 결정된다. INV3가 노드 14의 전압으로 Pass/Fail을 판별하게 되며, INV4는 래치의 양단에 균형을 맞추기 위한 부가 인버터(dummy inverter)이다. MP1과 MP2로 구성되는 버퍼는 구동능력이 약하므로 INV1과 INV2에 대한 트랜지스터의 크기의 비를 낮추어야 결함이 있을 경우에 노드 14의 전압을 변화시킬 수 있고, 고장전류가 흐를 때 노드 14의 전압이 래치의 논리임계 전압이 되도록 래치의 크기를 결정해야 래치에서 발생하는 지연시간을 줄일 수 있다. 래치로 구성된 비교기는 고장전류가 기준전류보다 1uA라도 크면 검출이 가능하다.

비교기의 출력은 전류가 테스트 대상회로에서 기준전류 이상이 흐르게 되면 다음 클럭의 첫 반주기에서

LOW로 나타나고, 기준전류 이하가 되면 HIGH로 나타난다. 이러한 출력은 과도전류와 고장전류를 구별하여 고장전류가 흐를 때만 출력이 LOW가 되어 자동적으로 결함 유무의 판별이 가능하다.

IV. SPICE 시뮬레이션 결과

SPICE 시뮬레이션에 사용된 이중 금속도선(double metal) 2 μ CMOS 공정의 주요 파라미터는 $T_{ox} = 225e^{-10}$ [m], $U_p = 220$ [cm²/V - sec], $U_n = 650$ [cm²/V - sec], $V_{THN} = 0.628$ V, $V_{THP} = -0.668$ V 등이다.

표 1은 전류감지기에 있는 MNR 트랜지스터의 3 가지 크기에 대하여 기준전류 및 저항 값을 나타낸 것이다. 고장을 판별하는 기준전류가 50 μ A일 경우에 전류감지기에 사용된 MNR은 큰 저항 값을 가지고, 1030 μ A일 경우에는 작은 저항 값을 가진다는 것을 알 수 있다.

표 1. 3 가지 기준전류에서 MNR의 크기와 저항값

Table 1. The sizes and resistances of MNR on 3 reference currents.

기준전류 (μ A)	크기(W/L: μ)	저항 (k Ω)
50	2 / 8	12
497	10 / 4	1.2
1030	10 / 2	0.58

그림 6은 전류감지기에 다이오드가 있을 경우와 다이오드가 없을 경우에 출력전압을 나타낸 것으로, 그림 6(a)는 IDDQ를 6NS 동안에 최대 값이 1.5mA인 삼각전류로 가정한 것이다. 그림 6(b)는 전류감지기에 다이오드(D1)와 MNR 트랜지스터(W/L=10 μ /4 μ)에 흐르는 전류의 크기를 보여주는 것으로, 노드 10의 전압이 0.6V 이상이 되면 다이오드에 전류가 흐르기 시작하는 것을 알 수 있다. 그림 6(c)는 다이오드가 있을 경우(\square)와 다이오드가 없을 경우(\diamond)의 노드 10의 전압을 나타낸 것으로, 다이오드가 없으면 노드 10의 전압이 2V 이상이 되어 테스트 대상회로에 인가된 전압이 3V 이하가 되므로 테스트 동안에 테스트 대상회로가 정상동작하기 어렵다는 것을 알 수 있다. 다이오

드의 크기는 1000 μ M²로 설정하였다.

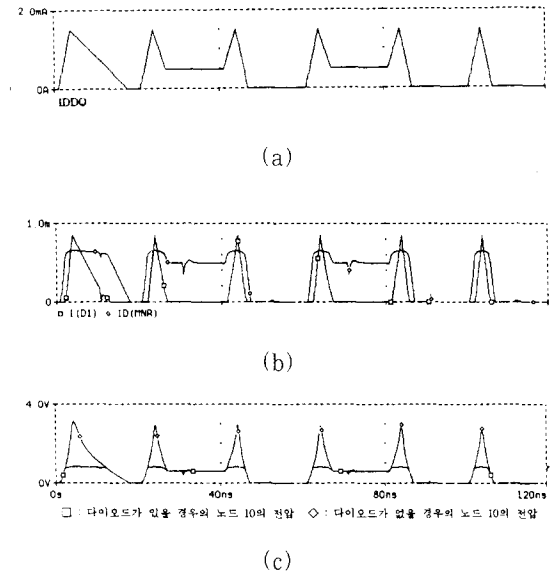


그림 6. 다이오드가 있을 경우와 없을 경우의 전류감지기의 출력전압

(a) IDDQ (b) D1과 MNR의 전류 (c) 전류감지기의 출력전압

Fig. 6. Output voltages of the current sensor with and without diode.

(a) IDDQ (b) current of D1 and MNR transistor (c) Output voltage of current sensor

그림 7은 100MHz에서 기준전류가 497 μ A일 때 고장전류가 495, 496, 497 μ A 인 경우의 내장형 전류감지기의 출력 파형을 나타낸 것으로 고장유무의 판별이 가능함을 알 수 있다. 과도상태에서 테스트 대상회로에 흐르는 전류는 가변적이다. 본 논문에서는 과도전류가 6NS 동안에 최대값이 5mA인 삼각전류로 가정하였다^{[13][14]}. 그림 7의 앞 부분은 과도전류의 흐르는 시간이 클럭의 반주기 이상이 되어도 판별이 가능하다는 것을 보여주며, 고장전류가 흐를 경우에만 비교기의 출력은 다음 클럭의 반주기 동안에 LOW로 나타나므로 자동으로 고장의 유무를 판별할 수 있다. 내장형 전류감지기의 동작속도는 레벨변환기와 비교기의 전파 지연에 의하여 결정된다. 레벨변환 회로는 거의 지연없이 노드 10의 전압을 비교기의 입력전압으로 변환하며, 비교기에서는 약 3NS의 전파지연이 발생하므로 클럭 주기가 최대 6NS(166MHz)까지 동작할 수 있다. \diamond 은 내장형 전류감지기에 사용된 클럭을 나타낸 것이다.

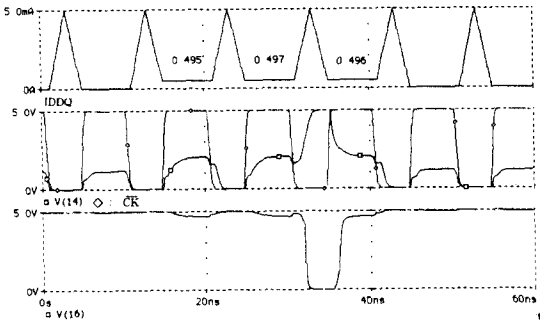


그림 7. 비교기의 출력파형
Fig. 7. Output waveform of BIC.

V. 비교 및 검토

표 2는 기존에 설계된 내장형 전류감지기와 본 논문에서 제안한 회로의 여러 가지 성능을 비교한 것이다. 소자 수는 Favalli^[10]에서 제안한 회로가 3개의 MOSFET로 구성되어 가장 적은 면적을 차지하지만, 큰 과도전류를 NMOSFET 만으로 통과시켜야 되므로 테스트 대상회로가 포함할 수 있는 게이트 수가 적어 IC를 분할하여야 하므로 IC 내에서 많은 내장형 전류감지기가 존재해야 할 것이다.

표 2. 내장형 전류감지기의 성능비교
Table 2. Performance comparison of BICs.

	Favalli[10]	Maly[11]	Hsue[12]	Miura[13]	Shen[14]	본논문
소자수	MOS:3	MOS:22 latch: 1 NPN: 1	MOS:19 diode: 2	MOS:16 C : 1 R : 1	MOS:57 diode: 1	MOS:17 diode: 1
전파 지연	고장 전류가 결정		23 NS	2RC	2NS	3NS
제어 신호	외부제어 신호	타상 클럭	없음	없음	비중첩 2 상클럭	타상 클럭
CUT에 인가된 전압	고장 전류가 결정	4.3 V	5 V	고장 전류가 결정	4.3 V	4.3 V
전 원	5 V	5 V	5V 0.6V	5 V	5 V	5 V
자동 검출	있음	있음	없음	있음	있음	있음

Miura^[13]의 경우에는 큰 캐패시터와 저항이 사용되어 내장형 전류감지기의 면적이 커지게 된다. 본 논문에서 제안한 회로는 17 개의 MOSFET와 1 개의 다이오드를 사용하여 큰 과도전류의 통과(sink)가 가능하므로 IC 내에서 테스트 회로의 면적이 최소가 될 것이다.

내장형 전류감지기의 최대 동작 주파수는 전류감지기와 비교기에서 발생하는 전파지연 시간과 과도전류가 흐르는 시간에 의해서 결정된다. 그림 8은 외부 제어 신호를 사용하지 않는 Hsue와 본 논문의 내장형 전류감지기에서 발생하는 전파지연을 비교한 것이다. Hsue(◇)는 기준전류 보다 큰 전류를 검출하는데 약 23NS의 지연이 발생하여 동작 주파수가 4MHz 이내로 제한됨을 알 수 있다. 그리고 과도전류가 흐를 때에도 출력은 고장이 있는 것으로 나타나므로 고장전류와 과도전류를 구별하는 회로가 더 필요하게 된다. 그러나 본 논문의 내장형 전류감지기는 고장검출에 약 3NS의 지연이 발생하고 고장전류가 흐를 경우에만 출력이 LOW가 된다.

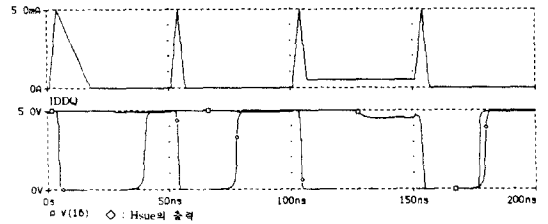
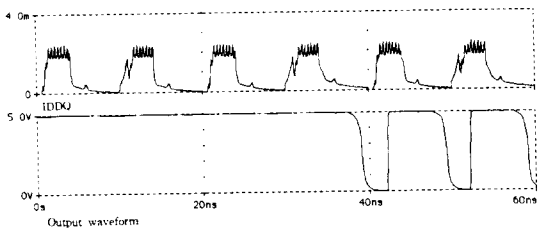


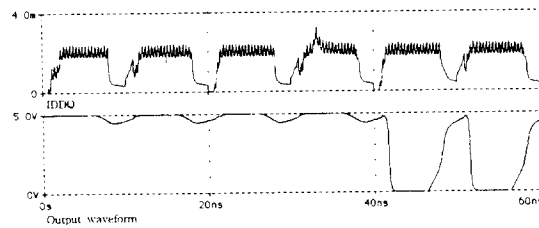
그림 8. 본 논문과 Hsue 와의 전파지연의 비교
Fig. 8. Comparison of propagation delay with proposed BIC and Hsue.

그림 9는 한 주기 내에 테스트 대상회로에서 과도전류가 흐를 수 있는 시간을 비중첩 2 상 클럭을 사용하는 Shen과 비교한 것이다. 그림 9(a)에서 30NS까지는 고장이 없고 19 개의 inverter(PW/L=20μ/2μ, NW/L=20μ/2μ)가 직렬로 연결되고, 30NS 이상에서는 20 개의 inverter가 직렬연결된 테스트 대상회로를 Shen의 회로로 100MHz에서 시뮬레이션하여 IDDQ와 출력파형을 나타낸 것이다. 30NS 이상에서는 과도전류가 4NS 이내에서 흐르지만 노드 N_{GND}의 캐패시터 영향으로 지연이 발생하여, 고장전류가 흐르지 않지만 고장이 있는 것으로 나타났다. 따라서 테스트 대상회로의 최대 전파지연시간이 4NS 이내로 제한된다. 그리고 테스트 대상회로와 전류감지기가 완전히 분리되지 않아서 비중첩 2상 클럭이 변화할 때 IDDQ가 갑자기 변화하는 현상이 나타남을 알 수 있다. 그러나 그림 9(b)에서 30NS 이전에는 고장이 없고 40 개의 inverter가 직렬로 연결되고 30NS 이상에서는 in-

verter 41 개가 연결된 테스트 대상회로를 본 논문에서 제안한 회로로 시뮬레이션한 결과이다. 과도전류의 흐르는 시간이 반주기 이상이 되지만 한 주기의 끝에서 고장을 검출함으로써 30NS 이전에는 출력이 HIGH가 되어 고장이 없는 것으로 나타나고, 30NS 이상에서는 출력이 LOW가 되어 고장이 있는 것으로 나타남을 알 수 있다. 따라서 그림 5에서 예측했던 것과 같이 본 논문에서 제안한 내장형 전류감지기는 기존의 내장형 전류감지기에 비해 약 2 배의 임계전과지연을 가지고 있는 테스트 대상회로를 테스트할 수 있다.



(a)



(b)

그림 9. Shen과 본 논문의 과도전류가 흐를 수 있는 시간의 비교

- (a) Shen의 시뮬레이션 결과
(b) 제안된 회로의 결과

Fig. 9. Comparison of transient time with Shen and proposed BIC.

- (a) simulation result of Shen
(b) simulation result of proposed BIC

위의 비교로부터 본 논문에서 제안한 내장형 전류감지기는 IC 내에서 필요한 테스트 회로의 면적, 과도전류가 흐를 수 있는 시간과 크기, 테스트 대상회로의 크기와 임계전과지연 시간 등에서 기존의 내장형 전류감지기에 비하여 성능이 우수함을 알 수 있다.

VI. 결론

본 논문에서는 CMOS VLSI 칩에서 기존의 전압 테

스트 방법으로는 검출하지 못하는 게이트 옥사이드 단락고장, 브리징 고장 등을 전류 테스트 방법으로 검출하기 위한 새로운 내장형 전류감지기를 제안하였다. 본 논문에서 제안한 내장형 전류감지기는 테스트 대상회로에 흐르는 전류를 전압으로 변환하고, 그 전압을 CMOS 회로에서 동작가능한 영역으로 레벨변환하여 자동으로 고장의 유무를 판별할 수 있도록 설계되었다. NMOSFET와 다이오드로 구성된 전류감지기는 큰 전류가 흐르는 과도상태에서는 두 소자가 동시에 전류를 통과시켜 테스트 대상회로에 4.3V 이상이 인가되고, 고장전류 검사시에는 NMOSFET만 전류를 통과시켜서 고장전류 검출의 정밀도를 높일 수 있었다. 레벨변환 회로는 전류감지기에서 변환된 낮은 전압을 CMOS 회로가 동작가능한 영역으로 레벨을 변환시킴과 동시에 비교기와 테스트 대상회로를 분리시켜 비교기에 사용된 클럭의 영향이 테스트 대상회로에 전달되지 않도록 하였다. 비교기는 기준전류가 497 μ A 일 경우에 고장전류가 기준전류 보다 같거나 크면 자동으로 고장을 판별할 수 있었고, 3NS 이내의 전과지연 시간이 발생하여 과도전류가 흐르는 시간이 7NS 이내이면 100 MHz에서 고장의 검출이 가능하다는 것을 SPICE 시뮬레이션을 통하여 확인하였다. 그리고 클럭의 한 주기 끝에서 고장전류를 검사하여 과도전류가 안정화된 후에 고장전류의 판별이 가능하였고, 기존의 내장형 전류감지기에 비하여 긴 전과지연시간과 큰 면적을 가지고 있는 테스트 대상회로의 테스트가 가능하였다.

앞으로 전류 테스트를 위한 테스트 패턴 발생기(test pattern generator), 기준전류 및 적절한 테스트 대상회로의 크기 등에 대한 연구가 수행되어야 할 것이다.

참고문헌

- [1] Thomas M. Storey and Wojciech Maly, "CMOS Bridging Fault Detection," in Proc. Int. Test Conf., pp. 842-851 Sept. 1990.
- [2] Jerry M. Soden and Charles F. Hawkins, "Test Considerations for Gate Oxide Shorts in CMOS ICs," IEEE Design & Test, Vol. 3, pp.56-64, Aug. 1986.

- [3] Marek Syrzycki, "Modeling of Gate Oxide Shorts in MOS Transistors," IEEE Trans. Computer-Aided Design, Vol. 8, No.3, pp. 193-202, Mar. 1989.
- [4] Neil H. E. Weste and K. Eshraghian, "Principles of CMOS VLSI Design : A System Perspective", Sec. Edition, Addison-Wesley, 1993.
- [5] 한석봉, 김영일, 이문수, "전류 테스트 기법을 사용한 CMOS IC의 고장분석," 대한전자공학회 하계종합학술대회 논문집, 제16권 제1호, pp. 484-488, 93.7
- [6] Rochit Rajsuman, "Digital Hardware Testing : Transistor-Level Fault Modeling and Testing", Artech House, 1992.
- [7] Wojciech Maly and Phil Nigh, "Built-In Current Testing - Feasibility Study," Proc. IEEE Int. Conf. on Computer-Aided Design, pp. 340-343, 1988.
- [8] V. H. Champac, A. Rubio and J. Figueras, "Electrical Model of the Floating Gate Defect in CMOS IC's: Implications on IDDQ Testing," IEEE Trans. on Computer-Aided Design, Vol. 13, No. 3, pp. 359-369, MAR. 1994.
- [9] M. Keating and D. Meyer, "A New Approach to Dynamic Idd Testing," Proc. IEEE Int. Test Conf., pp. 316-321, 1987.
- [10] M. Favalli, P. Olivo, M. Damiani, and B. Ricco, "Novel Design for Testability Schemes for CMOS IC's," IEEE J. Solid-State Circuits, Vol. 25, No. 5, pp. 1239-1246, Oct. 1990.
- [11] W. Maly and M. Patyra, "Built-in Current Testing," IEEE J. Solid-State Circuits, Vol. 27, No.3, pp. 425-429, Mar. 1992.
- [12] Ching-Wen Hsue and Chih-Jen Lin, "Built-In Current Sensor for IDDQ Test in CMOS," Int. Test Conf., pp. 635-641, 1993.
- [13] Y. Miura and K. Kinoshita, "Circuit Design for Built-In Testing," Int. Test Conf. pp. 873-881, 1992.
- [14] Tung-Li Shen, J. C. Daly and Jien-Chung Lo, "On-Chip Current Sensing Circuit for CMOS VLSI," IEEE VLSI Test Symp. pp. 309-314, 1992.
- [15] H. Hao and E. J. McCluskey, "'Resistive Shorts' within CMOS Circuits," Proc. 1991 Int. Test Conf., pp. 292-301, 1991.
- [16] 이 효상, 류 진수, 서 정훈, 한 석 봉, 김 강 철, "CMOS 회로의 결함검출을 위한 BIC 설계," 대한전자공학회 1994년 하계종합학술대회 논문집, 제17권 제1호, PP. 598-601, 1994.

— 저 자 소 개 —



金强哲(正會員)

1958년 12월 13일생. 1981년 2월 서강대학교 전자공학과 졸업(공학사). 1983년 2월 서강대학교 대학원 전자공학과 졸업(공학석사). 1992년 3월 ~ 경상대학교 대학원 전자공학과 박사과정. 1983년 3월 한국전자통신 연구소 반도체 연구단. 1989년 7월 삼성종합기술원 정보시스템 연구소. 1990년 3월 진주농림전문대학 전자계산학과. 1993년 7월 ~ 현재 진주산업대학교 전자계산학과 조교수



韩哲鹏(正會員)

1958년 12월 8일생. 1982년 2월 한양대학교 전자공학과 졸업(공학사). 1984년 2월 한양대학교 대학원 전자공학과 졸업(공학석사). 1988년 2월 한양대학교 대학원 전자공학과 졸업(공학박사). 1988년 3월 경상대학교 전자공학과 전임강사. 1992년 1월 ~ 1992년 1월 Stanford University department of electrical engineering and computer science POST DOC. 1993년 4월 ~ 경상대학교 전자공학과 부교수