

PCS용 기저대역 시스템 Chipset 설계기술

趙 威 德

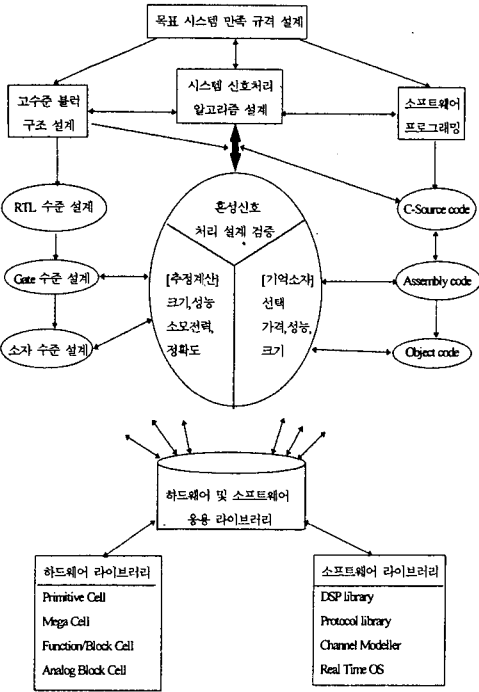
電子部品綜合技術研究所

I. 개 요

점차 시스템이 복잡해지고 고속처리를 필요로 함에 따라, 이제는 대부분의 디지털 통신시스템 특히, baseband 신호처리에 있어서의 시스템 전용 ASSP(Application Specific Standard Product) VLSI chipset의 사용이 보편화 되었다. PCS시스템에 있어서도 선진외국기업들이 경쟁적으로 관련 통신 규격 방식의 시스템별 ASSP chipset들이 개발되어 시스템에 적용되고 있다. 특히 시스템 chipset공급회사들은 대부분 ASSP chipset을 사용한 동작평가보드(Baseband Evaluation Board), 통신신호처리 및 프로토콜 처리 S/W까지 포함하여 개발하고 있으며, Baseband 처리용 S/W의 Source Code까지 제공하고 있는 실정이다.

이러한 PCS 시스템용 baseband 부품에는 고성능 DSP Core, 16bit 이상급의 CPU, 아나로그 접속 위한 AFE(Analog Front End) 이외에 기타 일반부품(EEPROM, SRAM, Flash-Memory, Peripheral, Driver, LCD-Controller, Power Controller)들이 해당되는데, 점차로 고집적기술, 다층패케지기술 등의 발전에 힘입어 고밀도화되고 있다. PCS 시스템 Chipset 설계를 위해서는 그림 1에서 보여진 바와 같이, 먼저 통신방식 등이 고려된 목표시스템 만족 규격설계 단계가 필요하며, 이후 Chipset 설계, Firmware 설계, 통신신호제어 소프트웨어 설계 등의 업무로 나뉘어 병렬적으로 수행된다. 각 개발단계들은 서로 그 결과들이 상관관계를 가지며, 설계시 사용되는 개발환경 또한 주요한 개발요소가 된다. 특히, 고수준 블럭구조설계, 시스템 신호처리 알고리즘 설계, 소프트웨어 프로그래밍 등은 최종 개발될 시스템 Chipset의 성능, 가격, 기능 등에 직접적 영향을 미친다. 특히, PCS 시스템 Chipset 설계에서는 경우에는 단순한 Chipset의 설계가 아닌 시스템규격, 신호처리 알고리즘의 구조 및 처리방식 등에 크게 좌우되는 통신용 시스템 ASSP이기 때문에 목표 시스템 규격설정 이후의 구조설계 단계가 대단히 중요하다.

그리고, PCS 시스템용 ASSP 개발시에는 개발



〈그림 1〉 PCS용 baseband ASSP chipset 설계, 검증의 일반적인 개발환경

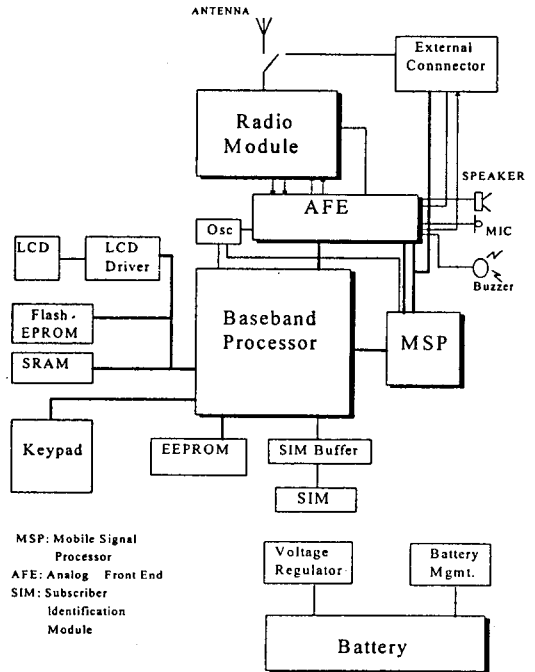
방법의 방향이 먼저 고려되어야 하는데, 시스템 알고리즘의 시뮬레이션 결과에 따라서 (1) DSP-Core를 사용한 알고리즘 Firmware 개발, (2) 알고리즘을 전체적으로 Hardwired-Logic 회로로 설계하는 방법 (3) 각 블럭의 요구처리속도와 기능에 따라서 앞의 두 방법을 혼재 사용하는 방법 등이 검토될 수 있다. 방법 (1)은 주로 범용 DSP Processor인 TI, Motorola, ADI, NEC, AT&T사 등의 DSP Chip들을 사용하며, 방법 (2)는 CAD TOOL들 즉, Cadence, Synopsys, MentorGraphics, Compass사 등의 VHDL설계기법들을 사용한다. 방법 (3)은 실제로 DSP-Core를 별도 Library로 사용하고 주변에 Controller나 기능 블럭들을 방법 (2)로 설계하여 Chip-Integration하여 시스템 전용 Chip을 개발하는 것이다. PCS 시스템용 ASSP 개발에는 주로 방법 (3)을 사용한 개발이 적용되는 것이 현재의 기술개발 추세이며, 이는 PCS의 표준규격을 만족하는 내부 알고리즘들이 시스템개발 엔지니어에 따라 다른 차이가 있을

수 있으며, 그에 따라 여러 가지 추가기능이나 성능향상을 계속적으로 손쉽게 할 수 있는 융통성이 큰 현실적인 개발접근방법이다.

본고에서는 개발방법 (3)을 적용한 PCS 시스템 baseband의 블럭구조, 신호처리 알고리즘과 연계하여, 관련신호처리 알고리즘 설계·검증과 PCS 시스템 Chipset 핵심블럭인 MSP(Mobile Signal Processing)의 DSP Core의 설계 및 기술개발동향 등에 대해 기술하고자 한다.

II. PCS 단말기 시스템의 주요 구성 모듈

PCS시스템용 휴대형 단말기들은 하드웨어 측면에서 볼 때 내부적으로 크게 RF(Radio Frequency)부, Baseband(기저대역)부, MMI(Man-Machine Interface)부, Antenna부등으로 구성된다(그림 2 참조).



〈그림 2〉 PCS용 휴대형 단말기의 일반적인 구성도

1. Baseband부

Baseband부는 통신신호처리용 고속 DSP(Digital Signal Processor)와 접속회로가 내장된 MSP(Mobile Signal Processor), Channel Coding/Decoding, Interleaving/Deinterleaving, Encryption/Decryption, Data Multiplexing, Real-Time Operation System Kernel S/W, Timer, Interrupt Handler, 통신 프로토콜 S/W 및 응용계층 S/W 등이 동작되는 Baseband Processor, MSP 및 Baseband Processor 등의 접속처리기인 ADC(Analog-to-Digital Converter) 또는 DAC(Digital-to-Analog Converter)가 다수 내장되어 아날로그와 디지털 신호간의 신호변환을 담당하며 외부적으로 스피커, 마이크, 부저, RF Module 등과 접속을 해주는 AFE(Analog Front End), 그리고 여러 형태의 출력신호를 그래픽 처리해 주는 LCD Module, 사용자의 입력신호처리기인 Keypad, 기본적으로 시스템에 소요되는 각종 Memory(SRAM, EEPROM, Flash EPROM)과 전원공급 변환부인 배터리 및 배터리 제어부 등으로 구분된다. 특히 오디오신호접속부에도 Microphone, ear-piece, buzzer, 오디오잭, 외부접속 위한 Car-kit, Echo-Canceller 등이 접속 또는 내장된다.

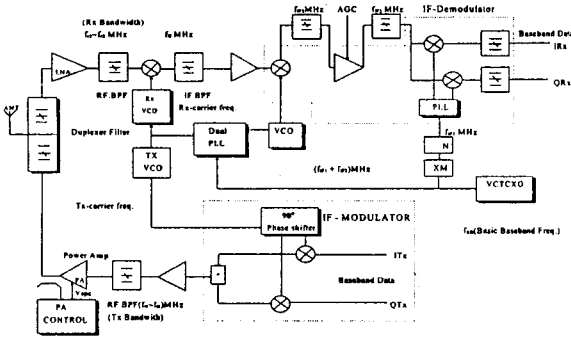
주로 디지털음성코덱, 변·복조신호처리, Equalizer 등의 기능을 처리하는 MSP용 DSP Processor는 PCS전용의 신호처리를 위한 특별한 Machine Instruction들이 제공되는 40Mips급이 사용되며, Baseband Processor의 MPU-Core는 16bit RISC Processor 이상급이 쓰인다. Memory중 SRAM은 512KBytes, Flash EPROM은 1MBytes, EEPROM은 32Kbits급 내외가 사용되고, Keypad는 5column×5row 또는 5column×7row의 Backlighting LED가 사용되며, LCD Pannel은 3×1 또는 4×12 등의 Pot Matrix형이 사용된다. SIM(Subscriber Identity Module)은 단말기 소유자 고유의 PIN 번호(Personal Identification Number)만을 받아들여 단말기 사용을 허용하기 위한 안전장치이다. SIM에는 통신사업과 서비스망에 따라 각기 독특한 Encryption/Decryption Algorithm을 사용하기 때문에 그에

따라 각기 다른 처리방식이 적용된다.

2. RF부

RF-Module은 PCS시스템의 사용주파수대역 및 채널당 대역폭에 따라 세부 필터의 주파수대역, VCO의 주파수값 등에 있어서 차이가 있으나 대체적으로 그림 3에서 보여진 바와 유사한 기본구조를 가진다. RF-Module에는 안테나, Duplex Filter, LNA(Low Noise Amplifier), RF 및 IF 단 mixer, IF-Demodulator, VCO 및 VCTCXO, IF-Modulator, Frequency Synthesizer 또는 PLL-Module, 각종 BPF(Band Pass Filter)와 PAM(Power Amplifier Module) 등으로 구성된다. 각 주요 부품들은 자체잡음이 있어서 수신부에서는 대내 8~10dB 정도의 신호대잡음비(SNR : Signal to Noise Ratio)가 발생된다.

실례로서, GSM방식의 RF-Module 경우에 있어서, 수신되는 무선신호의 입력신호전력은 -102dBm 이상으로 규정되어 있다. 이에 대해 자체회로의 기본적인 물리적 열잡음이 -121dBm 소모된다. 이 열잡음은 전송되는 무선신호의 무선주파수대역폭에 따라서 선형적으로 증가된다. 따라서 이론적으로 다른 신호감쇄가 없는 경우 RF-Module의 허용 SNR은 19dB가 보장된다. 여기에서 수신기의 Noise-Figure(대개 6dB) 및 복조기의 신호왜곡(2dB 정도)이 발생하면 최종 RF-Module 출력신호의 SNR은 11dB정도 내외가 된다. 따라서, 실제로 Baseband 신호처리부의 입력신호 SNR의 수준을 3dB정도 허용오차를 주면 8dB의 입력신호를 가정하고서 Baseband부가 어려없이 신호복조를 하여야 한다. 즉 RF-Module의 신호감쇄정도가 10dB 이상보다 더 나쁘면, Baseband 신호복조시 대단히 가혹한 조건에서 실행되어야 하므로 복잡하고 시간소모가 많은 고수준처리 알고리즘이 사용되어야 한다. 따라서 Baseband 신호처리부에는 대개 8dB의 SNR입력으로 설정한 상태에서도 복조에 문제가 없는 성능의 알고리즘이 사용된다. 이것은 최종적으로 PCS단말기의 데이터 에러율, 호 접속처리시간, 음질 등에 크게 영향을 미치는 변수들이다.

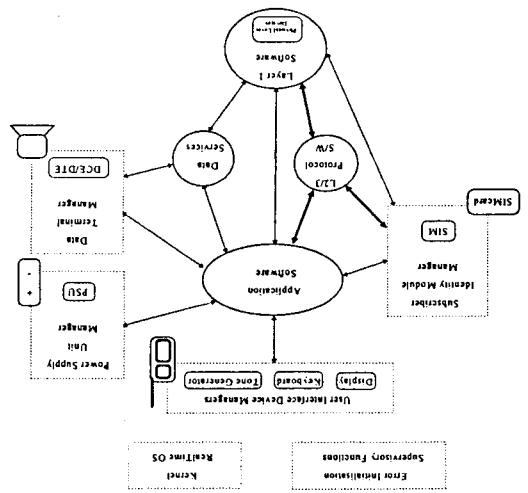


(그림 3) PCS용 휴대형 단말기의 RF-Module 구조의 실예

3. Protocol Software

Baseband 및 RF-Module를 동작제어하는 것은 Layer-1/2/3의 Protocol S/W 및 Firmware S/W이다. 이 통신제어 S/W는 시스템의 Baseband H/W를 직접 통괄제어하면서 전체 처리절차의 실시간 타이밍 동작을 수행하는 Layer-1 S/W, 다양한 주변 단말을 연결시키기 위한 응용(Application) S/W, 데이터단말장치의 데이터전송서비스 드라이버인 Data Service S/W, 시스템의 Keypad, LCD Pannel과 기타 사용자 버튼들을 제어하는 UIDM(USER Interface Device Manager), 기능에러 및 초기동작을 관장하는 Supervisory Function과 실시간 처리시 Multitasking을 제공하는 Real-time OS Kernel 등으로 구성되어 있다.

그리고 Layer-2 및 Layer-3은 이동신호처리를 위해 세부적으로 Call-Control, Supplementary-Service, Short-Message-Connection-Management, Short-Message-Cell-Broadcast, Mobility-Management, Radio-Resource 블럭 등으로 나뉘어져서 연결동작된다. 그런데, Layer-1 S/W는 언급된 바와같이 Baseband H/W, RF-Module 등과 직접적인 관련이 있으며 Layer-1 S/W의 성능은 Baseband H/W와 함께 연동되므로 전체 시스템 성능 시험시에 핵심블럭이 된다. 즉, Layer-1 S/W는 내부적으로 MSP 신호처리 firmware, CPU firmware, Real-Time OS Kernel, RF 제어firmware, system-Integration Timing 제어 등의 기능을 담당한다.



(그림 4) PCS 시스템용 Protocol S/W의 일반 구조

III. PCS 시스템용 ASSP Chipset 기술개발 동향

PCS 시스템에 대한 ASSP(Application Specific Standard Product) Chipset은 여러 통신표준방식 중 전세계적으로 개방된 표준 규격인 DCS(Digital Cellular System)방식에 중점적으로 연구개발 및 제품화가 진행되고 있다. 타 방식의 경우에는 관련표준규격이 아직 완결되지 못하였거나 방식표준이 공개되지 못함으로 인해 DCS방식보다 상대적으로 시스템ASSP로서의 경쟁적인 개발이 진행되지 않고 관련 특정기업에서만 개발이 수행되고 있는 상황이다. 따라서 본고에서는 DCS방식의 Baseband용 ASSP Chipset을 근간으로 비교·분석하여 보고자 한다.

표 1은 Baseband 칩을 제공하는 Analog Devices, Philips, Siemens, VLSI 회사의 Baseband 칩에 대한 기능, 사양에 대하여 정리하였다. 표에 명기된 각사의 Baseband 칩은 RF 기능 관련 칩을 제외한 Baseband 구성에 소요되는 부분만을 의미한다. Philips를 제외한 3개회사에서는 Baseband 칩을 기존의 다수의 칩에서 2개 및 3개로 집적화해서 제공하고 있으며, 이러한 Baseband 칩의 공

〈표 1〉 Baseband ASSP chipset들의 비교

회 사		Analog Devices			Philips				
구 분		3			5				
Baseband 칩 소요수		3			5				
모 델 번 호		AD7015	ADSP-2171	ADSP-TTP01	PCF5081	PCD5070	P7XC1XX	PCF5012	P80CL51
주요기능		-ADC & DAC : 오디오 -DAC : AGC, AFC -ADC & DAC : I & Q신호 -GMSK 변조	-음성 코덱 -채널등화	-채널코덱 (암호화) -프로토콜 (L1, L2, L3)	-음성 코덱 -채널코덱 (암호화) -채널등화	-GMSK 변복조 -ADC & DAC	-프로토콜 (L1, L2, L3) -TDMA timer	-ADC & DAC : 오디오	-Handset Controller
사 양	동작 전압 (V)	3	3	-	5	5	5	5	5
	전력 소모 (mW)	120(max) 0.3(power down)	312(typ.) 5(power down)	-	-	<40 (aver.)	120mA (normal) 10mA (standby)	16mA (typ.)	22mA (normal) 10uA (power down)
기 타		80/TQFP	-General purpose processor (16bit) -128/TQFP	-Embedded 16bitMCU (H3048) -176/TQFP -Non Available	-Embed- ded DSP core	-PLL(IF 주파수)	-16bit MCU -84/PLCC, 80/QFP		-8bit CPU

〈표 1〉 Baseband ASSP chipset들의 비교(계속)

회 사		Siemens			VLSI	
구 분		3			2	
Baseband 칩 소요수		3			2	
모 델 번 호		ADSP21msp51	PMB2705	PMB2900	PCF5081	PCD5070
주요기능		-ADC & DAC : 오디오 -음성 코덱 -DAC : AGC, AFC	-채널코덱 (암호화) -GMSK변조 (디지털) -채널등화 -시스템 I/F : AGC,AFC	-I/F(GSM logic & RF) -ADC & DAC : I & Q신호 -디지털 mixer -DAC : RF전력제어	-채널코덱(암호화) -GMSK 변조 (디지털) -채널등화 -프로토콜 (L1,L2,L3) -ADC & DAC : I & Q신호	-ADC & DAC : 오디오 -음성 코덱
사 양	동작 전압 (V)	5	5	5	5	5
	전력 소모 (mW)	<1(power down)	250mA(max) 5mA(power down)	46mA(max) 1mA(power down)	80(채널부호화) 5(sleep mode)	165(typ.)
기 타		-General purpose DSP (Mixed) : 16 bit -100/PQFP, 144/PGA	-Embedded 16bit MCU -1um CMOS -160/M(P)QFP	-64/MQFP -2um CMOS	-Embedded 32bit MCU : RISC -Embedded 16bit DSP -176/TQFP	-100/TQFP -1um CMOS -Hands free -Embedded 16bit DSP

통적인 특성은 음성코덱, 디지털 복조, 채널등화(Channel equalization) 기능이며, 주로 범용 DSP(Digital Signal Processor) 혹은 DSP core가 내장된 칩을 이용하여 소프트웨어 프로그래밍으로 구현하였다. 또한 시스템 제어 및 Layer 1, 2, 3 관련 프로토콜 기능 수행을 위해 최소한 16비트를 갖는 MCU(Micro Controller Unit) core가 내장된 칩을 이용하고 있다.

Analog Devices사는 Baseband를 3개의 칩으로 구현한 후 계속 Version-up중이며, 이 칩중 ADSP-TTP01 칩은 초기에는 채널코덱(Channel Codec) 칩과 Hitachi의 마이크로 프로세서(H3048)의 2개 칩으로 분리되어 있었으나, 최근에 단일 칩으로 집적되어 시스템 제조업체에 제공될 예정이다. Analog Devices사의 Baseband 칩중 AD7015는 Baseband Converter라고 불리며 주요 기능은 오디오 신호를 디지털 및 아날로그로 변환하는 ADC, DAC와 AGC(Automatic Gain Control), AFC(Automatic Frequency Control)와 디지털 변복조 I(Inphase signal), Q(Quadrature signal) 신호의 ADC, DAC와 GMSK 디지털 변조 기능등을 수행한다. 오디오 신호를 위한 ADC, DAC는 고휘상도의 16비트 시그마-델타 변조기로 구현되며, 디지털 변조는 코드화된 ROM 테이블에 의한 I와 Q 신호를 10비트 DAC를 이용하여 아날로그 신호로 처리한다. 또한 AD7015는 칩의 저 전력소모를 위한 3V 동작전압을 갖는다. 음성코덱 및 채널 등화는 범용 DSP인 ADSP2171을 이용하여 구현하였다. ADSP2171은 프로그램 메모리와 데이터 메모리가 각각 독립적인 하바드 구조(Havard Architecture)를 갖고 있으며, 16비트, 33MIPS(Mega Instruction Per Second)급 성능과 함께 응용시스템의 전력소모를 줄일 수 있는 Power Down Mode 등의 특징을 갖고 있다.

Philips사는 5개의 칩으로 Baseband를 구성하고 있으며 현재 이들 칩은 단말기의 Baseband 구성에 모두 실제 적용되고 있다. 음성코덱, 채널코덱, 채널등화 기능의 칩 PCF5081은 DSP 코어가 내장되어 있으며 동작전압은 5V이다. PCD5070

칩은 Analog Devices사의 AD7015와 기능이 유사한 디지털 변조와 변복조 신호 I(Inphase)와 Q(Quadrature)신호를 디지털 및 아날로그로 신호로 변환하기 위한 ADC, DAC로 구성되며 또한 내장된 PLL을 이용하여 IF(Intermediate Frequency)대 복조를 수행하는 또 다른 기능이 있으며 동작전압은 5V이다. 오디오 신호의 ADC, DAC 기능은 Analog Devices사와 다르게 독립된 PCF5012으로 구현되어 있다. 통신프로토콜 기능, 시스템제어 Timer는 P9XC1XX의 칩이 수행하며 16비트 MCU 코어가 내장된 칩으로 전력소모를 줄이기 위한 목적의 standby 상태 기능이 있으며, 모토롤라 CPU 68000과 소프트웨어 호환성을 갖고 있는 MCU이다. P80CL51 칩은 Handset Controller로써 8비트이며 코아는 80C51를 이용한다.

Siemens사의 Baseband는 ADSP21msp51, PMB2705, PMB2900의 3개의 칩으로 구성된다. Analog Devices사의 16비트 혼성신호(mixed signal) 범용 DSP인 ADSP21msp51을 이용하여 음성코덱 및 오디오 신호의 ADC, DAC 기능을 구현한다. 16비트 MCU 코어가 내장된 PMB2705는 채널코덱, 채널등화, 디지털 변조, AGC와 AFC 등의 시스템 인터페이스 기능을 담당한다. PMB2750은 아날로그 칩으로써 통신변조된 I와 Q 신호의 ADC, DAC 기능과 디지털 믹서(mixer), RF 전력을 제어할 수 있는 DAC 기능등을 포함하고 있다.

VLSI사의 경우 2개의 칩으로서 VP22102는 RISC 유형 32비트 MCU와 16비트 DSP 코어가 함께 내장되어 있으며, 칩의 기능은 채널코덱, 디지털 변조, 채널등화, 프로토콜 및 디지털 변복조, I, Q 신호의 ADC, DAC 기능까지도 수행하는 혼성신호 ASIC 칩이다. VP22020 칩은 16비트 DSP 코어가 내장되어 있으며 음성코덱, 오디오 신호의 ADC, DAC 기능에 부가적으로 Handsfree 동작도 가능한 특성을 지니고 있다. 그런데 이 VLSI Chipset은 시스템 업체의 요구 규격에 따라 개발되는 Cell-Library 형태이다.

이외에도 자체 DSP Core를 PCS 시스템 전용으로 개선하여 개발을 진행중인 기업으로서는 AKM

(Asahi Kasei Microelectronics) TI(Texas Instruments), Motorola, AT&T 등 계속적으로 PCS시스템용 ASSP에 대한 연구개발이 고조되고 있다.

이상의 GSM Baseband를 구성하는 칩 구조 및 기능의 특성에서 알 수 있듯이 Baseband는 음성 코덱 및 채널등화 혹은 채널코덱 기능은 범용 DSP 혹은 DSP 코어를 이용하여 소프트웨어로 DSP 프로그래밍으로 구현되며, 시스템의 제어, 프로토콜 기능은 MCU를 이용하여 디지털 변조, 음성신호의 ADC, DAC는 하드웨어적으로 코드화된 ROM 테이블, 시그마-델타 변조기들을 이용하여 구현됨을 알 수 있다. 또한 칩의 집적유형은 디지털 신호처리 칩 및 아날로그 신호처리 칩으로 각각 독립적으로 분리되어 설계되지만 일부 VLSI사의 VP22102와 Siemens사의 ADSP21msp51 칩의 경우는 아날로그 회로와 디지털 회로가 혼합설계된 혼성신호 IC의 특성을 갖는다. 이와 같은 Baseband 칩의 기술개발 동향은 전력소모를 최소화하기 위한 3V로의 동작전압 감소 및 내장되는 DSP, MCU mode, standby mode, sleep mode)와 단말기의 소형경량화를 위한 Baseband 구성 칩의 단일 칩으로의 집적화 기술 등의 경향을 보이고 있다.

각사의 칩 개발계획에 의하면 Baseband 구성 칩의 최종목표는 DSP, MCU 코어, 아날로그 신호처리 회로까지 집적화하여 단일 칩으로, Baseband 전체기능을 구현하려는 계획이 96년도로 발표되고 있으나 이러한 Baseband의 단일 칩은 실제적으로 97년이후에나 제품화될 수 있을 것이다. 국내에서는 주로 한국전자통신연구소, 한국과학기술원, 전자부품종합기술연구소 등에서 여러 방식의 PCS용 ASSP Chipset 개발이 진행되고 있다. 특히 전자부품종합기술연구소에서는 40MIPS 급 PCS전용 DSP Chip, 시스템 접속처리용 Controller Chip, Analog Front End Chip, IF단의 Analog Chip 등에 대한 기술개발이 활발히 진행되고 있다.

IV. PCS Chipset 핵심설계기술

1. Chipset 설계시의 요구조건

PCS 시스템용 Baseband ASSP Chipset 설계시에는 일반 ASIC이나 유선통신시스템과는 달리 보다 상세한 시스템에 대한 목표기술 및 성능이 필요하다. 설계이전에 사전 연구되어야 할 사항으로는

① 개발될 PCS시스템의 통신규격

- Baseband 신호처리 규격

- 변복조 방식, 음성신호처리, 데이터에러검출·보정기술, 데이터 비화방식, 데이터 패킷형식, 등화기

- 프로토콜 처리절차 및 방식

- 이동국과 기지국간의 데이터통신처리 절차
- 이동국내의 데이터통신처리 절차

- 만족해야 하는 채널 규격

- 페이딩 채널 모델

- 무선주파수 대역 및 무선신호기준

② PCS 시스템 제품 규격

- 시스템 크기

- 시스템 소모전력

- 시스템 동작방식

- 시스템 기능

- 시스템 성능

- 시스템통합 접속 규격

- 시스템 시험 만족규격

③ Baseband 알고리즘 규격

- 알고리즘 처리 범위

- H/W 처리부분 범위

- Firmware 및 S/W 처리부분 범위

- 알고리즘 처리 요구 속도

- 시스템 내부처리 타이밍 규격

- RF 및 MMI부와의 접속신호 규격

④ Chipset 설계·개발 환경

- 설계 방법론

- Full-custom/semi-custom

- 특수 설계 Tool 사용계획

- DSP 검증 전용 Tool 등

- Core 사용범위 및 여부

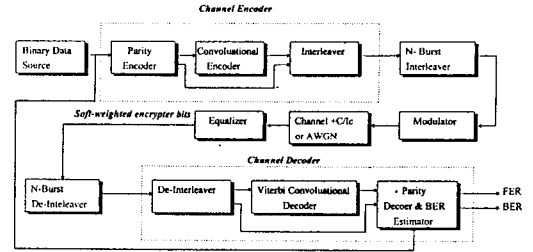
- DSP Core 사용
- MPU Core 사용
- I/O Driver Marco Cell 사용
(SIO, PIO, Interrupt Handler)
- Primitive Cell 지원 정도
- 사용할 CAD Tool
- VHDL 설계 Tool 및 Library
- Logic Synthesis Tool 및 Library
- 사용될 Chip Fabrication Technology 환경
(Library, Layout-Tool 등)

⑤ 개발될 Chipset의 Test 방안 등이 고려되어야 한다.

2. Baseband 신호처리 알고리즘

Chipset 설계를 시작하기 전에 먼저 수행되어야 할 연구사항 중 중요한 한 부분으로서 PCS 시스템의 Baseband 신호처리 알고리즘 연구가 필수적으로 요구된다. 예를들어 PCS Baseband 신호처리 알고리즘의 시뮬레이션(DCS방식 기준)실정예를 살펴보자.

시뮬레이션은 그림 5의 블록들로 구성되며 DCS 방식의 통신신호표준규격에 따라 Binary Data Source이후에 패리티부호화(Parity Encoder), 길쌈부호화(Convolutional Encoder), Interleaver 및 Normal-Burst(N-Burst) Data Formating을 위한 N-Burst Interleaver를 거쳐 GMSK Modulation을 하여 이동통신채널로 송신된다. 이 이동통신채널은 DCS 방식에서 규정한 일반 가우시안 잡음채널과 여러 형태의 페이딩 채널들을 선택하여 시뮬레이션할 수 있도록 설계되어 있다. 채널을 통과하면서 여러 가지 잡음이 혼합된 수신신호는 먼저 Equalizer를 거치게 되는데, 이 Equalizer는 단순 Adaptive Filter가 아닌 Receiver를 포함한 Viterbi Soft-Decision Equalizer이다. 이 Equalizer의 출력은 송신부의 역순으로 N-Burst De-Interleaver, Channel-Data De-Interleaver, Viterbi Convolutional Decoder, Parity Decoder 및 BER(Bit Error Rate)/FER(Frame Error Rate) 측정부를 거친다. 따라서 최종 시뮬레이션 결과는 다양한 채널모델에 따라 수행된 Baseband 알고리



〈그림 5〉 PCS baseband algorithm simulation의 실제(DCS방식 기준)

즘의 성능값인 BER 및 FER 측정 실험치가 된다. 이러한 알고리즘 시뮬레이션에서의 중요 블록은 역시 수신부의 Equalizer, Timing/Frequency Synchronizer이다. 이 블록의 알고리즘 설계구조에 따라 전체 Baseband 신호처리의 성능이 좌우된다.

본 시뮬레이션에서는 기존의 이동통신 신호처리 관련특허회피 및 성능개선을 위하여 새롭게 고안된 방식으로서, MLSE(Maximum Likelihood Sequence Estimation)과 LMS(Least Mean Square)의 두 알고리즘을 혼합사용하였으며 1Symbol bit와 2confidence bit의 데이터 신호를 사용하는 Soft-Decision Viterbi Equalizer를 사용하였다. 또한 Timing/Frequency Synchronization을 위하여는 Matched Filter 및 Gain Adatation Method를 조합하여 설계하였다. 그 결과 표 5과 같은 결과값을 얻었는데, 보여진 바와 같이 시스템 성능 요구조건에 모두 만족됨을 알 수 있다. 수신신호 복조 성능 결과치는 이동채널모델에서 단일 주파수 대역의 영향만을 고려한 것이고, 인접채널대역 영향에 따른 성능변화 결과치는 인접 주파수 대역의 Side-Lobe에 의한 신호잡음을 고려한 것으로서 일반적으로 앞의 것보다 훨씬 나쁜 결과를 보이고 있으나, 여전히 시스템 성능 요구조건에는 모두 만족되고 있음을 확인할 수 있다. 본 알고리즘 검증에는 COSSAP이라는 Synopsys의 DSP 시뮬레이터를 근간으로 사용하여 수행되었다.

〈표 2〉 PCS baseband 알고리즘 시뮬레이션 결과

(a) 수신 신호 복조 성능 결과

(단위 : %)

채널 데이터 형태	사용된 무선 채널 모델									
	AWGN		TU50 (w/o FH)		TU50 (w FH)		RA250 (w/o FH)		HT 100 (w/o FH)	
	결과값	규정값	결과값	규정값	결과값	규정값	결과값	규정값	결과값	규정값
FER	<0.01	0.1 α	1.2	6 α	0.8	3 α	1.9	2 α	0.7	7 α
BER	<0.12	2	2.94	8	3.08	8	3.7	7	3.53	9

단 $1 \leq \alpha \leq 1.6$

(b) 인접 채널 대역 영향에 따른 성능 변화결과

(단위 : %)

채널 데이터 형태	사용된 무선 채널 모델									
	TU3 (w/o FH)		TU3 (w FH)		TU50 (w/o FH)		TU50 (w FH)		RA250 (w/o FH)	
	결과값	규정값	결과값	규정값	결과값	규정값	결과값	규정값	결과값	규정값
FER	9.9	21 α	1.9	3 α	2.5	6 α	0.9	3 α	2.2	3 α
BER	1.79	4	2.88	8	2.58	8	2.68	8	3.89	8

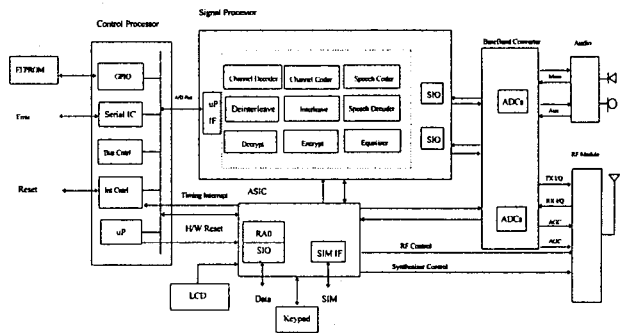
단 $1 \leq \alpha \leq 1.6$

FER : Frame Error Rate
 BER : Bit Error Rate
 w/o FH : without Frequency Hopping
 w FH : with Frequency Hopping
 AWGN : Additive white Gaussian noise channel

TU# : Typical Urban
 RA# : Rural Area
 HT# : Hilly Terrain
 # : 이동국의 이동속도(단위 : km/Hour)

3. Baseband 시스템 구조

앞에서 설명된 Baseband의 주요 알고리즘 블록들의 실제적인 블럭분할 및 구현방법(H/W 또는 S/W)은 사용되는 MSP(Mobile Signal Processor), CPU(Control Processor Unit)의 성능에 좌우된다. 그림 6에 보여진 Baseband Chipset의 내부연결 및 주요기능 분할블럭도에서와 같이, CPU에는 Protocol Layer-1/2/3 S/W, Peripheral 접속부, Interrupt Handler, bus Controller등이 포함되며, MSP에는 Speech Signal Processing, Time/Frequency Synchronization, Equalizer가 속해지는데, Channel Data Processing 즉, Error-Correction Coding/Decoding, Encryption/Decryption, Interleaving/De-Interleaving 등은 해당 프로세서의 수행 성능여력에 따라서 CPU와 MSP중 적절한 곳에 할당되지만, 각 기능블럭의



〈그림 6〉 Baseband chipset의 내부연결 및 주요기능

S/W Coding시 Multiplier가 많이 사용되는 블럭들은 일반적으로 MSP에 두는 것이 보다 효율적이다. 그리고 별도로 분리되어 있는 PCS 제어용 ASIC 블럭은 개발전략에 따라 CPU + ASIC 또는 MSP + ASIC으로 집적화 시킬 수도 있으며, 보다 완벽한 개발을 한다면, CPU, MSP, Baseband Converter, ASIC이 한 개의 Chip으로 고집적화 될 수도 있으나, 이때 총소요 Gate수는 70~100만 Gate의 Mixed-Signal VLSI Processor가 되기 때문에 고도의 설계 및 제조기술이 필요할 것이다.

4. 고성능 MSP 설계

본 절에서는 여러 방식의 PCS시스템에 공용으로 사용될 수 있는 고성능 MSP(40MIPS급)의 실제 설계예를 간략히 소개하고자 한다. 현재 RTL(Register Transfer Level)수준 설계가 완료된 MSP Core의 주요 특징은

- Dual MAC(Multiplier, 40bit Accumulator)
 - Single Cycle Parallel Double MAC
- 40bit ALU
- Vector Processing Optimization
- 4×40bit Accumulator Register File
- 8×16bit General Purpose Register/Pointer
- 8×8bit Point Modifier
- 32bit Instruction Word
- Single Cycle Signed Division Primitive
- Bit Manipulation Instruction
- 2-Level Nested Looping With Zero Overhead
- 2-Module Addressing Units
- Context Saving On Interrupts
- 2data Buses(2data Memory Accesses Per Chcle)
- 5Level Pipelining
- Addressing Mode
 - Memory Direct/Register Indirect/Register Direct Short Immldate(8bits)/Long Immediate(16bits)
 - Dedicated 7 Modifiers(for 7 Pointers)

– 2Circular Addressing Modules

등 PCS Baseband 신호처리 알고리즘 수행시 성능개선을 위한 다양한 특성들이 포함되어 있다. 특히 Parallel Processing 기술을 활용하여 N Tap, L Output Data의 FIR 경우 $L(N+5)/2$ 의 Instruction Cycle로 처리되며, 189bit Data에 대한 Convolutional Coding 실행시에는 79Instruction Cycle로 고속처리가 된다.

최종제작될 DSP core의 물리적 특성 목표치들로서 0.8um에 2LM-CMOS반도체공정에서 제조시 반도체칩의 추정점유 면적은 전체 15.4mm²로 예상되는데, 이를 세분하면, MAC 3.0, AMU ; 1.5, Register ; 1.5, PCU ; 2.0, MMU ; 3.0, Inter-Block Routing 요소 ; 1.4(단위 mm²)이 소요된다. 최종 사용 반도체공정은 0.5um, 3V, CMOS를 계획하고 있다. 설계시 각 단계별 사용CAD tool로는 Cadence, Synopsis, COMPASS를 각기 적절히 혼합사용하고 있다.

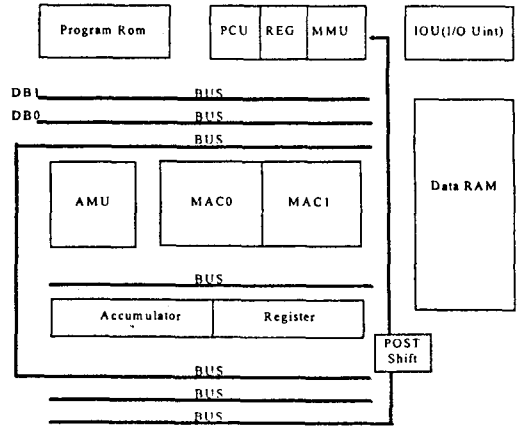
DSP Core의 전력소모제어를 위하여는 Gated Clock 개념을 사용하며, PCU, Data-Path Unit, AGU, MAC, AMU 등을 각기 제어할 수 있다. 또한 사용되는 대부분의 MUX 블럭에 Hold Mode Setting을 두어 불필요한 Switching 과형이 발생되지 않도록 설계한다. 그리고 버스가 사용되고 있지 않을 때는 낮은 임피던스 상태로 버스를 유지하기 위해 Bus Holder 회로를 돕으로서 전력소모를 야기시키는 불필요한 “Floating Bus” 상태가 없도록 한다.

Layout 이전에 Floor-Plan시에는 Off-Core Cell과 Data Bus, Block-Cell 등을 실제 실행 블럭 Unit들과 최대한 짧은 연결이 되도록 한다. 이는 실제 40Mhz급의 시스템 블럭과 미세선폭에서의 안정적 동작을 위해 필수적이다.

이 DSP Core 회로설계와 병행하여 실제 DSP Core를 사용하기 위한 Instruction Set, Simulator, Compiler, 개발지원 및 평가시스템 등도 개발되고 있다. 특히 Instruction Set은 각 블럭 Unit 즉, AMU, MAC, DMAC(Dual MAC), Compound, Program Control Flow, Status, Move, Poniter 등의 8개 종류로 나뉘어 제공된다. 특히

PCS 시스템의 복잡한 통신 신호처리 알고리즘의 Firmware 개발시 직접적인 성능개선을 위해서

- (1) AMU Instructions
 - Absolute Distance
 - Divide Two Operands
 - GF(2) Polynomial Division/Multiplication
 - Rotate
 - Round Accumulator
- (2) MAC Instructions
 - Multiply and Subtract
 - Square and Accumulate
- (3) DMAC Instructions
 - Multiply and Accumulate/Subtract
 - Dual Multiply and Accumulate/Subtract
- (4) Compound Instructions
 - Accumulate Squared/Absolute Distance
 - Dual Accumulate in MAC and Subtract with Shift and Maximun./Minimum
- (5) Program Flow Instructions
 - Branch(Delayde)
 - Call Subroutine(Delayed)
 - Software Trap
- (6) Status Instructions
 - Wait for Interrupt
- (7) Move Instructions
 - Dual Move



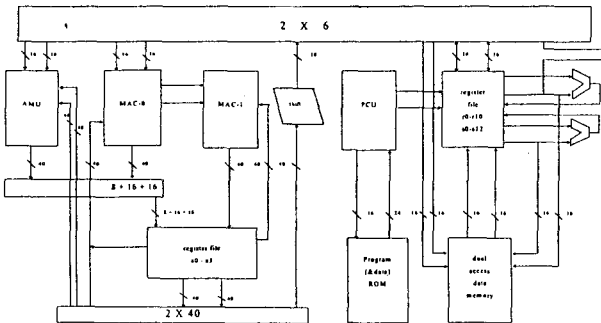
〈그림 8〉 DSP core의 Floor Plan 실예

- (8) Pointer Instructions
 - Pointer Modification

등의 일반 DSP Processor에서는 없는 특수 Instruction Set들을 부가시켰다.

V. 결 론

PCS시스템과 같은 정보통신용 시스템 Chipset 설계에서는 기존의 ASIC(Application Specific Integrated Circuit) 설계에서 처럼 논리회로의 설계기술에 시스템 핵심알고리즘의 구성과 처리기술 등의 세부적인 통신신호처리기술과 프로토콜처리 기술도 함께 파악되어야만 현실적인 ASSP설계가 가능하다. 따라서 Chipset 설계가 단순히 반도체 공정기술 및 제조나 ASIC의 용역설계부문에서 진행할 수 있는 기술개발이 아니며, 종합적인 PCS 통신시스템 및 통신신호처리의 각 블럭 설계기술과 VLSI 설계 경험을 요구하는 것이 바로 PCS 시스템 ASSP Chipset 설계기술의 필수적인 요구조건이다. 국내의 시스템 제조회사나 시스템개발 연구기관 등에서도 외국의 시스템 Chipset을 사용한 Firmware 개발에서 발전되어 시스템용 핵심 내부 기술을 FPGA나 ASSP로 구현하는 추세는 대단히 바람직한 연구개발이 아닐 수 없다. 그러나 여

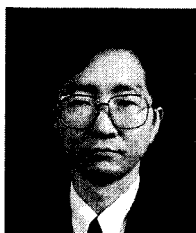


〈그림 7〉 MSP의 내부 구조

전히 이러한 핵심 시스템 ASSP Chipset이 계속적으로 진행되어 제품 생산에까지 이르지 못하고 있어, 국내에서 개발된 시스템 ASSP Chipset의 개발결과를 활용한 시스템 부문과 VLSI Chipset설계 부문간의 활발한 협력개발이 절실히 요청된다. 끝으로, PCS 시스템에 있어서도, 국내개발기술로

해외특허에 대한 대응기술들이 많이 적용된 ASSP chipset 및 그에 대한 알고리즘개발이 관련 연구자들의 성숙된 협력 및 분담개발체제에서 지속적으로 연구개발이 될 수 있도록 기반기술에 대한 지원이 계속되기를 바란다.

저자 소개



趙 威 德

1958年 11月 17日生

1981年 2月 서강대학교 전자공학과(학사) 졸업

1983年 2月 한국과학기술원 전기 및 전자공학과(석사) 졸업

1987年 2月 한국과학기술원 전기 및 전자공학과(박사) 졸업

1983年 3月~1990年 3月 금성전기(주)기술연구소 연구실장

1991年 4月~1991年 10月 생산기술연구원 HDTV연구단 선임연구원

1991年 11月~현재 전자부품종합기술연구소 통신기기연구팀 수석연구원

주관심분야 : 디지털통신 신호처리, 디지털이동통신시스템, 디지털통신용 시스템 Chipset 설계