

FED (Field Emission Display) 기술과 전망

李 鍾 德

서울대학교 電子工學科

權 相 直

暎園대학교 電子工學科

I. 서 론

1. 미세 진공관

‘진공 마이크로일렉트로닉스(vacuum microelectronics)’라는 기술용어는 1988년 미국의 Williamsburg에서 개최된 국제 학술회의인 제1회 IVMC(International Vacuum Microelectronics Conference)에서 처음으로 등장하였다. 이 용어는 ‘진공에서의 전자 전송에 기본을 둔 새로운 소자들과 관련된 기술을 연구하는 학문 분야’를 정의하며, 여기서는 종래의 고체소자 제조를 위하여 개발된 미세 제조기술을 진공소자의 제조에 응용하는 것이 핵심이 된다. 진공이란 것은 원래 전자 전송 매체로서 가장 이상적이기 때문에 이 분야에 대한 기술은 앞으로 급속한 발전을 거듭하여 혁신적인 소자들을 등장시킬 것으로 믿어진다.

진공 마이크로일렉트로닉스 소자들이 기존의 진공관 소자와 근본적으로 다른 점은 진공 속으로의 전자방출이 전계방출(field emission)에 의한 것이며 소자의 크기가 micron 단위로 극소화된다는 것이다. 전계방출에 관한 실험 연구는 Fowler-Nordheim 이론을 확립하기 위한 시도로서 1930년 경에 매우 활발하였고, 1968년 C. A. Spindt에 의해 원추형의 뾰족한 미세 금속 팁을 사용하면 전장이 증대되어 전자의 전계방출이 용이하다는 사실이 처음 입증되었다.^[1] 반도체와 같은 물질로 형성되는 고체소자와 비교해 볼 때, 진공 마이크로일렉트로닉스 소자들이 가지는 특성 <표 1 참조>^[2]은 전송 매질이 진공인 관계로 방사능이 발생하는 분위기 하에서나 비정상적인 온도 상황에서도 소자 수행 능력에 영향을 받지 않고 전달 속도도 엄청나게 빠르다는 것이다. 이와 같은 복합적인 특성들과 함께 종래의 반도체 IC와 같이 단일 실리콘 chip 상에 집적화시킬 수 있다는 점이 진공 마이크로일렉트로닉스 소자의 응용 범위를 넓힐 것으로 본다.

지금까지 연구된 바에 의하면 진공 마이크로일렉트로닉스 분야에서 예상되는 주된 응용 분야로서 평면 디스플레이(flat panel display), 고속 스위칭 소자, 마이크로파 발생기 및 증폭기, 電子源

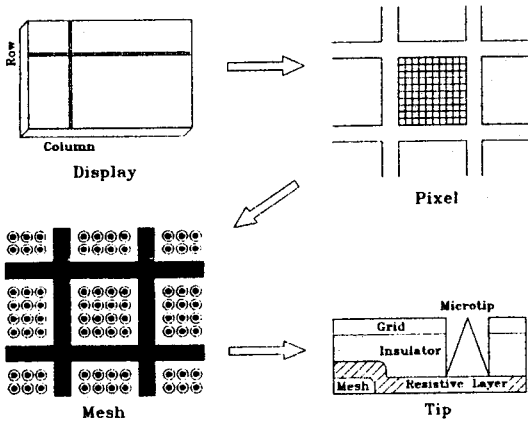
및 光源, 고감도의 센서 등이 있다. 현재 상용화 가능성이 가장 클 것으로 기대되는 응용 분야는 평면 디스플레이 분야와 고속소자 분야이며 특히 HDTV를 위한 디스플레이로서 그 유용성이 크게 기대되고 있다.^[3] 이 분야에 관련되는 제조기술이 바로 FED(Field Emission Display)이며, field emission cathode를 display로 구성하기 위한 구조적 개념을 그림 1에 나타내었다. 또한 FED에 관한 기술적 배경을 보다 구체적으로 소개하면 다음과 같다.

II. FED의 특성

1. 전계방출(Field Emission) 특성

진공속의 고체(금속 혹은 도체) 표면상에 약 $5 \times 10^7 \text{V/cm}$ 이상의 전계가 인가될 때 전자들이 고체로 부터 진공밖으로 양자역학적 터널링(tunneling)에 의해 나오게된다. 이때 발생하는 전류-전압 특성은 $I = a \cdot V^2 \cdot \exp(-b/V)$ 로 표현되는 Fowler-Nordheim 법칙에 의해 결정된다. 여기서 V는 인가전압, I는 방출전류이며 a 및 b는 도체의 일함수(work function), 방출면적 및 캐소드(cathode)의 기하학적 구조에 의해 결정되는 상수들이다. 이 식을 통해 볼 때 가능한 낮은 전압에서 높은 전류를 얻기 위해서는 일함수 값이 낮아야 하며 캐소드 팁 끝부분의 반경이 가능한 작아야 함을 알 수 있게 된다. 전형적인 Spindt형 캐소드에서와 같이 팁 끝부분의 반경이 250Å 이고 게이트와 캐소드 팁과의 간격이 6000Å 인 경우 게이트와 캐소드에 인가된 전압(V_G) 100V에 의해 팁당 약 $10\mu\text{A}$ 의 전류가 얻어질 수 있는 것으로 확인되었다. Process 개선을 통해서 100V 이하의 인가전압에서도 팁당 $100\mu\text{A}$ 정도의 전류가 얻어질 수 있는 것으로 알려져 있으며 이것이 가능할 경우 팁 집적도(packing density)를 10^7tips/cm^2 로 제조하게 되면 실제 이용가능한 전류밀도는 1000A/cm^2 가량된다. 이것은 과거 열전자 방출 진공소자에

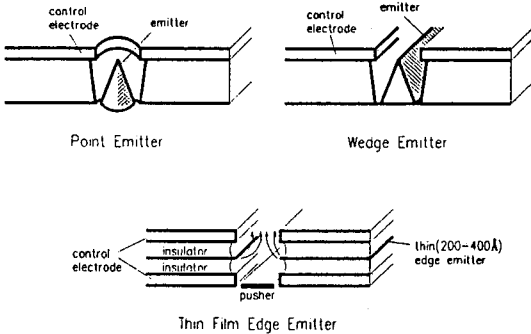
FED CATHODE STRUCTURE



〈그림 1〉 Field emitter를 display로 이용하기 위한 구조적 개념

〈표 1〉 진공 마이크로전자 소자와 반도체 소자의 성능(T : Theoretical expression, E : Experimental results).^[2]

| Device | Material | | g_m (mS/cm) | g_b or g_A (mS/cm) | C_{gs} (pF/cm) | f_T (GHz) | V_G (V) | V_D or V_A (V) | I_D or I_A (A/cm) | W (W/cm) | τ (s) |
|-----------------------------------|----------|-----|------------------|---------------------------|---------------------|----------------|--------------|-----------------------|--------------------------|---------------|-------------------------|
| MESFET | Si | (T) | 413.8 | 16.2 | 6.75 | 10.4 | 0.7 | 5 | 1 | 5 | |
| | | (E) | 465.0 | 74.6 | 7.5 | 9.9 | 0 | 5 | 0.8 | 4 | 6×10^{-12} |
| MESFET | GaAs | (T) | 1029.0 | 15.6 | 10.2 | 16.0 | 0 | 5 | 1.6 | 8 | |
| | | (E) | 700.0 | 3.0 | 5.0 | 22.3 | 0 | 5 | 1.9 | 9.5 | 6×10^{-12} |
| MESFET | InP | (T) | 1949.0 | 65.1 | 12.2 | 25.4 | 0 | 5 | 3.0 | 15 | |
| | | (E) | | | | | | | | | 5×10^{-12} |
| CO 1- μm gate width | GaAs | (E) | 65,600 | 12,000 | 47 | 93.1 | 0.7 | 1.5 | 56 | 74 | 0.9×10^{-12} |
| VFET (present) | Mo | (T) | 3.0 | 0 | 0.61 | 0.78 | 50 | 60 | 0.03 | 1.8 | less than 10^{-12} |
| | | (E) | | | | | | | | | |
| VFET (future) | | (T) | 300.0 | 0 | 0.15 | 100 | 10 | 20 | 3 | 60 | less than 10^{-12} |

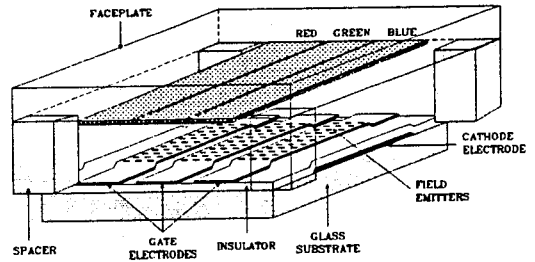


〈그림 2〉 여러가지 캐소드(cathode)의 형태

의해 얻어질 수 있는 전류밀도인 $0.5A/cm^2$ 에 비해 2000배 높고, 고체 소자(solid state device)의 $100A/cm^2$ 에 비해서도 10배 정도 높은 값이다. 이와 같이 이용할 수 있는 전류밀도가 높다는 것은 특히 HDTV와 같은 대형 디스플레이(display)에서 brightness를 좋게 유지시키는데 매우 중요하다. 이것은 전계 방출소자를 디스플레이에 적용하는데 아주 유리한 조건이 된다. 방출전류를 높이거나 동작전압을 낮추기 위해 지금까지 여러 형태의 캐소드 구조가 연구되어 왔는데 그 중 대표적인 세 가지를 들면 그림 2에서와 같이 원추(cone)형, wedge형 및 thin film edge형이 있으며 대표적인 Spindt 캐소드는 원추형에 속한다.

2. 여러 평판 디스플레이 기술들과의 특성비교

FED는 1986년 프랑스의 LETI사에 의해 처음 소개되었는데,^[4] 이것은 matrix array 형태로 구성된 미세 팁들로부터 전자들이 전계방출 되는 원리에 근거를 두며, 그림 3에서와 같이 matrix 형태로 address되는 캐소드 전극과 전계방출을 제어하기 위한 게이트 전극, 전자빔을 가시광선으로 전환시키는 cathodoluminescent phosphor가 코팅된 어노드와 약 10^{-7} torr 정도의 진공과 대기압 사이에서 어노드를 지지하는 지지대 등으로 구성된다. 이와 같은 FED가 미래의 디스플레이 기술로서 가지는 가장 이상적인 요인은 종래의 칼라 CRT(Cathode Ray Tube)의 모든 장점을 살리면서 부



〈그림 3〉 Matrix addressable color phosphor FED의 구성

피가 작고 무게가 가볍다는 것이다.

지금까지 가장 보편적으로 사용되고 있는 CRT는 성능 그 자체로서는 매우 우수한 디스플레이임에 틀림없다. 그러나 고광도(high brightness), 넓은 광 조절 범위(high dynamic range), 완전한 칼라, 우수한 색순도, 넓은 시야각(viewing angle), 높은 해상도 등을 가지면서도 제작이 간단하다는 특징을 지닌 CRT가 갖는 가장 치명적인 단점은 스크린의 크기가 증가할수록 부피나 무게가 비선형적으로 엄청나게 증가한다는 것이다. 이와 같은 취약점을 극복하고자 새로운 디스플레이 기술들이 등장해 왔으며 대표적인 것들로서 LCD(Liquid Crystal Display), ELD(Electroluminescent Display), PDP(Plasma Display Panel) 및 VFD(Vacuum Fluorescent Display) 등을 들 수 있다. 그러나 이 기술들은 이상적인 디스플레이가 요구하는 조건에 관해서서 각기 다음과 같은 근본적인 문제점들을 갖고 있다.^[5]

최초의 상용 가능한 평면 디스플레이 기술이었던 passive-matrix LCD(PMLCD)는, 인가된 전장에 의해 방향성이 결정되는 액정박막을 통해 편광된 빛이 통과하게 되므로 주변 광원으로부터의 방해물을 피하기 위해 별도로 높은 광도의 後光(backlight)을 필요로 한다. 특히 액정 물질은 반응속도가 느리다는 고유한 특성을 지니며, 시야각 및 온도, 압력의 변화에 따라 통과된 빛의 광도나 색이 민감하게 변한다는 문제점을 안고 있다.

오랫동안 연구되고 있는 active-matrix LCD (AMLCD)인 TFT-LCD의 경우, 각 색별로 필터가 요구되고 畫素마다 적어도 한 개 이상의 트랜지스터가 필요하므로 고해상도의 디스플레이를 위해서는 너무 많은 트랜지스터가 요구된다는 점과 적어도 한 개의 트랜지스터가 불량하면 디스플레이 기능을 상실하게 되고 제조 비용이 비싸며 품질 조절이 어렵고 수율이 낮다는 등의 단점이 있다. 이러한 AMLCD와의 기술 비교에 관해서는 다음 3절에서 보다 구체적으로 언급하였다.

또 ELD의 경우는 발광 효율이 특히 청색 파장 영역에서 낮으며 광도가 낮고 동작 범위가 좁으며 완전한 색을 얻기 어려울 뿐 아니라 구동 전압을 낮추기 위해 전극들을 근접시킬 경우 전극들 간의 높은 용량성 때문에 refresh rate가 낮아질 수 있다는 것 등의 문제점이 있다.

PDP의 경우는 광도를 높이기 위해서는 상당량의 가스가 필요하며 이것은 화소의 최소 크기 및 스크린의 최소 크기를 제한시키게 한다. 뿐만 아니라 발광이 화소로부터 3차원적으로 이루어지므로 비방향성(omnidirectional)출력 특성을 가져와 pixel 사이의 cross-talk를 유발하게 될 가능성이 있으며 이를 피하기 위해서는 해상도 및 동작 범위가 크게 낮아진다는 단점이 있다.

VFD의 경우는 전자源 전체가 항상 켜져야 하므로 전력효율이 크게 문제가 되며 특히 면적이 큰 디스플레이의 경우에 심각하다. 뿐만 아니라 고전압으로 가속된 전자들이 유황(sulfur)에 기초한 phosphor 물질에 부딪칠 때 발생하는 유황 성분이 포함된 가스는 캐소드를 부식시키는 요인이 된다.

이러한 문제점들을 거의 동시에 해결해 줄 수 있을 것으로 기대되는 디스플레이 형태가 바로 FED이다. 현재 FED가 갖는 일반적인 특징들을 열거하면, 첫째로 캐소드와 게이트가 동일한 기관 상에서 형성될 수 있어 구조가 간단하고, 둘째로 냉음극 방식이므로 전력 소모가 낮으며, 셋째로 두 유리판 사이에 내부적인 지지대를 사용함으로써 크기 제한을 받지 않으며, 넷째로 캐소드와 게이트 간의 matrix에 의한 multiplex addressing이 가능하다는 것이다. 그 외에도 고속 동작이 가능하며,

시야각이 크고, 고해상도, 고풍도 및 완전한 색 수행 능력 등의 장점들을 들 수 있다. 특히, LCD와 비교했을 때 갖는 장단점을 들면 다음과 같다. 먼저 FED가 LCD에 비해 갖는 단점으로서는 조도가 높을 때 콘트라스트가 낮고 제조 시 고진공 장비가 필요하며 전계방출이 물질의 표면 상태에 따라 아주 민감하다는 점 등을 들 수 있다. 그러나 LCD에 비해 갖는 장점들로서는 시야각, 속도, 사용 온도 범위 및 전력 소모 측면에서 우수하며 제조 시에 사진식각 작업이 적고 후광이나 편광판 등이 필요치 않으며 수직 driver의 수가 감소된다는 장점을 가진다. 그 외에도 점결함에 덜 민감하다는 측면에서 redundancy가 우수하며 마스크들 간에 registration의 정확도가 덜 요구된다는 이점을 가지고 있다. 최근의 연구 결과로서 6" 칼라 FED가 LETI에 의해 제시된 바 있는데 이것은 FED의 기술적 실현 가능성을 제시한 것이라 할 수 있다. 또한 LETI의 현재 계획에 의하면 1995년을 전후해서 10" 칼라 FED의 시제품을 개발할 예정이며, 1996년에는 12" 칼라 FED를 개발할 예정이다.^[6]

표 2에는 위에서 열거한 평면 디스플레이 기술을 그 특성에 따라 장단점을 비교하였다.

〈표 2〉 기존 평면 표시기 기술과 FED와의 비교표

| | LCD | ELD | PDP | VFD | FED |
|---------------|-----|-----|-----|-----|-----|
| Brightness | △ | × | × | × | ○ |
| Power | △ | × | × | × | ○ |
| Resolution | △ | ○ | × | × | ○ |
| Light source | × | ○ | ○ | ○ | ○ |
| Viewing angle | × | ○ | ○ | ○ | ○ |
| Color change | × | ○ | ○ | ○ | ○ |
| Color | ○ | × | ○ | ○ | ○ |
| Thickness | ○ | ○ | × | ○ | ○ |
| Speed | △ | × | △ | ○ | ○ |
| Temperature | △ | △ | ○ | × | ○ |
| Cost | × | × | × | ○ | ○ |

註 : ○ ; 우수함, △ ; 쓸만함, × ; 개선이 요구됨.

3. AMLCD와 FED의 비교

현재까지 家電, 産業電, 軍事電에서 사용되는 표시소자로는 LCD(특히 AMLCD) 기술이 가장 좋은 것으로 알려졌으며 특히 휴대용 제품시장에서는 절대적으로 압도하고 있다. 그러나 AMLCD 기술은 현재까지는 성공한 기술이긴 하지만 큰 전력소모, viewing 각도의 제한, 높은 생산비용 등의 단점을 해결하는데 따르는 발전속도가 대단히 느리다.

전력소모면에서 본다면 LCD는 CRT나 FED와는 달리 광원에서 나온 빛이 diffuser, polarizer, liquid crystal, color filter 그리고 다시 polarizer를 거쳐 눈에 들어오게 된다. Pixel의 aperture가 열리는 정도는 스위치에 의한 전압 modulation에 의하여 이루어지며 이 전압은 저장 capacitor에 의하여 liquid crystal에 걸린다. 빛이 여러 투과 단계를 거치는 동안 광원에서 나오는 빛의 대부분을 잃어버리고 약 4% 정도만이 우리 눈으로 들어 오게되어 전체적인 빛의 효율이 1~2lm/W 정도에 불과하다. 따라서 빛의 저효율이 전력소모의 원인이 되며 이것은 LCD 전체 전력소모의 80~90%에 이르게된다. 10" 기준으로 single tube LCD인 경우 3~4W, double tube인 경우 약 6~8W 정도가 소모된다. Double tube가 필요한 것은 10" 이상의 대형 panel에서 적절한 광도와 균일성을 얻기 위함이다. 여기에 비하여 FED에서는 10" 기준으로 3~4배 적은 전력소모가 예상된다. FED에서는 빛의 광도는 anode voltage, phosphor 효율에 따라서 좌우되나 LETI에서는 intrinsic phosphor 발광효율이 12lm/W라고 보고하였으며 이를 기준으로 스크린 효율을 계산하면 R.G.B에 대하여 400V의 anode 전압에서 300Cd/m²의 광도와 4lm/W의 효율이 되며 anode 전압이 800V, 3000V로됨에 따라 6lm/W와 500Cd/m², 10lm/W와 1000Cd/m²의 효율과 광도를 얻게 된다.

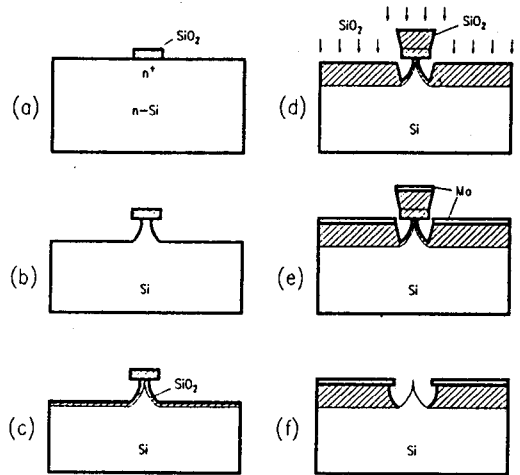
생산가에 주로 관계되는 것이 수율문제일 것이다. 또 수율은 분해능과 직접 관계가 있다. Color VGA, XGA로 분해능이 개선됨에 따라 같은 크기의 panel에서 TFT의 숫자는 1,440,000개, 2,359,296개로 각각 늘어나야 하며 따라서 AMLCD 기

술은 VGA, XGA 등의 고분해능 panel에서는 적용되기 어려우며, 특히 대형 panel을 위한 기술이 아님이 입증되고 있다.

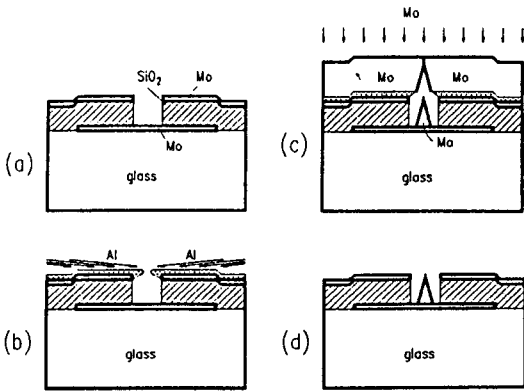
FED에서는 pixel의 크기가 0.3mm×0.3mm에서 팁수가 2,000~20,000 정도이며 90% 팁이 동작하지 않아도 수율에 영향을 주지 않을 정도로 redundancy가 우수하고 pixel의 크기를 줄이는 것이 문제가 되지않아 XGA 같은 고분해 panel을 만드는 것이 VGA에 비하여 크게 어려울 것이 없다고 하겠으며 100%에 가까운 수율을 얻을 수 있을 것으로 기대된다.

III. FED의 제조방법 및 측정

전계방출소자를 제조하는 기술은 크게 두 가지 형태로 분류할 수 있다. 캐소드 팁의 물질에 따라 실리콘 반도체를 이용하는 경우와 금속(주로 Mo)을 이용하는 경우로 나눌 수 있는데 이에 따른 제작과정은 그림 4와 그림 5에 각각 나타나 있다.



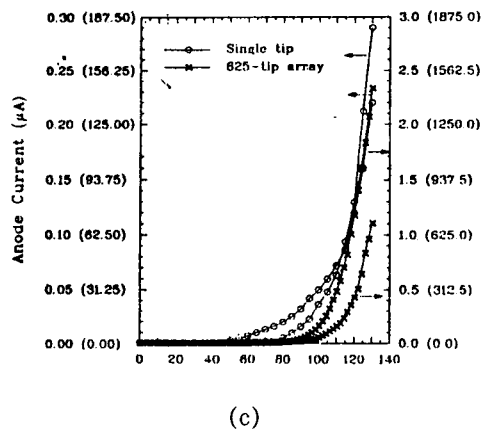
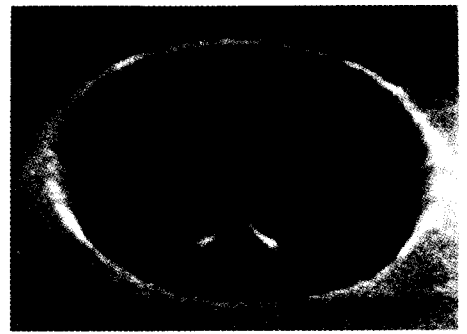
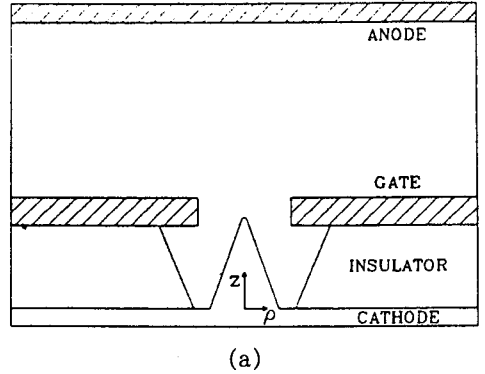
〈그림 4〉 Si 팁의 제작 순서 (a)Tip mask, (b)RIE, (c)Sharpening oxidation, (d)Oxide evaporation, (e)Mo evaporation 및 (f)Lift-off



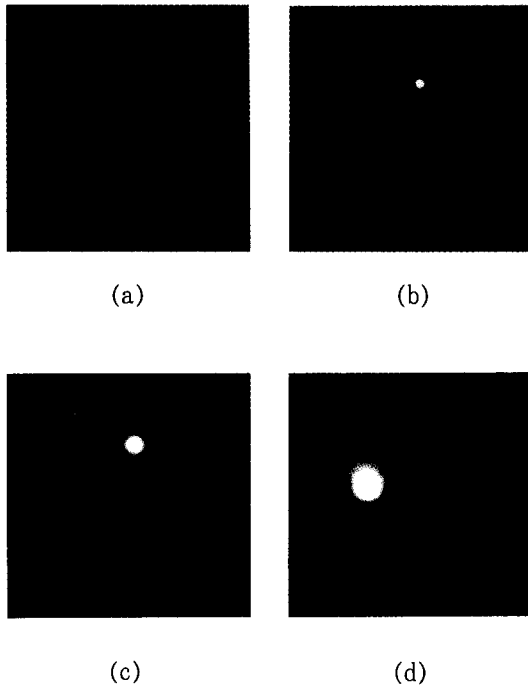
〈그림 5〉 금속(Mo) 팁의 제작 순서 (a)Hole patterning, (b)Al evaporation, (c)Mo evaporation 및 (d)Lift-off

실리콘 팁의 경우는 그림 4(b)의 Si RIE 식각 후 (c)의 sharpening oxidation 단계가 매우 중요하다. 왜냐하면 이 단계에서 팁 끝의 반경이 결정되기 때문이다. 금속 팁의 경우는 그림 5(b) 단계에서 Al의 parting layer를 증착시키는 과정과 (c)의 Mo 증착과정이 또한 매우 중요하다. 즉 Al parting layer의 증착단계에서 hole 직경이 $0.3\mu\text{m}$ 이내로 조절되어야 Mo 팁의 반경을 매우 작게 유지시킬 수 있기 때문이다.

실리콘 팁의 제작방법을 통해 만들어진 전계방출 소자의 전류-전압특성을 그림 6에서와 같이 측정해 보았다. 팁 물질은 n⁺형 실리콘이며 팁 끝의 반경은 약 400Å 이었고 팁과 게이트와의 간격은 약 $0.8\mu\text{m}$ 정도였다. 측정은 한개의 Si 팁과 625개로 구성된 하나의 pixel에 대해 이루어졌는데 게이트 전압 100V에서 각각 $0.04\mu\text{A}$ 와 $11.3\mu\text{A}$ 정도의 방출전류가 얻어졌으며 이는 두 경우 전류비가 약 284배로서 팁 갯수비(625배)와 동일하지 않음을 보여준다. 이는 공정 균일도의 개선을 통해 비슷한 수준으로 유지될 수 있을 것으로 생각한다. 이때 동시에 측정된 게이트-캐소드 간 누설전류는 하나의 pixel에 대해 31.3mA로서 방출전류의 0.2%에 해당하는 것으로서 거의 무시될 수 있다.



〈그림 6〉 제작된 실리콘 팁의 전류-전압 특성 곡선 (a)Field emitter의 구조, (b)ISRC에서 제조된 미세 팁과 게이트의 사진 및, (c) 제작된 실리콘 팁의 전류-전압 특성 곡선



(그림 7) Si 팁의 발광특성 (a) $V_g=56V$, $I_a=3.0nA$,
(b) $V_g=65V$, $I_a=30nA$, (c) $76V$, $I_a=0.3\mu A$,
(d) $V_g=90V$, $I_a=3.0\mu A$

그림 7은 pixel 상의 약 2mm 정도 떨어진 거리에 형광물질이 코팅된 anode 전극을 두고 발광특성을 본 것이다. 측정결과 게이트-캐소드 간의 전압을 56V에서 90V까지 조절함에 따라 발광정도가 거의 지수적으로 변화하는 것으로 나타났다.

그러나 이와 같은 전계방출 소자가 디스플레이 기술로서 상업화 되려면 해결되어야 할 과제들이 아직 남아있다. 그 중에서도 넓은 면적에 걸쳐 신뢰성이 높고 재현성이 있는 팁들의 제조기술과 고진공 패키징(packaging) 기술이 매우 중요하다. 이것은 특히 디스플레이 panel의 수명(life time)과도 직접적인 연관성이 있기 때문이다. 현재까지 개발된 것 중에서 상용화 가능성이 가장 클 것으로 기대되는 형태의 FED 제원을 실례로 들면 다음과 같으며 이는 1994년 PIXEL에 의해 발표된 것이다.

• PIXEL : 6" Color Display Demonstration

| ITEM | SPECIFICATION |
|---------------------------------------|--|
| Active Area | 122×91mm ² (6" diagonal) |
| Number of Lines/Columns | 288×352 |
| Pixel Size | 336 μ m×315 μ m |
| Tip Density | 2.5×10 ⁴ /mm ² |
| Anode-Cathode Spacing | 200 μ m |
| Cathode-Gate Voltage | 80Volt |
| Cathode-Anode Voltage | 360Volt |
| Brightness | 100Cd/m ² |
| Gray Scale | 3bits/color |
| Intrinsic Contrast | 60/1 |
| Response Time | <2 μ s |
| Lifetime | >10,000hr |
| Average Power Consumption (Screen) | <1.7Watts |

IV. 국내의 현황

진공 마이크로일렉트로닉스 분야를 연구하고 있는 나라들로 미국, 소련, 유럽 여러 나라 및 일본 등을 들 수 있으며, 아시아에서는 중국에 이어 대만도 연구개발에 참여하고 있다. 국내에서는 서울대학교 반도체 공동 연구소(ISRC)와 삼성 종합 기술원이 92년부터 연구를 수행하고 있으며 94년부터 한국정보통신(주)도 연구에 참여하게 되었지만, 아직 기본소자의 제작 및 특성 연구를 하고 있는 단계이다. 주요 국가별 연구기관 및 연구 현황을 보면 표 3과 같다.

앞서 기술한 바와 같이 진공 마이크로일렉트로닉스 분야의 학문적 연구는 1988년 제1회 IVMC를 기점으로 표면화되기 시작했다. 그 이후로 IEDM(International Electron Device Meeting) 및 IEEE Trans. on Electron Device와 같은 잡지에서도 진공 마이크로일렉트로닉스 분야를 새로운 학문 분야로 다루기 시작했다 표 4는 92년도, 93년도 및 94년도에 개최된 IVMC에서의 주요 국가별 논문 발표 현황을 나타내고 있다.

(표 3) 국의 주요 연구기관 및 연구현황

| 국 가 | 연 구 기 관 | | | 연 구 현 황 |
|------|---|--|---|--|
| | 학 교 | 연 구 소 | 기 업 | |
| 미 국 | MIT, NCSU, Pen.State Univ., NJIT, Berkeley, Cornell Univ., Texas A & M, Columbia Univ., Northeastern Univ., MSU | NRL, SRI, MCNC, Sandia | Hughes, Amoco, Varian, MCC, FED, Coloray, SI Diamond, Micron Display Tech., TI, Raytheon, Silicon Video, Litton, Motorola | MCC : 12companies, diamond tip 개발, '96 생산 목표, \$50M line 설립 Hughes, Litton, Varian : μ -wave device 제작 및 simulation |
| 프랑스 | | LETI-CEA | Pixel-International | LETI : 6" full color demo., 10"와 12" 개발 중 Pixel : LETI로부터 20년간 licensing |
| 일 본 | Tohoku Univ., Shizuoka Univ., Tokyo Univ., Osaka Univ. | Electro-technical Lab., Tsukuba | Fujitsu, Sharp, Toshiba, NEC, Yokogawa, Futaba | 15개 R&D group 설립 : tip sharpness, tip 물질 개발 및 응용에 관한 중점 연구 Fujitsu : 19.2mm \times 9.6mm, 64 \times 32 pixel display panel 개발 |
| 러시아 | Russian Science and Academy, Saratov Univ. | Krasnoyarsk Ins., Volga Ins., ISTOK Ins. | R&P Corp., Laminar | tip 구조 개발, 물질 연구, 이론 연구 및 응용 개발에 치중 |
| 독 일 | | | Siemens AG. | 기초 연구 및 GaAs FED 개발 연구 |
| 영 국 | Oxford Univ., Greenwich | | | 기초 연구 및 phosphor 개발 연구 |
| 네덜란드 | | | Philips Res. Lab. | 기초 연구 및 물질 연구 |

(표 4) 국가·년도별 IVMC 학회 발표 논문수

| 국 가 명 | '92년도 | '93년도 | '94년도 |
|----------|-------|-------|-------|
| CHINA | 4 | 3 | 8 |
| FRANCE | 1 | 2 | 7 |
| GERMANY | 3 | 2 | 7 |
| JAPAN | 6 | 6 | 12 |
| KOREA | 0 | 1 | 3 |
| RUSSIA | 23 | 25 | 48 |
| U. K. | 3 | 7 | 7 |
| UKRAINE | 2 | 5 | 6 |
| U. S. A. | 38 | 51 | 42 |
| 기타 | 3 | 5 | 7 |
| TOTAL | 88 | 101 | 147 |

비록 8년 정도의 짧은 연륜이지만 이제는 더 이상 엔지니어링 문제가 아니며 생산 기술 문제라는 말이 학회의 토론회에서 공언되고 있으며, 기업들이 많은 투자를 하여 상업화에 박차를 가하고 있기

때문에 논문 발표를 꺼리고 기술 축적에 힘쓰고 있다. 특히 프랑스가 그들이 세계 어느 기구보다 기술 수준에서 18개월 정도 앞서 있다고 공언하면서도 이렇다할 논문은 발표하지 않고 있는 사실을 간과해서는 안되겠다. 또한 LETI가 미국의 TI, Raytheon 및 일본의 Futaba에 기술을 양도한데 그치지 않고 이들이 연합하여 TI는 구동회로, Raytheon과 Futaba는 phosphor 물질을 연구하고 있다. ARPA가 지원하는 미국은 다이아몬드로 다이오드형 화소로 구성된 1" 디스플레이를 만들어서 보고한 바 있다. 미국은 진공 마이크로일렉트로닉스 분야에 관한 정부 차원의 연구개발에 있어서 국가와 기업간에 50 : 50으로 하고 있으며 국립연구소와 학교에 대해서도 막대한 지원을 함으로써 기술에 각별한 관심을 표시하고 있다. 기술이란 어느 것이 우세한 것인 가도 중요하지만 누가 어떻게 이끌어 가느냐 하는 것이 성패를 좌우한다는 사실을 잊어

서는 안되겠다.

VI. 결 론

V. 연구과제

2000년경에는 평면 표시기 시장규모가 200억불을 넘을 것이 예상되고 있어 기술별, 국가별 경쟁이 치열할 것으로 예상된다. 한국도 표 3과 표 4에서 보는 바와 같이 시작은 늦게 하였으나, 앞서가는 나라들이 기관의 종류, 팁의 재료, 팁 만드는 방법, 패키징 기술, 구동 방법, 칼라 phosphor의 개발 등의 분야에서 생산을 위한 기술을 확립하고 있지 않으므로 우리도 좋은 연구를 하면 우리의 기술로 FED를 생산할 수 있는 계기를 마련할 수 있는 것으로 판단된다.^[7~10]

이론적인 측면에서 1900년대 초에 나온 Fowler-Nordheim 이론을 대치 또는 개선하려는 노력이 금속 팁과 반도체인 실리콘에서 방출되는 전자에 관하여 행하여져야 할 것이다. 또한 이들 팁에 산화막이나 흡착물이 있는 것을 고려할 수 있는 모델을 만들어 계산하여야 할 것이다.

팁의 형성에 있어서 투사형에 쓸 수 있는 고밀 화소를 가지는 소형 판넬은 단결정 실리콘으로, 10" 이상의 대형 판넬에는 유리 기판에 금속 팁이나 비정질 또는 다결정 실리콘 팁을 쓰는 것이 유리하지만 아직은 연구할 과제이며 특히 성능이 균일한 팁 어레이를 만드는 것은 아직도 숙제로 남아 있다.

팁의 내구성도 문제가 된다. Phosphor의 outgassing을 줄이고 팁의 열화를 막는 방법을 생각해야 할 것이며, 10^{-6} torr 정도에서 발광이 쉽게 되어야 sealing의 어려움을 덜어주고 소자의 수명이 사양에 맞게 될 것이다.

특히 저전압(400V 이하)에서 발광이 되는 칼라 phosphor는 이를 구성하는 물질의 순도를 높이며 phosphor 박막의 dead layer를 줄여 발광 효율을 높여야 되는데 결국 물질의 순도를 높이기 위하여 어떻게 값싼 공정을 개발하느냐 하는 것이 관건이 될 것이다.

지난해(94년) 9월 경에 방한한 바 있는, 1968년에 금속 팁을 최초로 만들어 전자 방출을 성공한 SRI의 Spindt 박사와 고속 마이크로파 소자, FED 소자를 실리콘으로 만드는 연구를 오랫동안 해온 NRL의 Gray 박사의 초청 강연을 통하여 FED가 한국에 많이 알려지게 되었으며 이를 계기로, 산·학·연에서 연구의 시작을 서두르고 있는 것은 대단히 바람직한 일이라 하겠다. 이제 국내에서도 FED 연구의 필요성과 시급성을 인식하고 연구비를 투입하여 생산 기술을 개발하여야 하며, 이것만은 우리의 기술로 생산하는 실례를 만들었으면 하는 것이 필자의 바람이다. 산업체에서도 "기술을 사와서 만들어 팔자"는 안일한 생각은 이제 하지 않았으면 한다.

참 고 문 헌

- [1] C. A. Spindt, I. Brodie, L. Humphrey and E. R. Westerberg, "Physical Properties of Thin Film Field Emission Cathode with Molybdenum Cones", *J. Appl. Physics*, Vol. 47, No.12, Dec. 1976.
- [2] I. Brodie and P. R. Schwoebel, "Vacuum Microelectronic Devices", *Proc. of IEEE*, Vol.82, No.7, July 1994.
- [3] Takao Utsumi, "Vacuum Microelectronics: What's New and Exciting", *IEEE Trans. on Electron Devices*, Vo.38, No.10, p.2276, Oct. 1991.
- [4] R. Meyer, A. Ghis, Ph, Rambaud, F. Muller, "Microtips Fluorescent Display", *Japan Display 86*, p.513.
- [5] H. F. Gray, "The Field-Emitter Display", *SID '93*, Vo. 9, No.3, p.9, March 1993.
- [6] R. Isnard, "PIXEL International, The

Field Emission Display Company”, IVMC “94, Grenoble, France, July, 1994.

- [7] Ho Young Ahn, Chun Gyoo Lee, and Jong Duk Lee, “Numerical Analysis on the Emission of Spindt-type Field Emitter including the Influence of Insulating Layer”, 1994 IVMC, Grenoble, France, p.151, July 4~7, 1994.
- [8] Hyung Soo Uh, Nam Shin Park, and Jong Duk Lee, “New Fabrication Method of Silicon Field Emitter Array using Pure Ther-

mal Oxide”, 1994 IVMC, Grenoble, France, p.386, July 4~7, 1994.

- [9] Sung Ho Jo, Sang Jik Kwon, and Jong Duk Lee, “A New Cathode for Vacuum Microelectronic Devices : Silicon Tip Avalanche Cathode”, 1994 IEDM, San Francisco, CA, p.31, Sec. 11~14, 1994.
- [10] T.Petrovich, “Industry Trends Favor Low Power Densit”, Electronic Design, p.95, Jan. 1995.

저 자 소 개



李 鍾 德

1966년 서울대학교 문리대 물리학과(이학사)
 1968년~1970년 서울대학교 공과대학 응용물리학과(조교)
 1970년~1975년 미국 University of North Carolina at Chapel Hill (조교, 연구원)

1975년
 1975년~1978년
 1978년~1983년
 1985년~1989년
 1983년~현재

미국 University of North Carolina at Chapel Hill 물리학과(이학박사)
 경북대학교 공과대학 전자공학과(조교수)
 한국전자기술연구소(책임연구원, 연구부장)
 서울대학교 반도체공동연구소(연구부장, 소장)
 서울대학교 공과대학 전자공학과(부교수, 교수)



權 相 直

1982년 경북대학교 공과대학 전자공학과(공학사)
 1983년~1988년 한국전자통신연구소(연구원)
 1985년 경북대학교 공과대학 전자공학과(공학석사)
 1988년~1992년 서울대학교 반도체공동연구소(연구원)

1991년
 1992년~현재

서울대학교 공과대학 전자공학과(공학박사)
 경원대학교 공과대학 전자공학과(조교수)