

<연구논문>

W-Polycide 게이트 구조에서 텅스텐 실리사이드 증착 방법에 따른 게이트 산화막의 내압 특성

정희환 · 정관수

경희대학교 전자공학과
(1995년 7월 13일 접수)

Breakdown Characteristics of Gate Oxide with W-Silicide Deposition Methodes of W-Polycide Gate Structures

Hoi Hwan Chung and Kwan Soo Chung

Department of Electronic Engineering, Kyunghee University,
Suwon 449-900, Korea
(Received July 13, 1995)

요 약 - 습식 분위기로 성장한 게이트 산화막 위에 다결정 실리콘(poly-Si)과 텅스텐 폴리사이드(WSi_x/poly-Si) 게이트 전극을 형성하여 제작한 금속-산화물-반도체(metal-oxide-semiconductor : MOS)의 전기적 특성을 순간 절연파괴(time zero dielectric breakdown : TZDB)로 평가하였다. 텅스텐 폴리사이드 게이트 전극에 따른 게이트 산화막의 평균 파괴전계는 다결정 실리콘 전극보다 1.93 MV/cm 정도 낮았다. 텅스텐 폴리사이드 게이트 전극에서 게이트 산화막의 B mode(1~8 MV/cm) 불량률은 dry O₂ 분위기에서 열처리함으로써 증가하였다. 이것은 열처리함으로써 게이트 산화막에 불소(fluorine)의 확산에 기인하였다. Dichlorosilane(SiH₂Cl₂) 환원에 의한 텅스텐 폴리사이드 게이트 전극이 silane(SiH₄)에 의한 것보다 B mode 불량률이 감소하였다. 그것은 dichlorosilane 환원에 의한 텅스텐 실리사이드내의 불소 농도가 silane에 의한 것보다 낮기 때문이다.

Abstract - The electrical characteristics of metal-oxide-semiconductor(MOS) fabricated by polysilicon and tungsten polycide(WSi_x/polysilicon) gate electrodes onto gate oxide grown by wet ambients were evaluated by time zero dielectric breakdown(TZDB). The average breakdown field of the gate oxides with tungsten polycide gate electrode was 1.93 MV/cm lower than that of the polysilicon gate electrode. The B mode(1~8 MV/cm) failure of the gate oxides with tungsten polycide gate electrode was decreased by annealing in dry O₂ ambient. This is attributed to fluorine diffusion in the gate oxide by annealing. The B mode failure of the tungsten polycide gate electrode by dichlorosilane(SiH₂Cl₂) reduction was higher than that of the silane(SiH₄) reduction. It is found that the fluorine concentration in the tungsten silicide film by dichlorosilane was lower than that of the silane reduction.

1. 서 론

반도체 소자의 게이트 전극 및 배선재료로서 다결정 실리콘(polysilicon)이 널리 사용되어 왔으나 최근 집적도가 증가함에 따라서 다결정 실리콘은 불순물의 주입으로 전기전도도를 증가시키더라도 자체 비저항($\leq 500 \mu\Omega \cdot \text{cm}$) 값이 높아 회로의 동작 속도에 문제가 되

었다[1].

따라서 새로운 게이트 전극 및 배선 재료로서 다결정 실리콘보다 낮은 저항의 W, Ti, Ta, Mo 등의 내화물 금속이나 내화물 금속 실리사이드에 대한 연구가 진행되고 있다. 내화물 금속 실리사이드는 높은 전기전도도, 고온 안정성, 고해상력을 갖기 때문에 패턴이 용이하고, 화학적 반응에 저항력이 강하여 전기적 안정성이 높고,

Si와의 낮은 접촉 저항 등의 장점을 가지고 있다[2, 3]. 내화물 금속 실리사이드 중에서 텅스텐 실리사이드(tungsten silicide)는 LPCVD(low pressure CVD) 방법이 개발되어 step coverage면에서 뛰어난 특성을 나타내고, 방사선 피해(radiation damage)를 줄일 수 있다. 또한, SiO₂와의 접착력(adhesion) 특성도 매우 양호하고, 두께와 조성의 균일성이 우수하며 불순물이 적게 함유된 텅스텐 실리사이드를 대량으로 증착시킬 수 있다[4, 5].

집적회로에서 불순물을 주입한 다결정 실리콘에 내화물 금속 실리사이드를 적층한 폴리사이드(polycide) 구조가 Si를 사용한 게이트 공정의 장점을 유지하면서 낮은 비저항을 나타내므로 게이트 전극에 활발히 사용하고 있다. 폴리사이드 구조를 게이트 전극으로 사용할 경우 전기 저항을 낮추기 위하여 열처리를 함으로써 실리사이드와 다결정 실리콘층의 불순물 확산과 축적 및 상실(out-diffusion)이 발생하고, 게이트 내압의 열화에 영향을 미치는 것으로 보고되고 있다[6~8].

본 연구에서는 다결정 실리콘 게이트 전극에 따른 게이트 산화막의 내압 특성을 평가하였고, 텅스텐 폴리사이드(WSi_x/poly-Si) 구조를 MOS 게이트 전극으로 사용한 경우에 텅스텐 실리사이드막의 형성 방법과 열처리에 따른 게이트 산화막의 내압 특성을 평가하였으며 불순물의 재분포는 SIMS를 통하여 분석하였다.

2. 실험방법

2.1. 시편 제작

본 실험에서 사용된 시료는 다음과 같은 공정 순서에 의해서 Fig. 1과 같이 제작하였다.

시편 제작을 위해 사용된 반도체 기판은 결정면이 (100)이고 비저항이 3~7 Ω·cm인 직경 6인치 P형 실리콘 웨이퍼이다.

각 시편은 표준 세정공정을 거친 후 열산화법으로 습식 산화막을 900℃에서 각각 160Å 성장하였다. 다결정 실리콘 게이트 전극은 LPCVD법으로 620℃에서 SiH₄을 열분해하여 3000Å 증착하였고, POCl₃을 이용하여 인(phosphorus)을 확산하였다. 이 때 다결정 실리콘의 면저항은 12 Ω/□이었다. 텅스텐 폴리사이드 게이트 전극은 다결정 실리콘(poly-Si)을 1000Å 증착한 후에 950℃에서 POCl₃을 이용하여 인을 확산하였다. 이 때 다결정 실리콘의 면저항은 55 Ω/□이었다. 자연 산화물을 100 : 1HF 용액에서 100초 동안 dipping시켜 제거한 후

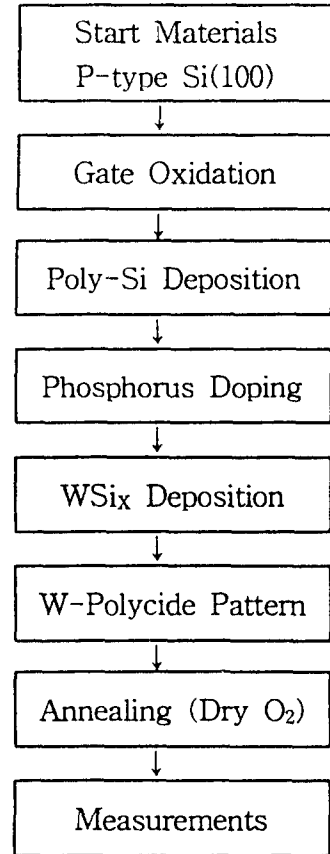


Fig. 1. Sample process sequence.

에 LPCVD 방법으로 WF₆ 가스와 silane(SiH₄) 및 dichlorosilane(DCS : SiH₂Cl₂)을 이용하여 텅스텐 실리사이드(WSi₂)막을 2000Å 증착하였다. 이 때 온도와 압력은 각각 360℃, 200 mTorr이었다. 각 시료의 전극은 PR mask 과정을 거친 후 식각하여 캐패시터 영역을 정의하였는데 이 때 면적은 100×100 μm²이었다.

2.2. 측 정

면저항 값은 4-point probe로 측정하였고, 열처리에 따른 게이트 산화막 두께는 LCR meter(HP 4275)를 사용하여 고주파 C-V 방법으로 측정하였다. 게이트 전극에 따른 산화막의 내압 특성은 semiconductor parameter analyzer(HP 4145B)를 사용하여 전압을 증가시켜 전류가 10 μA일 때 순간 절연과파(time zero dielectric breakdown : TZDB)로 규정하였다. 불순물의 재분포 현상은 SIMS(secondary ion mass spectroscopy)로 관찰하였다.

3. 결과 및 고찰

3.1. 파괴 메카니즘(Breakdown Mechanism)

순간 절연파괴(TZDB)는 게이트 산화막 특성평가의 효과적인 방법의 하나이다. 이것은 짧은 시간에 데이터를 얻을 수 있는 잇점이 있다. TZDB의 메카니즘은 주로 공정에서 생성되는 결함(defect)에 기인된다고 보고되고 있다[9, 10].

결함은 산화막이 성장될 때 산화막과 bulk 실리콘과의 계면, 산화막내에 불순물 첨가, 불균일성등에 기인된 weak oxide 영역이 생성된 것을 말한다. 이 weak oxide에서 국소적인 전자장이 몰리게 될 때 전류는 급격하게 증가되어 절연파괴 현상이 일어난다.

일반적으로 산화막의 내압 분포는 pinhole 등에 의하여 절연 파괴가 일어나는 A mode(0~1 MV/cm), weak spot 의한 B mode(1~8 MV/cm)와 결함이 없는 C mode(8~10 MV/cm)로 분류된다. A mode가 주로 VLSI의 수율(yield)를 나타내고, B mode는 신뢰성을 저하시키는 큰 원인이 된다. 또한, C mode는 그 막의 사용한계를 나타낸다.

3.2. SiH₄를 이용한 W-polycide 전극의 절연 파괴 특성

Fig. 2는 다결정 실리콘과 텅스텐 폴리사이드를 게이트 전극으로 사용한 경우의 전류-전압 특성을 나타내었다.

다결정 실리콘과 텅스텐 폴리사이드 게이트에서 전압이 15 V에서 누설전류(leak current)가 각각 1 μ A와 0.001 μ A이었다. 두 게이트 전극에서 누설전류의 차이가 크게 나타났다. 이것은 다결정 실리콘 게이트 전극은 전기적 특성을 좋게하기 위하여 다결정 실리콘에 POCl₃을 이용하여 인(P)을 고 농도로 도핑(doping)하기 때문에 poly-Si/SiO₂ 계면에 pile-up된 P 이온이 게이트 산화막의 Si와 반응하여 부피가 증가하여 poly-Si/SiO₂ 계면이 거칠어졌기 때문이다[11].

다결정 실리콘에 인 도핑 레벨을 달리한 텅스텐 폴리사이드 구조에서 900°C 이상 열처리하면 전기 저항의 차이가 거의 없고, 일반적으로 양상 공정에서 다결정 실리콘 전극에 비해 매우 적게 도핑한다. 또한, 열처리하는 동안 P는 외향 확산(out-diffusion)[6]이 되기 때문에 게이트 산화막 열화에 영향을 미치지 않을 것이다.

텅스텐 실리사이드(WSi_x)막은 원료 가스로 SiH₄+WF₆를 사용하기 때문에 WF₆에서 분해된 F는 열처리를 하는 동안에 게이트 산화막으로 확산되어 산화막내의

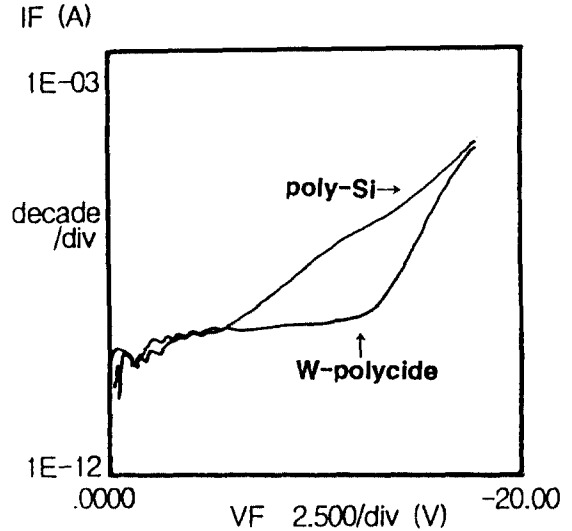


Fig. 2. I-V characteristics for poly-Si and W-polycide gate electrodes.

산소(O) 원자보다는 Si 원자와 화학적으로 결합한다. Wright 등은 F는 Si/SiO₂ 계면에서 탱글링 본드(dangling bond)와 결합하고, 게이트 산화막내의 약한 결합(weak bond) 부분과 결합한다는 두 단계 메카니즘을 제안하였다[13]. 계면 영역에서 포화(saturation)된 후 F는 게이트 산화막 bulk에서 산소 원자와 다음과 같이 치환된다.



F와 치환된 산소(O)는 poly-Si/SiO₂와 Si/SiO₂ 계면으로 확산하여 게이트 산화막의 두께가 증가될 것이다. 또한, 확산하는 F의 농도가 적을 경우에는 계면 특성을 향상시키는 반면, F의 농도가 많을수록 게이트 산화막의 두께는 증가하고 산화막의 내압은 열화될 것이다.

Fig. 3은 다결정 실리콘과 텅스텐 폴리사이드를 게이트 전극으로 사용한 경우의 내압 분포를 histogram으로 나타내었다. Fig. 3(a)는 다결정 실리콘을 900°C에서 30분 동안 열처리하였다. Fig. 3(b)와 (c)는 텅스텐 실리사이드막의 원료 가스로 SiH₄+WF₆를 이용한 텅스텐 폴리사이드막을 각각 열처리 하지 않은 텅스텐 폴리사이드 게이트 전극과 dry O₂ 분위기에서 900°C, 30분 동안 열처리한 텅스텐 폴리사이드 게이트 전극의 게이트 산화막의 내압 분포를 나타내었다.

다결정 실리콘 게이트 전극의 평균 파괴전계는 9.78 MV/cm이었고, SiH₄를 이용한 텅스텐 폴리사이드막에서

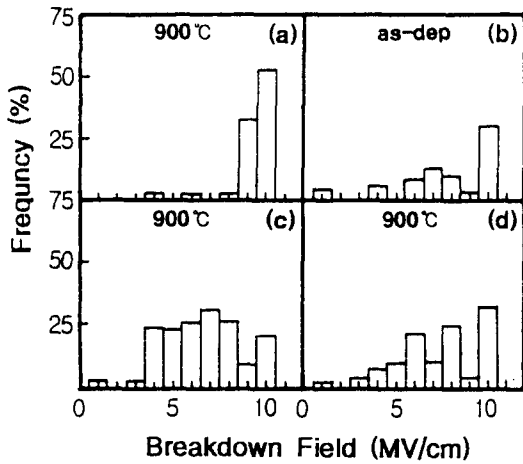


Fig. 3. Breakdown histogram as a function of gate electrodes and annealing temperature. (a) poly-Si, (b) (c) SiH₄-WSi_x, (d) SiH₂Cl₂-WSi_x.

열처리하지 않은 텅스텐 폴리사이드와 열처리한 텅스텐 폴리사이드 게이트 전극의 평균 파괴 전계는 각각 8.92 MV/cm, 7.85 MV/cm이었다.

텅스텐 폴리사이드 게이트 전극이 다결정 실리콘 게이트보다 전류-전압 특성이 우수하면서도 평균 파괴전계가 감소하였고, 열처리함으로써 B mode(1~8 MV/cm) 불량률이 증가하는 것을 알 수 있다.

Fig. 4는 위의 시료에 대해서 다결정 실리콘과 게이트 산화막내에 확산한 F의 프로파일을 SIMS로 분석하였다. Fig. 5는 열처리 온도에 따른 게이트 산화막 두께를 나타내었다.

Fig. 4와 5에서 알 수 있듯이 열처리 온도가 증가할수록 게이트 산화막내에 F가 증가하고, 산화막 두께가 증가하는 것으로 보아 확산하고 있음을 알 수 있다. 위의 결과로부터 WSi_x막은 원료 가스로 SiH₄+WF₆를 사용하기 때문에 WF₆에서 분해된 F가 열처리를 하면 게이트 산화막내로 확산되어 산화막의 내압이 열화되는 것으로 사료된다.

3.3. SiH₂Cl₂를 이용한 W-polycide 전극의 절연 파괴 특성

Fig. 3(d)는 SiH₂Cl₂를 이용하여 텅스텐 실리사이드막을 증착한 텅스텐 폴리사이드 게이트 전극에서 게이트 산화막의 내압 분포를 나타내었다. SiH₂Cl₂을 이용한 텅스텐 폴리사이드막의 평균 파괴 전계는 8.52 V/cm이었고, SiH₄를 이용한 텅스텐 폴리사이드 전극보다 B

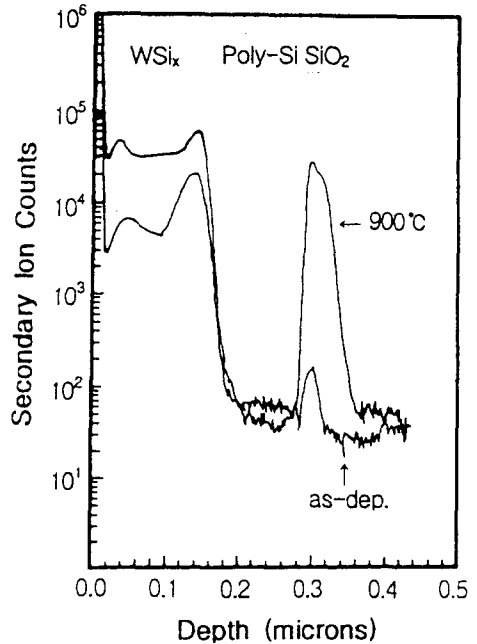


Fig. 4. SIMS depth profile as a function of annealing temperature.

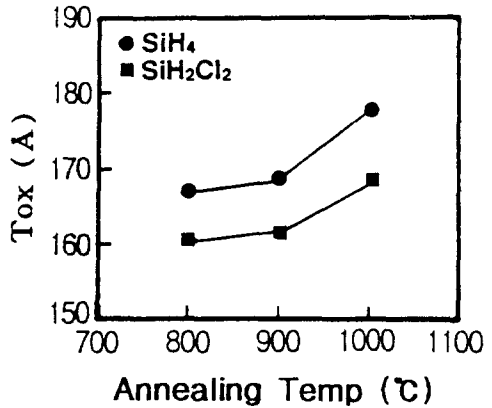


Fig. 5. Gate oxide thickness as a function of annealing temperature.

mode 불량률이 작게 나타났다. Fig. 6은 SiH₂Cl₂와 SiH₄ 환원에 의해 증착한 텅스텐 실리사이드막내의 F의 분포를 SIMS로 분석하여 나타내었다.

Fig. 6의 SIMS 분석 결과에서 보는 바와 같이 SiH₂Cl₂ 환원에 의해 증착한 텅스텐 실리사이드에서 불소 (fluorine) 농도가 SiH₄ 환원에 의해 증착한 텅스텐 실리사이드에서 보다 낮기 때문에 게이트 산화막내로 F의

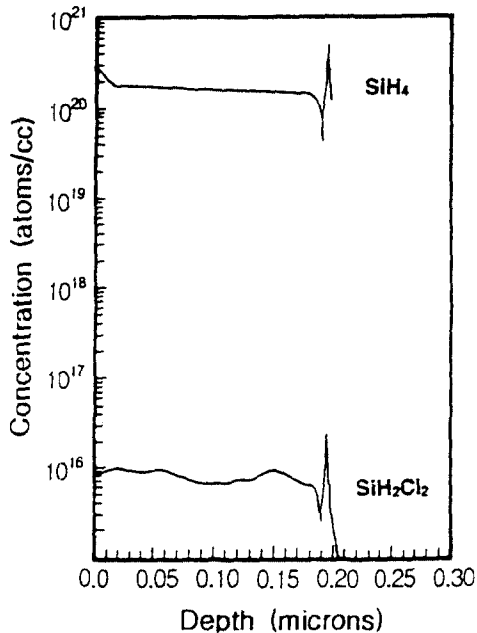


Fig. 6. SIMS depth profile of fluorine content in tungsten silicide film.

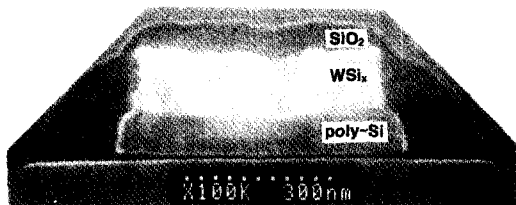


Fig. 7. SEM photographs of W-polycide structure.

확산이 적어 내압 특성이 우수한 것으로 생각된다.

Fig. 7은 열처리한 텅스텐 폴리사이드 구조의 SEM 단면 사진이다. 텅스텐 실리사이드의 결정립(grain) 성장이 뚜렷하게 나타났으며, WSi_2 /poly-Si과 poly-Si/ SiO_2 의 계면상태도 양호함을 볼 수 있다.

D. K. Sadana 등은 텅스텐 실리사이드(WSi_2)층에서 과잉(excess) Si는 초기 단계에서 소모된 후 다결정 실리콘층에서 Si가 실리사이드층을 통과하여 산화 과정 동안 소모된다고 하였다[14, 15]. 따라서 텅스텐 실리사이드(WSi_2)와 다결정 실리콘층의 두께가 감소하였다.

4. 결 론

텅스텐 폴리사이드 게이트 전극이 다결정 실리콘 게

이트 전극보다 전류-전압 특성은 우수하였지만 평균 파괴전계는 감소하였으며, 열처리 온도가 증가함에 따라서 B mode(1~8 MV/cm) 불량률이 증가하였다.

이것은 텅스텐 폴리사이드 게이트 전극은 열처리 온도가 증가함에 따라서 게이트 산화막내로 F의 확산이 증가되었기 때문이다. SiH_2Cl_2 환원에 의해 증착한 텅스텐 실리사이드막에서 불소(fluorine) 농도가 SiH_4 환원에 의해 증착한 텅스텐 실리사이드에서 보다 낮았고, 게이트 산화막의 내압 특성도 우수하였다. 또한, 열처리 온도가 증가함에 따라서 게이트 산화막 두께는 증가하지 않았고, WSi_2 /poly-Si과 poly-Si/ SiO_2 의 계면상태도 양호함을 볼 수 있었다.

참고문헌

1. K. C. Saraswat and F. Mohammadi, IEEE Trans. Electron Devices **ED-29**, 645 (1982).
2. Y. Pauleau, Solid State Technol. **30**(20), 61 (1987).
3. S. P. Murarka, J. Vac. Sci. Technol. **B4**, 1352 (1986).
4. R. S. Blewer and M. E. Tracy, Materials Research Soc., (Pittsburgh, PA, 1986), p. 53.
5. M. Y. Tsai, F. M. D. Heurle, C. S. Peterson and R. W. Johnson, J. Appl. Phys. **52**, 5350 (1981).
6. S. P. Murarka and D. S. Williams, J. Vac. Sci. Technol. **B5**, 1674 (1987).
7. D. K. Sadana, A. E. Morgan, M. H. Norcott and S. Naik, J. Appl. Phys. **62**, 2830 (1987).
8. C. Y. Lu, J. M. Sung, H. C. Kirsch, S. J. Hillenius, T. E. Smith and L. Manchanda, IEEE Electron Device Lett. **10**, 192 (1989).
9. M. Shatzkes and D. L. Crook, J. Appl. Phys. **47**, 3192 (1976).
10. I. C. Chen, S. E. Holland, C. Hu, IEEE Trans. Electron Devices **ED-32**, 413 (1982).
11. 정희환, 정관수, 한국진공학회지, **4**, 18 (1995).
12. P. J. Wright and K. C. Saraswat, IEEE Trans. E. D. **36**, 879 (1989).
13. K. C. Saraswat, A. E. Morgan, M. H. Norcott and S. Naik, J. Appl. Phys. **62**, 2830 (1987).
14. R. D. Frampton, E. A. Irene and F. M. d'Heurle, J. Appl. Phys. **62**, 2972 (1987).