

〈연구논문〉

## 텅스텐 폴리사이드막의 열산화에서 인 불순물 효과

정희환 · 정관수

경희대학교 전자공학과  
(1995년 7월 13일 접수)

### Effect of Phosphorus Dopants in the Thermal Oxidation of Tungsten Polycide Films

Hoi Hwan Chung and Kwan Soo Chung

Department of Electronic Engineering, Kyunghee University,  
Suwon 449-900, Korea  
(Received July 13, 1995)

**요 약** - P-doped poly-Si/SiO<sub>2</sub>/Si 기판위에 저압 화학 증착법(LPCVD)으로 증착한 텅스텐 실리사이드(WSi<sub>2.7</sub>)막을 850℃에서 20분 동안 N<sub>2</sub> 분위기에서 열처리한 후에 건식 분위기에서 열산화하였다. 다결정 실리콘의 인 도핑(doping) 레벨에 따른 텅스텐 폴리사이드(WSi<sub>2.7</sub>/poly-Si)막의 산화 성장율과 텅스텐 폴리사이드막의 산화 메커니즘에 대하여 연구하였다. 텅스텐 폴리사이드막의 산화 성장율은 다결정 실리콘의 인(P) 도핑 레벨이 증가함에 따라 증가하였다. 텅스텐 폴리사이드막의 산화는 텅스텐 실리사이드층의 과잉(excess) Si가 초기 산화 과정 동안 소모된 후에 다결정 실리콘층의 Si가 소모되었다. 산화막과 산화막을 식각(etching)한 후에 텅스텐 실리사이드막의 표면 거칠기는 다결정 실리콘의 인 농도가 적을수록 평탄하였다.

**Abstract** - Tungsten silicide (WSi<sub>2.7</sub>) films deposited by LPCVD (low pressure chemical vapor deposition) onto a P-doped polysilicon/SiO<sub>2</sub>/Si substrate were oxidized in dry O<sub>2</sub> ambients after furnace annealing in N<sub>2</sub> at 850℃ for 20 min. The oxidation rate of the tungsten polycide (WSi<sub>2.7</sub>/poly-Si) films as a function of phosphorus doping levels in the polysilicon and the oxidation mechanism of the tungsten polycide film have been studied. The oxidation rate of the tungsten polycide films increases with an increase of the phosphorus concentration in the polysilicon. The silicon from the underlying polysilicon layer begins to be consumed after all the excess silicon in the tungsten silicide layer is consumed first oxidation. The surface roughness of oxides and the tungsten silicide films after oxide etching was found to be very smooth at the low p-doped polysilicon.

## 1. 서 론

반도체 소자의 게이트 전극 및 배선재료로서 다결정 실리콘(polysilicon)이 널리 사용되어 왔으나 최근 집적도가 증가함에 따라서 다결정 실리콘은 불순물의 주입으로 전기전도도를 증가시키더라도 자체 비저항( $\leq 500 \mu\Omega \cdot \text{cm}$ ) 값이 높아 회로의 동작 속도에 문제가 되었다 [1]. 따라서 새로운 게이트 전극 및 배선 재료로서 다결정 실리콘보다 낮은 저항의 W, Ti, Ta, Mo 등의 내화물

금속이나 내화물 금속 실리사이드에 대한 연구가 진행되고 있다[2]. 내화물 금속 실리사이드는 높은 전기전도도, 고온 안정성, 고해상력을 갖기 때문에 패턴이 용이하고, 화학적 반응에 저항력이 강하여 전기적 안정성이 높고, Si와의 낮은 접촉 저항 등의 장점을 가지고 있다 [3, 4]. 내화물 금속 실리사이드 중에서 텅스텐 실리사이드(tungsten silicide)는 LPCVD(low pressure chemical vapor deposition) 방법이 개발되어 step coverage면에서 뛰어난 특성을 나타내고, 방사선 피해(radiation damage)를

줄일 수 있다. 또한,  $\text{SiO}_2$ 와의 접착력(adhesion) 특성도 매우 양호하고, 두께와 조성의 균일성이 우수하며 불순물이 적게 함유된 텅스텐 실리사이드를 대량으로 증착시킬 수 있다[5,6]. 집적회로에서 불순물을 주입한 다결정 실리콘에 내화물 금속 실리사이드를 적층한 폴리사이드(polycide) 구조가 Si를 사용한 게이트 공정의 장점을 유지하면서 낮은 비저항을 나타내므로 게이트 전극이나 bit line 형성에 활발히 사용되고 있다[7]. 무엇보다도 중요한 것은 텅스텐 폴리사이드의 self-passivating 산화막은  $\text{SiO}_2$  성장을 위해 source를 공급하는데 실리사이드내에 Si가 충분히 있을 때 실리사이드의 화학적, 전기적 특성에 어떠한 감소도 없이 실리사이드 위에 열적 성장을 할 수 있다[8]. 본 연구에서는 인의 도핑 레벨을 달리한 다결정 실리콘에 LPCVD 방법으로 텅스텐 실리사이드막을 증착하여 열처리를 행한 텅스텐 폴리사이드( $\text{WSi}_2/\text{poly-Si}$ )막의 건식 산화에서 산화 성장률(oxidation rate)을 다결정 실리콘층의 인 도핑 레벨(level)에 따른 효과와 텅스텐 폴리사이드의 산화 메커니즘에 대해 연구하였다. 또한, 텅스텐 폴리사이드의 산화에서 열처리 효과와 다결정 실리콘의 인 도핑 레벨에 따른 산화막의 표면 형상(surface morphology) 및 표면 거칠기(surface roughness)를 관찰하였다.

## 2. 실험방법

본 실험에 사용된 시료는 다음과 같은 공정 순서에 의해서 Fig. 1과 같이 제작하였다. 시편 제작을 위해 사용된 반도체 기판은 결정 면이 (100)인 직경 6인치 P형 실리콘 웨이퍼이다.

각 시편은 단결정 실리콘 웨이퍼는 황산 boiling과 100 : 1HF 용액에 담근 후  $\text{N}_2$  blower로 말려 전기로에서 열산화법에 의하여 1000°C에서 1000Å의 실리콘 산화막을 성장시켰다. 다결정 실리콘(poly-Si)은 LPCVD 방법으로  $\text{SiH}_4$ 를 열분해하여 620°C에서 1500Å 증착한 후에 950°C에서  $\text{POCl}_3$ 을 이용하여 인(phosphorus)을 확산하였다. 이 때 다결정 실리콘의 면저항은 각각 12  $\Omega/\square$ , 33  $\Omega/\square$ , 48  $\Omega/\square$ 이었다.

자연 산화물을 100 : 1HF 용액에서 100초 동안 dipping시켜 제거한 후에 LPCVD 방법으로 텅스텐 실리사이드막을 1500Å 증착한 텅스텐 폴리사이드 구조였다. 이 때 온도와 압력은 각각 360°C, 200 mTorr이었다. 산화막을 성장하기 전에 850°C의 온도에서  $\text{N}_2$  분위기로

20분 동안 열처리하였다. 그 후에 dry  $\text{O}_2$  분위기에서 900°C, 1000°C의 온도에서 10~90분 동안 산화막을 형성하였다. 이 때 산소 가스의 유량은 6 L/min을 흘려보냈다.

산화막 두께는  $\alpha$ -step, AFM(atomic force microscope), SEM(scanning electron microscope)으로 측정하고, 텅스텐 실리사이드의 조성비(stoichiometry)는 AES(auger electron spectrometry)로부터 depth profile 방식으로 분석하였다.

열처리 온도와 산화막 형성에 따른 불순물의 재분포를 SIMS(secondary ion mass spectroscopy)로 분석하였고, 산화막과 산화막을 식각(etching)한 텅스텐 실리사이드의 표면 형상(morphology) 및 표면 거칠기는 AFM으로 관찰하였으며 다결정 실리콘과 텅스텐 실리사이드의 계면은 SEM으로 관찰하였다. 산화된 텅스텐 실리사이드의 형성반응을 조사하기 위하여 Cu  $K\alpha$ ( $\lambda=1.542\text{\AA}$ ) target을 사용한 X-ray 회절 분석을 이용하였다. 이 때의 임계전압과 전류는 각각 40 kV, 50 mA이었다.

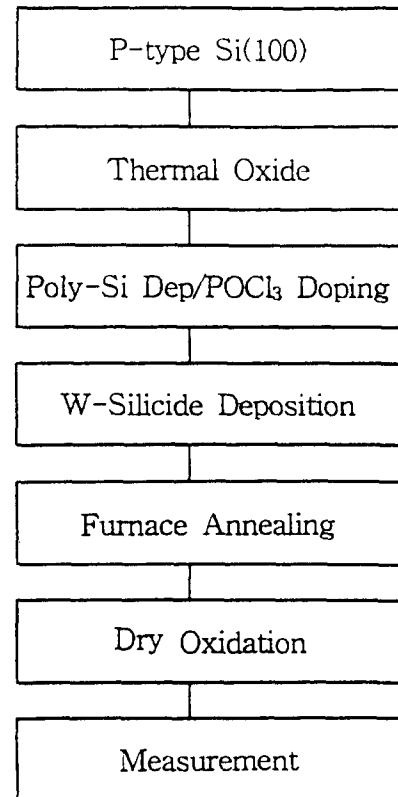


Fig. 1. Flow chart of experimental procedure.

### 3. 실험결과 및 고찰

Fig. 2는 증착 직후(as-deposited) 상태와 N<sub>2</sub> 분위기에서 850℃, 20분 동안 열처리한 텅스텐 폴리사이드의 AES 측정 데이터이다.

텅스텐 실리사이드는 증착 직후 상태에서 WSi<sub>2.7</sub>의 균일한 조성을 보이고 있다. 열처리한 시료에서는 WSi<sub>2.5</sub>의 평균 조성을 보이고 있으며, Si는 WSix/poly-Si 계면에서 WSi<sub>2.4</sub>로부터 표면에서 WSi<sub>2.7</sub>로 증가하였다.

Fig. 3은 텅스텐 폴리사이드를 열처리 전, 후와 산화한 경우의 불순물 재분포를 SIMS로 분석하여 나타내었다. 증착 직후 상태에서는 인이 텅스텐 실리사이드로 확산하는 현상은 일어나지 않았으나 850℃에서 20분간 열처리한 상태에서는 다결정 실리콘내의 인이 텅스텐 실리사이드로 이동하여 텅스텐 실리사이드내에서의 인의 농도는 5.5×10<sup>19</sup>(atoms/cm<sup>2</sup>) 정도이며, 이동되어지는 양만큼 다결정 실리콘내의 인 이온의 양도 감소하고 텅스텐 실리사이드 표면에 pile-up됨을 증착 직후의 상태와 비교에서 알 수 있다.

표면에 pile-up된 인은 결국 공기중으로 확산되어 인의 손실을 가져오게 된다. 1050℃에서 열처리하였을 경우에는 다결정 실리콘에 텅스텐 실리사이드로 인 이동은 많아지고, 다결정 실리콘에서의 인의 농도도 더욱 감소하였으며 인의 손실도 뚜렷이 나타나고 있다. 850℃, 20분간 열처리한 후 900℃, 90분간 산화한 경우에는 1050℃, 20분간 열처리한 것에 비해 다결정 실리콘내의 인의 양은 10배 이상, 텅스텐 실리사이드내의 인의 양은 50배 이상 높게 나타남을 알 수 있다. 산화 과정 동안에 산화막 층이 인의 확산 장벽으로 작용하므로 텅스텐 실리사이드와 산화막 계면에 인 이온의 대부분이 pile-up되었다.

텅스텐 폴리사이드를 산화하기 전에 열처리를 하면 인 불순물 이온은 외향확산(out-diffusion)되어 인의 손실(loss)이 발생되었고, 다결정 실리콘과 텅스텐 실리사이드에서 재분포되었다. 다결정 실리콘과 텅스텐 실리사이드에 재분포된 인 이온은 WSi<sub>2</sub>/SiO<sub>2</sub> 계면에서 산화막 성장률에 영향을 미칠 것이다.

Fig. 4와 5는 Si(100)와 인(phosphorus) 이온의 도핑 레벨을 달리한 다결정 실리콘에 텅스텐 실리사이드를 증착한 텅스텐 폴리사이드(polycide)를 850℃에서 20분 동안 열처리 후에 900℃, 1000℃의 건식 분위기에서 시간

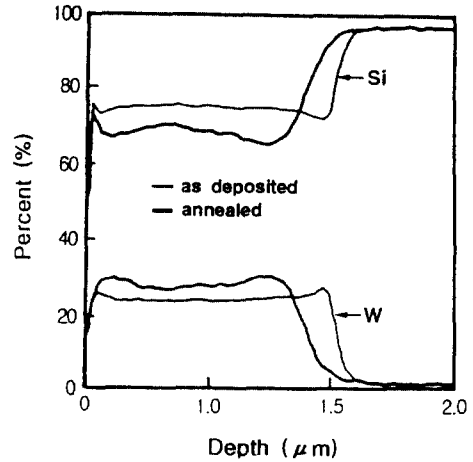


Fig. 2. Auger depth profiles of an as-deposited and annealed (850℃/N<sub>2</sub>, 30 min) tungsten silicide film.

에 따라 성장한 산화막 두께를 나타내었다.

텅스텐 폴리사이드에서 성장한 산화막이 Si(100) 기판에서 성장한 산화막보다 빠르게 성장하였으며, 다결정 실리콘에 인 도핑 농도가 증가할수록 텅스텐 폴리사이드의 산화 성장률은 증가하였다.

Frampton 등[9]은 실리사이드의 선형 성장률 상수는 silicide/SiO<sub>2</sub> 계면에서 반응하고, 선형 성장률 상수는 Si(100)와 비교해서 실리사이드의 생성 엔탈피(enthalpy)가 감소함으로써 증가한다고 하였다. 또한, 실리사이드의 산화 성장률(oxidation rate)은 실리사이드의 전자적(electronic)인 성질과 관련이 있어 실리사이드 표면에 캐리어 농도 증가는 산화 성장률을 증가시킨다고 보고하였다. Heurle 등은 실리사이드 표면에서 vacancy 농도는 인 농도 증가에 따라 Fermi 준위가 이동하기 때문에 증가한다고 보고하였다[10].

텅스텐 실리사이드(WSi<sub>2.5</sub>) 내부에서 Si 확산은 O<sub>2</sub>와 화학적인 반응으로 WSi<sub>2</sub>/SiO<sub>2</sub> 계면 근방에서 vacancy가 존재하며 후속적으로 Si가 계속 확산해간다. 같은 메커니즘으로 열처리를 통해 텅스텐 실리사이드 표면에 pile-up된 인 이온의 확산이 이루어져 vacancy을 발생시킨다. SiO<sub>2</sub>/WSi<sub>2</sub> 계면에서 발생한 과잉 vacancy들은 산화 증가 효과로써 O<sub>2</sub> 원자에 대하여 site로써 공급한다.

따라서 초기 산화과정에서 다결정 실리콘에 인 도핑 농도가 증가함에 따라 산화 성장률 증가하는 선형 성장률 상수(B/A)가 증가하기 때문이다. 900℃와 1000℃, 10분에서 산화한 텅스텐 실리사이드의 초기 산화 성장률은 Si(100)보다 빠르게 성장하였으며, 인 도핑 농도가 증가

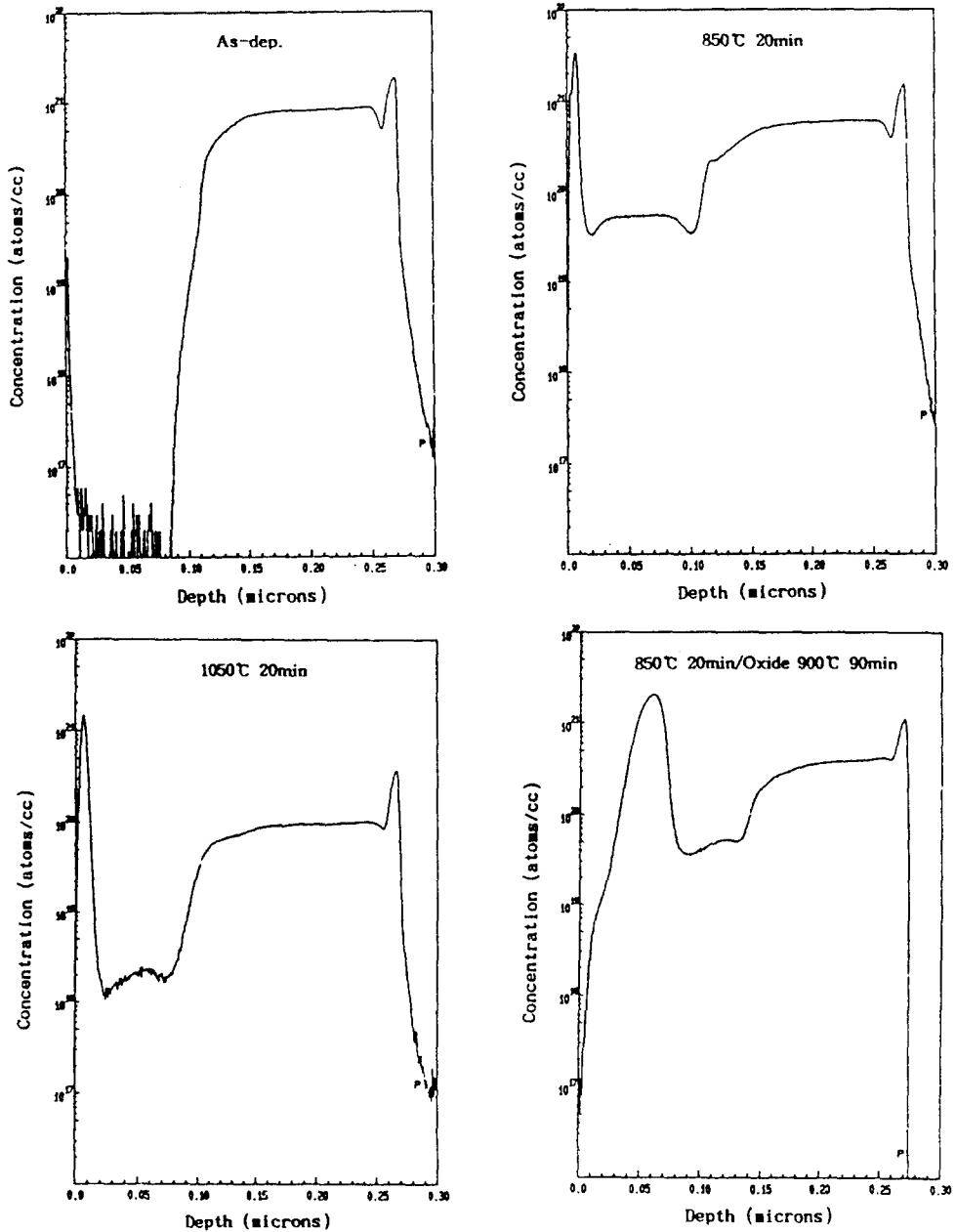


Fig. 3. SIMS depth profiles of the tungsten polycide film annealed in  $N_2$ .

할수록 빠르게 성장하였다.

또한, 인이 도핑된 텅스텐 폴리사이드에서는 산화과정 동안 텅스텐 실리사이드를 통하여 확산되는 인 이온이  $SiO_2$  network 구조에서 Si 이온과 치환된다. P-O tetrahedron은 tetrahedron에서 4개의 산소 원자 중에 하

나는 인 이온과 이중 결합을 하므로 인접한 tetrahedron에서 bridging 위치에 산소 원자를 준다.

그 때  $SiO_2$  network 구조는 느슨해져 산소 원자의 확산이 쉬워진다[11]. 따라서 다결정 실리콘에 인 도핑 레벨을 증가하면 포물 성장을 상수(B)가 증가하는 것은

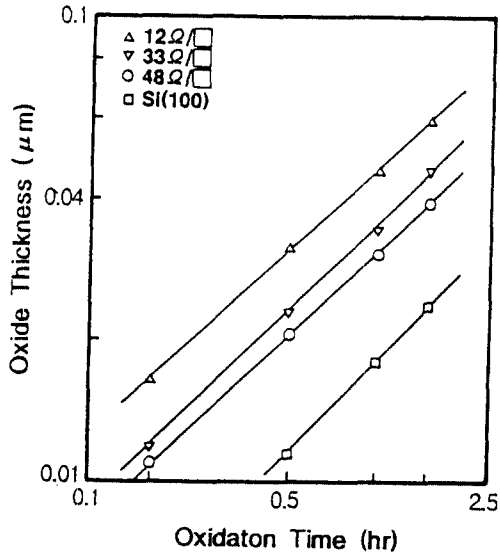


Fig. 4. Oxide thickness vs. oxidation time for Si(100) and tungsten polycide films in dry O<sub>2</sub> at 900°C.

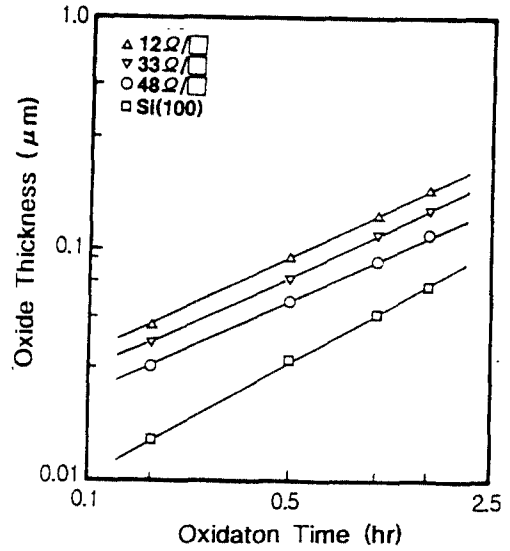


Fig. 5. Oxide thickness vs. oxidation time for Si(100) and tungsten polycide films in dry O<sub>2</sub> at 1000°C.

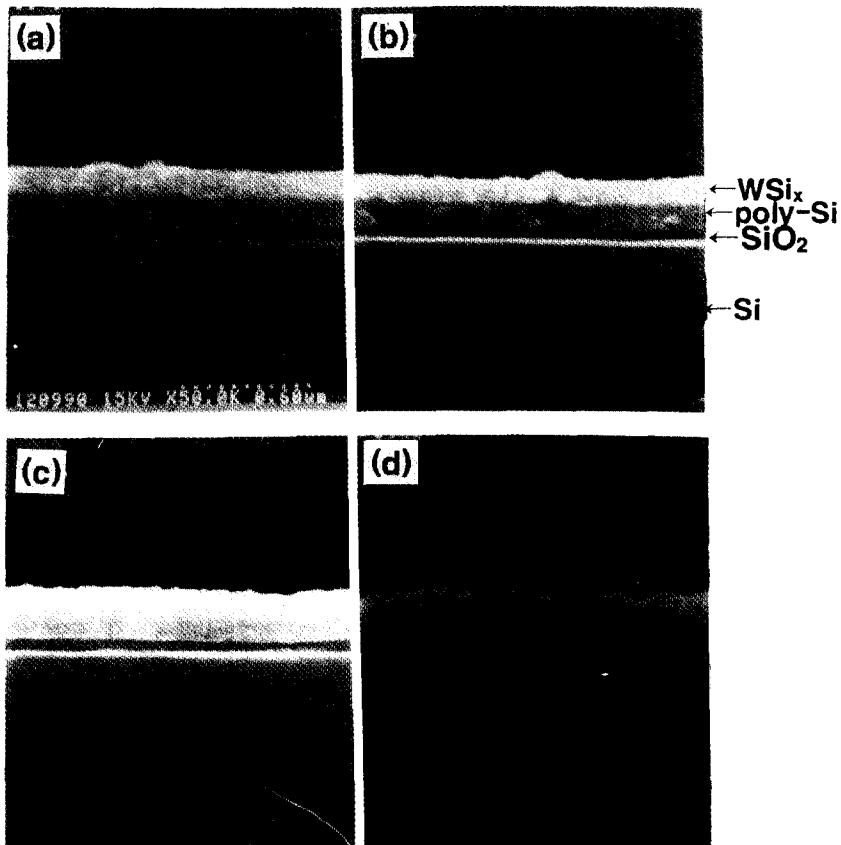


Fig. 6. SEM photographs of a tungsten polycide structure for (b) 900°C, 10 min, (c) 900°C, 60 min and (d) 1000°C, 90 min dry oxidation after (a) 850°C/N<sub>2</sub>, 30 min annealing.

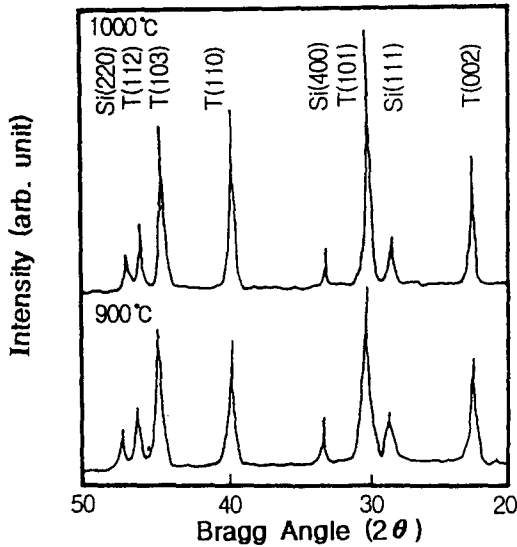


Fig. 7. X-ray diffraction pattern of a tungsten silicide films after the oxidation of 30 min at (a) 900°C and (b) 1000°C.

인 이온이 확산되어 WSi<sub>x</sub>/SiO<sub>2</sub> 계면에 pile-up되고, SiO<sub>2</sub> 층으로 침투하여 산소 원자의 확산을 증가시키기 때문 인 것으로 생각된다.

일반적으로 텅스텐 실리사이드의 산화막 형성은 산화막을 통하여 O<sub>2</sub>의 확산처럼 포물선 성장을 상수에 의해 지배되고, Si(100)과 비슷하다고 여러 연구자들에 의해 보고되었지만[12, 13] 인이 도핑된 텅스텐 폴리사이드에서는 Si(100)보다 크게 나타났다.

Fig. 6은 N<sub>2</sub> 분위기에서 열처리한 시료와 열처리한 시료에 건식 분위기에서 온도와 시간에 따라 산화한 텅스텐 폴리사이드 구조의 SEM 단면 사진이다.

Fig. 6(a)는 텅스텐 폴리사이드를 850°C, 20분간 열처리한 SEM 단면을 나타내었다. 이 때 텅스텐 폴리사이드의 면저항은 8.2 Ω/□으로 tetragonal 구조의 텅스텐 실리사이드가 형성되었음을 알 수 있다[14]. Fig. 6(b)는 900°C에서 10분 동안 건식 산화한 텅스텐 폴리사이드 구조의 단면이다. 텅스텐 실리사이드층의 두께가 약간 감소하였다.

텅스텐 폴리사이드 구조의 초기 산화 단계에서는 텅스텐 실리사이드층의 과잉(excess) Si가 산화막/텅스텐 실리사이드 계면에 축적되어 SiO<sub>2</sub>의 형성을 위해 Si source로써 작용하였음을 알 수 있다.

과잉 Si의 SiO<sub>2</sub>/WSi<sub>x</sub> 계면 축적은 EDX(energy disper-

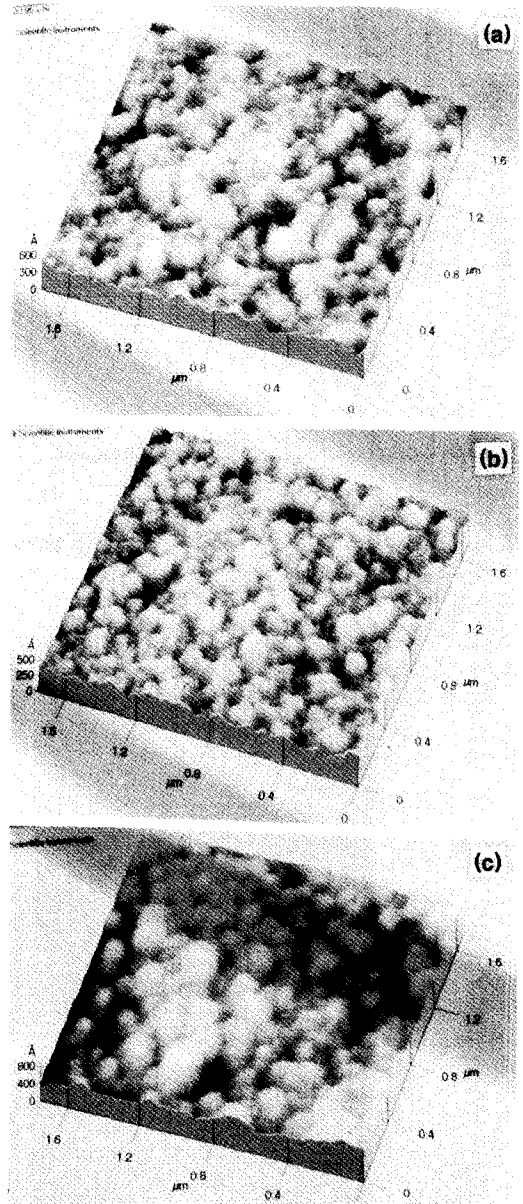


Fig. 8. AFM surface morphology after (a) 900°C, 30 min, (b) 1000°C, 30 min, and (c) 1000°C, 30 min oxidation for tungsten polycide films that were doped to 48 Ω/□ (a, b) and 12 Ω/□ (c) in the poly-Si.

sive X-ray analysis) 분석에서도 확인할 수 있었다. 이와 같은 현상은 Sadana 등이 텅스텐 실리사이드에서 과잉 Si은 열처리 동안 텅스텐 실리사이드의 표면에 축적되어 산화과정의 초기 단계에서 소모된다고 한 것과 일치

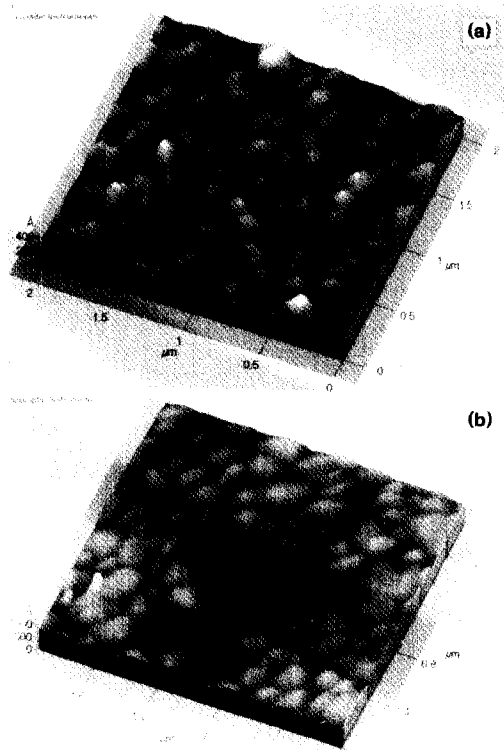


Fig. 9. AFM surface morphology of the tungsten silicide films for (b) 1000°C/O<sub>2</sub>, 60 min oxidation after (a) 850°C/N<sub>2</sub>, 30 min annealing.

하였다[8]. 산화 과정 초기 단계에서 Fig. 6(b)에서처럼 다결정 실리콘의 두께는 감소하지 않았지만, 900°C에서 60분 동안 건식산화한 텅스텐 폴리사이드 구조의 단면을 나타낸 Fig. 6(c)에서는 텅스텐 실리사이드와 다결정 실리콘층의 두께가 감소하였음을 알 수 있다. 이 때 텅스텐 폴리사이드의 면저항은 7.1 Ω/□이었다.

Fig. 6(d)는 1000°C, 90분 동안 건식산화한 텅스텐 폴리사이드 구조의 단면이다. 텅스텐 실리사이드층의 두께는 변화가 없었지만 다결정 실리콘층의 두께는 감소하였다. 이 때 텅스텐 폴리사이드의 면저항은 3.6 Ω/□이었고, 텅스텐 실리사이드의 결정립 성장(grain growth)이 선명하게 나타나고 있다.

텅스텐 실리사이드층에서 과잉 Si는 산화의 초기 단계에서 소모된 후 다결정 실리콘층의 Si가 텅스텐 실리사이드층을 통하여 SiO<sub>2</sub>/WSi<sub>2</sub> 계면으로 확산되어 산화 공정 과정 동안 소모되었다. 텅스텐 실리사이드와 다결

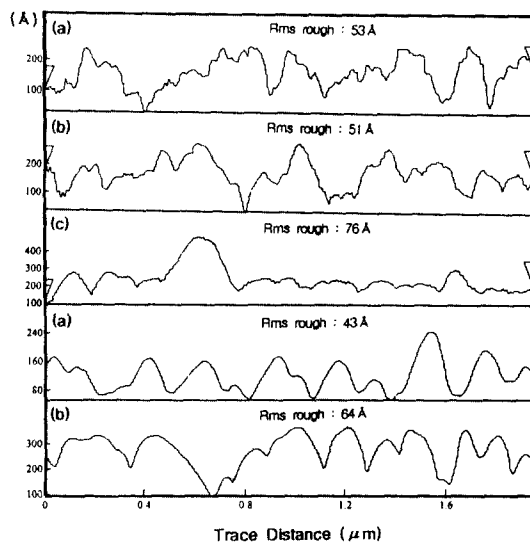


Fig. 10. Surface roughness of the oxide and the tungsten silicide or Fig. 8(a, b, c) and Fig. 9(a, b).

정 실리콘으로부터 Si 소모의 비율은 온도와 관련됨을 알 수 있다. Fig. 7은 900°C, 30분과 1000°C, 30분 동안 산화한 후 텅스텐 실리사이드막의 X-선 회절 무늬를 보이고 있다.

Si 기판에 증착한 WSi<sub>2</sub>의 건식산화 후 SiO<sub>2</sub>와 WO<sub>3</sub>가 발견되었고, WSi<sub>2</sub>의 습식산화에서는 SiO<sub>2</sub>와 W<sub>5</sub>Si<sub>3</sub>가 발견되었다[15]. 그러나 LPCVD로 증착한 WSi<sub>2.5</sub>의 건식산화에서는 WO<sub>3</sub>와 W<sub>5</sub>Si<sub>3</sub>는 관찰되지 않았다.

Fig. 8과 9는 AFM을 이용하여 다결정 실리콘의 인 도핑 레벨에 따라 형성한 산화막과 열처리 효과를 조사하기 위하여 산화막을 식각(etching)한 텅스텐 실리사이드의 표면 형상을 나타내었다. 이 때 AFM의 주사(scanning) 면적은 2 μm × 2 μm이었다.

열처리 온도에 따른 주사 전면적(2 μm × 2 μm)에 대한 표면 거칠기는 root-mean-square(R<sub>ms</sub>) roughness(σ)의 수식에 의하여 다음과 같이 계산되었다.

$$\sigma = (N - 1)^{-1} [\sum Z_i^2 - \langle Z \rangle^2]^{1/2} \quad (1)$$

여기서 Z<sub>i</sub>: height of each grain, <Z>: average height, N: total data point이다.

Fig. 10은 각 시료의 표면 거칠기(surface roughness)를 한 부분에 대해서 나타내었다.

Fig. 8(a)와 (b)는 다결정 실리콘의 면저항이 48 Ω/□인 시료에 각각 900°C와 1000°C에서 30분간 건식산화

한 경우의 산화막 표면 형상을 나타내었다.

이 때 주사 전면적( $2\ \mu\text{m} \times 2\ \mu\text{m}$ )에 대한 표면 거칠기는 각각  $46\ \text{\AA}$ ,  $53\ \text{\AA}$ 이었다. Fig. 8(c)는 다결정 실리콘의 면저항이  $12\ \Omega/\square$ 인 시료에  $1000^\circ\text{C}$ , 30분간 건식 산화한 표면 형상이다. 이 때 표면 거칠기는  $74\ \text{\AA}$ 이었다. 산화막 표면 거칠기는 다결정 실리콘의 인 불순물 농도와 산화 온도가 증가하고, 산화 시간이 길수록 거칠게 나타났다.

Fig. 9(a)는 다결정 실리콘의 면저항이  $48\ \Omega/\square$ 인 텅스텐 폴리사이드를  $850^\circ\text{C}$ 에서 20분 동안 열처리한 표면 형상이다. 이 때 면저항과 표면 거칠기는 각각  $8.2\ \Omega/\square$ ,  $36\ \text{\AA}$ 이었다.

Fig. 9(b)는 (a)의 시료에  $1000^\circ\text{C}$ , 90분 동안 건식분위기에서 성장한 산화막을 식각(etching)한 후에 텅스텐 폴리사이드의 표면형상을 나타내었다. 이 때 면저항과 표면 거칠기는 각각  $3.6\ \Omega/\square$ ,  $64\ \text{\AA}$ 이었다. 산화하는 동안 텅스텐 폴리사이드의 면저항이 감소하였고, 결정립(grain) 크기가 증가하는 것으로 보아 열처리 효과가 있음을 알 수 있었다.

#### 4. 결 론

열처리한 텅스텐 폴리사이드( $\text{WSi}_2/\text{poly-Si}$ )를 건식 분위기에서 산화한 경우에 다결정 실리콘의 인 도핑 레벨 효과와 산화 메카니즘 대해서 조사하였는데 다음과 같은 결과를 얻었다.

1. 텅스텐 폴리사이드막을 산화하기 전에 열처리를 하면 인 불순물 이온은 외향확산되어 인의 손실(loss)이 발생되었고, 다결정 실리콘과 폴리사이드에서 재분포되었다. 산화 과정 동안에 텅스텐 폴리사이드와 산화막 계면에 인 이온의 대부분이 pile-up되었다.

2. 텅스텐 폴리사이드의 산화 성장율은 다결정 실리콘의 인 도핑 농도와 관계없이 Si(100)보다 크게 나타났고, 다결정 실리콘의 인 도핑 레벨이 증가할수록 산화 성장율은 증가하였다.

3. 산화 초기에는 텅스텐 폴리사이드( $\text{WSi}_2$ )에서 과잉

Si이 소모되고, 산화하는 동안에는 다결정 실리콘으로부터 Si가 소모된 것을 알 수 있었다.

4. 산화막 표면 거칠기는 다결정 실리콘의 인 도핑 레벨과 산화 온도가 증가할수록 거칠게 나타났고, 산화하는 동안 텅스텐 폴리사이드의 면저항이 감소하였으며 텅스텐 폴리사이드의 결정립 성장(grain growth)이 일어났다.

#### 참고문헌

1. K. C. Saraswat and F. Mohammadi, IEEE Trans. Electron Devices. **29**, 645 (1982).
2. Y. Pauleau, Solid State Technol. **30**, 61 (1987).
3. R. S. Blewer and M. E. Tracy, Materials Research Soc., Pittsburgh, PA, **12**, 53 (1986).
4. S. P. Murarka, J. Vac. Sci. Technol. **B4**(6), 1352 (1986).
5. D. L. Brors, J. A. Fair, K. A. Moning, K. C. Saraswat, Solid State Technol. **26**, 183 (1983).
6. N. E. Miller and I. Beingglass, Solid State Technol. **23**, 79 (1980).
7. M. Y. Tsai, F. M. D. Heurle, C. S. Peterson and R. W. Johnson, J. Appl. Phys. **52**, 5350 (1981).
8. D. K. Sadana, A. E. Morgan, M. H. Norcott and S. Naik, J. Appl. Phys. **62**, 2830 (1987).
9. R. D. Frampton, E. A. Irene and F. M. d'Heurle, J. Appl. Phys. **62**(7), 2972 (1987).
10. F. M. d'Heurle, A. Cross, R. D. Frampton and E. A. Irene, Philos. Mag. **B55**, 291 (1987).
11. C. P. Ho, J. D. Plummer, B. E. Deal and J. D. Meindl, J. Electrochem. Soc. **125**, 665 (1978).
12. C. M. Lee, S. B. Im and J. G. Lee, J. Appl. Phys. **70**, 1742 (1991).
13. R. N. Liu, W. A. Tiller and K. C. Saraswat, J. Appl. Phys. **56**, 2127 (1984).
14. K. C. Saraswat, D. L. Brors, J. A. Fair, K. A. Moning and R. Beyers, IEEE Trans. Electron Devices. **ED-30**, 1497 (1983).
15. S. Zirinsky, W. Hammer, F. M. d'Heurle and J. Baglin, Appl. Phys. Lett. **33**, 76 (1978).