

열처리 온도에 따른 Si/Co/GaAs계의 계면반응 및 상평형에 관한 연구

곽준섭 · 김화년 · 백홍구 · 신동원* · 박찬경* · 김창수** · 노삼규**

연세대학교 금속공학과, 서울 120-749, *포항공과대학교 재료금속공학과, 포항 790-600

**한국표준과학연구원 소재특성평가센터, 대전 305-606

(1995년 2월 13일 접수)

The interfacial reactions and phase equilibria of Si/Co/GaAs system

J. S. Kwak, H. N. Kim, H. K. Baik, D. W. Shin*, C. G. Park*,
C. S. Kim** and S. K. Noh**

Department of Metallurgical Engineering, Yonsei University, Seoul 120-749

**Department of Materials Science and Engineering, Pohang University of Science and Technology, Pohang 790-600*

***Korea Research Institute of Standards and Science, Materials Evaluation Center, Daejeon 305-606*

(Received February 13, 1995)

요 약 - (001)방향 GaAs기판과 Si/Co박막의 계면반응 및 상평형에 관한 연구를 300~700°C 열처리 구간에서 행하였다. 반응에 의한 상전이 과정은 glancing angle X-ray diffraction(GXRD), Auger electron spectroscopy(AES) 및 cross-sectional transmission electron microscopy(XTEM)을 이용하여 분석하였다. Si/Co/GaAs계의 계면반응에서 Co는 380°C에서 GaAs 기판 및 Si와 반응하여 Co₂GaAs과 Co₂Si상을 형성하였다. 420°C에서 열처리 후, Co층은 모두 소모되었으며 단면구조는 Si/CoSi/CoGa(CoAs)/Co₂GaAs/GaAs으로 진이되었다. 460°C까지 온도를 올려 계속적인 반응을 일으키면 CoGa와 CoAs이 분해되면서 CoSi가 성장하였고, 600°C에서는 Co₂GaAs마저 분해되고 CoSi상이 성장하여 GaAs와 계면을 형성하였다. CoSi와 GaAs사이의 계면은 700°C의 고온까지 안정하였으며 이러한 계면반응 결과는 계산에 의하여 구한 Si-Co-Ga-As 4원계 상태도로부터 이해될 수 있었다.

Abstract - Interfacial reactions of Si/Co films on(001) oriented GaAs substrate, in the temperature range 300~700°C for 30 min, have been investigated using glancing angle X-ray Diffraction(GXRD), Auger electron spectroscopy(AES), and cross-sectional transmission electron microscopy(XTEM). Cobalt starts to react with GaAs and Si at 380°C by formation of Co₂GaAs, and Co₂Si phases, respectively. At 420°C, the entire layer of Co is consumed, and the layer structure is observed with the sequence Si/CoSi/CoGa(CoAs)/Co₂GaAs/GaAs. In the subsequent reaction, CoSi grows at the expense of the decompositions of CoGa and CoAs at 460°C. In addition, ternary phase is also decomposed and only CoSi phase is remained upon GaAs surface at 600°C. The interface between CoSi and GaAs is stable up to 700°C. The results of interfacial reactions can be understood from the calculated Si-Co-Ga-As quaternary phase diagram.

1. 서 론

III-V족 화합물 반도체인 GaAs는 높은 전자 이동도(Electron Mobility)와 부정저항(Negative Differential Resistance) 특성 및 직접 천이(Direct Transition)형 광특성을 지니고 있기 때문에, MESFET(Metal Semi-

conductor Field Effect Transistor), HBT(Heterojunction Bipolar Transistor), HEMT(High Electron Mobility Transistor), MMIC(Monolithic Microwave Integrated Circuit) 등 초고속, 초고주파 소자에 널리 이용되고 있다[1]. 특히 최근에는 광소자와 전자 소자를 집적화 하는 광전집적회로(Optoelectronic Integ-

rated Circuit)가 차세대 IC로써 그 연구개발이 본격 화됨에 따라 광특성과 초고주파 특성을 함께 지니고 있는 GaAs 및 관련 공정 연구가 더욱 활발해 지고 있다[2].

이러한 연구중, GaAs기판과 접촉 금속간의 계면반응에 관한 연구는 GaAs소자 제조공정의 재현성 및 소자 동작시의 신뢰성 향상을 위하여 중요하며[3, 4], 소자의 집적도가 향상될수록 접촉 금속의 확산 깊이 제어가 요구되어 접촉금속과 GaAs의 반응에 따른 미세구조, morphology 및 조성 분포의 변화에 대한 연구가 필수적이다. 이러한 필요성으로 인하여 표면 형상 및 확산깊이의 문제가 지적되고 있는 기존의 합금화에 의한 오믹접촉의 문제점을 해결하고자 고상반응에 근거한 오믹접촉에 대한 연구가 활발히 진행되고 있다[5-9].

고상반응에 의해 형성되는 많은 오믹접촉 구조들은 두가지의 원소를 포함한다[6-9]. 그 첫번째 원소는 Si, Ge, In들 중의 하나이며 이들의 역할은 고농도로 도핑된 지역을 형성하거나(Si, Ge) 낮은 에너지 장벽을 가지는 $In_xGa_{1-x}As$ 을 형성하는 것이다. 두번째 원소는 주로 귀금속류중의 하나로 GaAs표면의 자연산화물들을 분산시키고 첫번째 원소의 역할을 뒷받침해 준다.

본 연구에서는 첫번째 원소로 Si, 두번째 원소로 Co를 선택하여 Si/Co박막과 GaAs기판사이의 계면반응을 연구하였다. Si와 Co를 선택한 것은, ① 대부분의 연구가 두번째 원소로 Ni, Pd에 집중되어 있고[7-9], ② Co는 Ni 및 Pd와 같이 Co가 GaAs와 반응하여 삼원계상, Co_2GaAs , 을 형성하여, Ni 및 Pd계에서 보고된 고상 재결정법에 의한 오믹접촉의 형성[6, 8-9] 즉, 삼원계상의 분해에 의한 GaAs의 재결정으로 고농도로 도핑된 층을 형성하므로 오믹접촉이 형성되는 기구가 적용될 수 있으며, ③ Co는 Si와 반응하여 GaAs기판 상에서 안정한 Co-silicide를 형성하기 때문이다. 계면반응의 결과는 상물에 근거하여 열역학 자료로부터 4원계 상태도의 tie line을 구할 수 있다는 Beyers와 Bhansali의 제안[10, 11]에 근거하여 열역학 자료로부터 계산된 Si-Co-Ga-As 4원계 상태도와 비교 연구하였다.

2. 실험방법

본 연구에서 사용한 GaAs기판은 (001)면의 CrO

도핑된 반절연 기판이었고, Si와 Co만의 계면반응을 위하여는 $SiO_2(1500\text{\AA})/(001)Si$ 기판을 사용하였다. Si/Co 박막은 R. F. magnetron sputtering으로 증착하였고 증착두께는 각각 1200\AA 과 500\AA 이었으며, Si와 Co의 증착속도는 각각 0.37 nm/sec 와 0.14 nm/sec 였다. 증착하기전의 초기진공은 $8.5 \times 10^{-7}\text{ Torr}$ 이하였으며 증착중의 진공도는 고순도 아르곤 가스를 주입하여 5 mTorr 로 유지하였다. 증착된 시편은 진공 열처리로서 $300 \sim 700^\circ\text{C}$ 구간에서 열처리하였고 진공도는 $3 \times 10^{-6}\text{ Torr}$ 이하였다.

증착 및 진공 열처리 후, 계면반응에 의하여 생성된 결정상을 확인하기 위하여 GXRDb분석을 하였고, 입사빔은 Cu-K α 선을 이용하였다. 열처리 온도에 따른 각 원소의 깊이방향 분포변화를 측정하기 위하여 AES depth profile 분석을 행하였고, 반응에 의하여 변화된 단면구조를 분석하고자 XTEM 분석을 행하였으며, TEM에 장착된 ultra-thin-window X-ray detector를 이용한 Energy Dispersive X-ray Spectroscopy(EDS) 분석을 통하여 단면구조에서의 미세조성분석을 행하였다.

3. 결과 및 고찰

3.1. Si/Co 2원계만의 계면반응

본 연구에서는 Si/Co/GaAs 4원계 반응을 보다 명확히 밝히고자 먼저 Si/Co 2원계에 대한 열처리온도에 따른 반응을 밝히고자 하였다. Si(1200\AA)/Co(500\AA)박막의 열처리 전 및 700°C 열처리 후까지의 GXRDb결과를 Fig. 1에 나타내었다. Si/Co계의 계면반응에 의한 첫 생성상은 380°C , 30분 열처리하였을 때 생성되었고, 첫 생성상은 Co_2Si 이었다. 열처리 온도가 420°C 가 되면, 첫 생성상인 Co_2Si 가 거의 모두 CoSi로 전이되었고, 460°C 이상에서는 Co_2Si 가 모두 사라지고 CoSi만이 존재하였다. 이로부터 Si(1200\AA)/Co(500\AA)박막의 계면반응 순서는 $Co_2Si \rightarrow CoSi$ 임을 확인하였다. Si/Co계면반응에 의한 생성상의 형성 및 전이과정을 이해하고자, 유효생성열 개념을 도입하여 고찰하였다. Co/Si에 대한 유효생성열 다이어그램[12]에서 Si(1200\AA)/Co(500\AA)의 경우, Si : Co의 조성비는 약 1.3 : 1로, 약 56 at.% Si 위치이므로, 첫 결정상으로 Co_2Si 가 생성되고 Co가 모두 소비되면 Co_2Si 가 모두 CoSi로 상전이 함을 알 수 있으며, 상전이 후 잔류하는

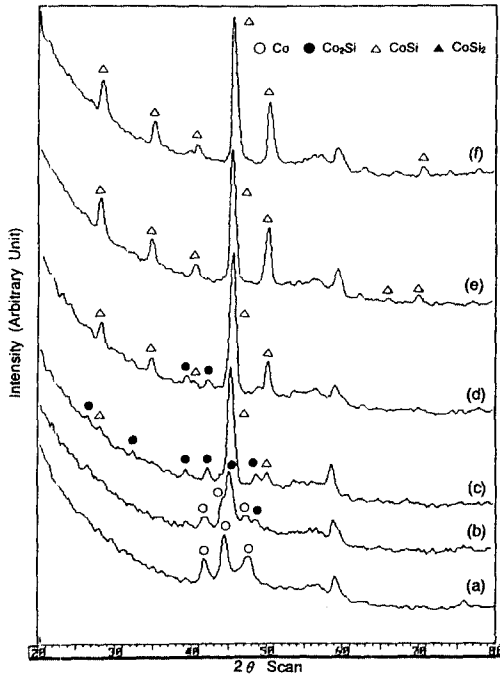


Fig. 1. GXR D patterns of Si(1200Å)/Co(500Å) thin films on SiO₂/(001)Si substrates: (a) as-deposited (b) 340°C, 30 min (c) 380°C, 30 min (d) 420°C, 30 min (e) 460°C, 30 min (f) 500°C, 30 min (g) 600°C, 30 min (h) 700°C, 30 min

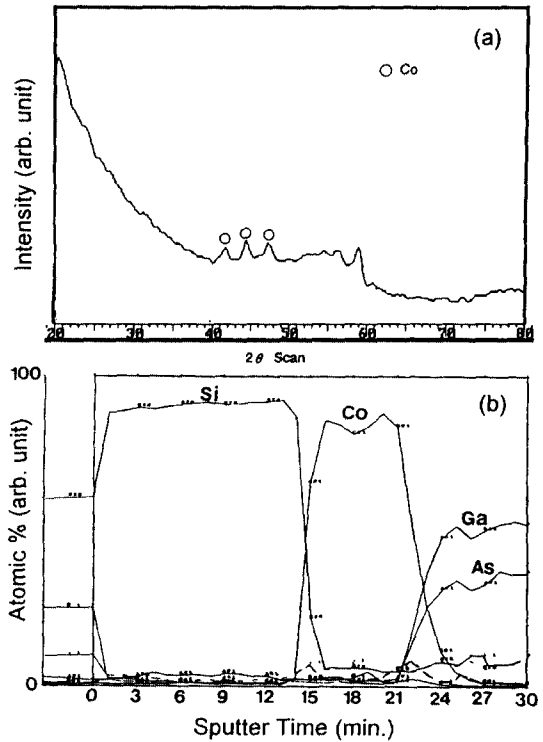


Fig. 2. As deposited state of Si(1200Å)/Co(500Å) on (001) GaAs substrates: (a) GXR D patterns (b) AES depth profile

Si이 거의 없으므로 CoSi₂로의 상전이는 일어나지 못함을 알 수 있었다.

3.2. Si/Co/GaAs계의 계면 반응

(001)GaAs기판에 증착된 Si(1200Å)/Co(500Å) 박막의 열처리 전 GXR D 및 AES depth profile 결과를 Fig. 2에, XTEM 결과를 Fig. 3에 각각 나타내었다. XTEM 결과로부터 Co와 GaAs, Si과 Co 계면은 균일함을 확인하였고, AES depth profile 결과로부터 증착된 박막내에는 미량의 O와 C가 불순물로 존재함을 알았다.

Si/Co/GaAs계의 첫 계면반응은 380°C, 30분 열처리하였을 때 나타났으며 이에 대한 GXR D 및 AES depth profile 결과를 Fig. 4에 나타내었다. GXR D 결과에서 2θ=34° 및 2θ=45°에서 첫 생성상의 peak이 관찰되었고, Co/GaAs계면반응에서 첫 생성상의 GXR D 분석에 대한 보고[13] 및 Si/Co 2원계만의 계

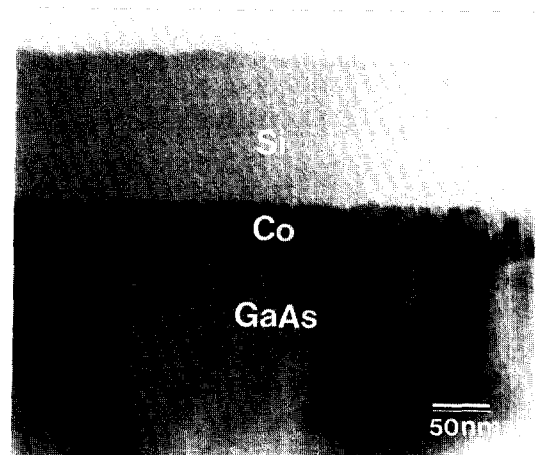


Fig. 3. Cross-sectional TEM micrograph for as-deposited Si/Co/GaAs sample

면반응에 대한 GXR D 결과인 Fig. 1로부터 Si/Co/GaAs계면반응의 첫 생성상은 각각 Co₂GaAs와 Co₂

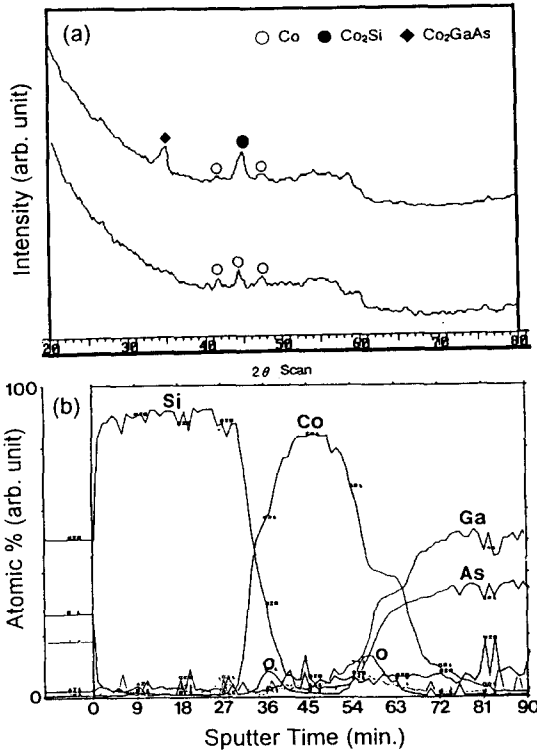


Fig. 4. GXR D patterns and AES depth profile:
 (a) GXR D patterns after annealing at 340°C and 380°C, 30 min
 (b) AES depth profile after annealing at 380°C, 30 min

Si로 판단된다. 또한, AES depth profile결과에서 sputter time 32~37분 구간에 Si과 Co peak이 공존하고 55~65분 구간에 Co, Ga 및 As의 peak이 공존하였으며, 이로부터 이 두 구간에 Co₂Si와 Co₂GaAs상이 각각 형성되었음을 확인하였다.

Fig. 2(b)에 나타낸 열처리 전 AES depth profile결과와 Fig. 4(b)에 나타낸 380°C, 30분 열처리 후 AES depth profile결과의 oxygen peak을 비교하여, oxygen이 Co₂Si/Co계면과 Co/Co₂GaAs계면에 집중되어 있음을 알았다. 이는 Si/Co계면반응에 의하여 Co₂Si 생성시 Co가 주확산 원소라는 보고와[14] Co/GaAs의 계면반응에 의한 Co₂GaAs 생성시 역시 Co가 주확산 원소라는 보고로부터[15], Co가 Si 및 GaAs내로 in-diffusion하여 각각 Co₂Si와 Co₂GaAs상을 생성시키고, Co가 in-diffusion하여 생긴 빈 자리를 Si 및 GaAs 박막내에 분포한 oxygen이 out-diffusion하여 Co₂Si/

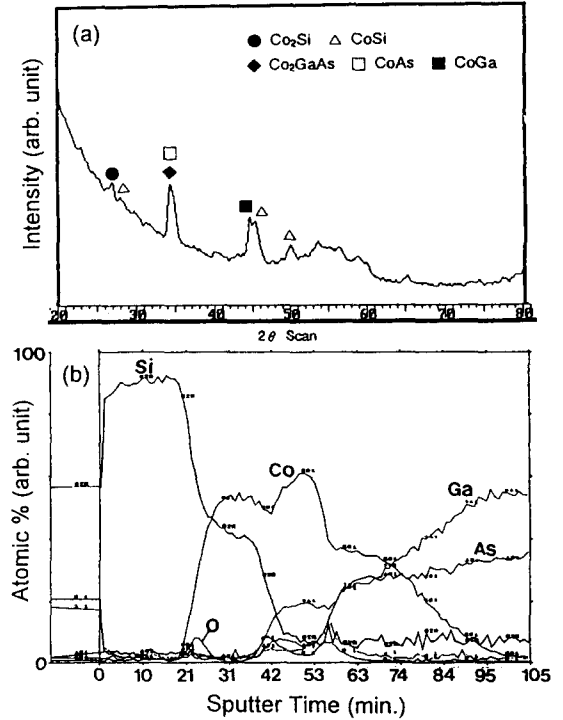


Fig. 5. GXR D patterns and AES depth profile after annealing at 420°C, 30 min
 (a) GXR D patterns (b) AES depth profile

Co계면과 Co/Co₂GaAs계면에 집중되기 때문이라 판단된다.

첫 생성상이후의 상전이 과정을 규명하고자 열처리 온도를 420°C로 증가시킨 후 GXR D분석하여 Fig. 5(a)에 그 결과를 나타내었다. GXR D분석결과, 420°C에서는 Co peak이 모두 사라졌고 Co₂Si와 CoSi가 공존하였으며 CoGa이 새로이 형성됨을 알았고, Co₂GaAs 및 CoAs에 해당되는 2θ=35°부근 peak의 강도가 증가하여 Co₂GaAs의 성장 또는 CoAs상의 형성 혹은 두가지 모두 발생하였음을 예측할 수 있었다. 이를 확인하고자 AES depth profile분석을 하였으며, 그 결과를 Fig. 5(b)에 나타내었다. AES depth profile결과에서, Co층이 모두 사라졌고 Co₂GaAs가 성장하였으며, Co₂GaAs 위에 CoGa이 생성되었고 이 상위에 CoSi(Co₂Si)가 존재하리라 판단된다. 이와 더불어 CoGa층내에 As peak이 약하게 검출되어 CoAs가 생성되었음을 알 수 있었고, 이로부터 GXR D결과에서 나타난 2θ=35°부근 peak의 강도는 Co₂GaAs상의

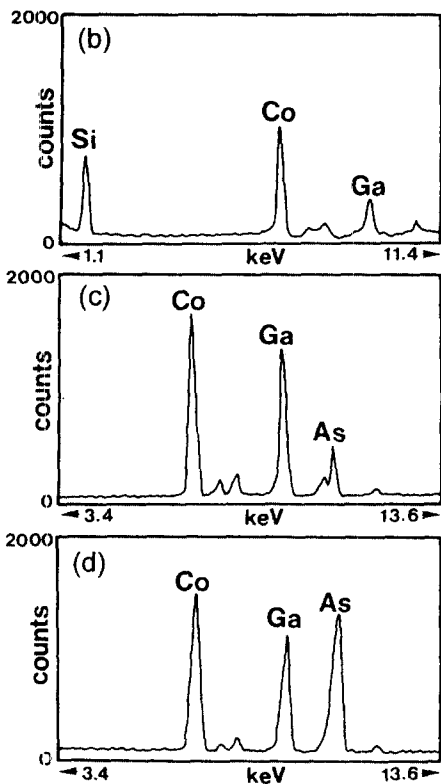
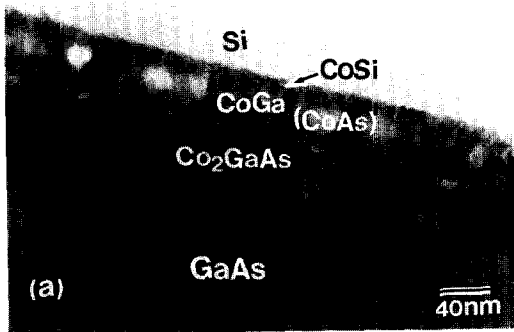


Fig. 6. (a) The bright field XTEM image, (b) EDS spectra from CoSi layer, (c) EDS spectra from intermixed CoGa and CoAs phases, and (d) EDS spectra from ternary phase for 420°C annealed Si/Co/GaAs specimen.

성장과 CoAs상의 형성 두가지 모두에 의하여 증가하였음을 확인하였다. GXR드 및 AES depth profile로부터 유추한 생성상의 층구조를 확인하고자 XTEM 분석을 하였으며 그 결과를 Fig. 6(a)에 나타내었다. 증착직후의 XTEM 결과인 Fig. 3과 비교하여, 맨 윗층

은 Si이고 맨 아래층은 GaAs기판임을 알 수 있었고, 계면반응에 의하여 생성된 상은 Si와 GaAs층 사이에 세층으로 형성되어 있음을 알았다. 계면 반응에 의하여 생성된 상을 확인하고자, TEM에 장착된 EDS분석을 실시하여 Fig. 6(b)-(d)에 그 결과를 나타내었다. EDS분석 결과, GaAs기판 바로 위에 생성된 상은 Co, Ga 및 As 세 원소를 모두 포함하는 상이고 Si 바로 밑에 생성된 상은 Si와 Co로 이루어진 상이며, 두 생성상 가운데는 Co와 Ga으로 이루어진 상 및 미량의 Co와 As으로 이루어진 상이 존재함을 확인하였다. Fig. 6(b)에서, Si와 Co peak외에 Ga peak이 나타난 것은 EDS분석시 spot크기가 단면사진에 나타난 CoSi층보다 커서 CoGa(CoAs)층에 걸치게되어 이층에서 검출된 Ga이 함께 나타났기 때문이라 생각된다. 이와 같은 XTEM 및 EDS결과와 Fig. 5의 GXR드, AES depth profile결과를 비교하여, 420°C, 30분 열처리 후 생성된 층 구조는 Si/CoSi(Co₂Si)/CoGa(CoAs)/Co₂GaAs/GaAs으로 판단된다.

이상에서 얻은 420°C 열처리 후의 층구조와 Co/GaAs만의 계면반응에 대한 연구에서[13, 16] 420°C 열처리 후의 층구조를 비교하여, Si/Co/GaAs계에서는 CoGa상만이 우세하게 생성되고 CoAs상은 미량만이 공존하였을 뿐 Co/GaAs계에서 나타난 CoGa와 CoAs의 수직분리는 나타나지 않았음을 알았다. 이는 Si/Co/GaAs계에서는 Co/GaAs계면 뿐만 아니라 Si/Co계면에서도 반응이 진행되어 Co를 소비하므로, Co₂GaAs가 생성된 후에는 잔재한 Co의 두께가 얇아 CoGa/CoAs의 수직분리가 일어나지 못하고 CoGa와 CoAs가 섞여서 한 층을 이루었기 때문이라고 판단된다. 또한, CoGa이 우세하게 생성되고 CoAs는 미량만이 생성된 원인은 Ga의 확산도가 As의 확산도보다 크기 때문이라 생각된다. 즉, Ga이 먼저 Co₂GaAs층을 통과하여 Co와의 반응으로 CoGa를 생성시키고 Co층을 소비시키면, As이 Co₂GaAs층을 통과하여 Co층으로 확산하여도 이미 CoGa 및 CoSi의 생성으로 대부분의 Co가 소비되었으므로 남은 Co와 반응하여 미량의 CoAs만을 생성시키게 된다.

Co층이 모두 사라져 CoSi(Co₂Si)와 CoGa(CoAs)계면이 형성된 후의 상전이 과정을 고찰하고자 460~700°C 까지 열처리온도를 증가시킨 후 GXR드분석하여 그 결과를 Fig. 7에 나타내었다. 460°C 열처리 후의 GXR드결과로부터 Co₂Si는 모두 사라지고 CoSi만이

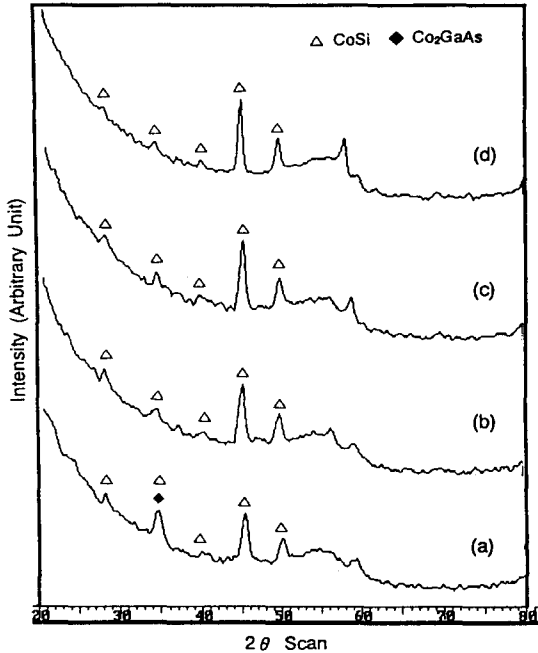


Fig. 7. GXR D patterns after annealing at (a) 460°C, 30 min (b) 500°C, 30 min (c) 600°C, 30 min (d) 700°C, 30 min

존재하였고 $2\theta=35^\circ$ peak의 강도가 줄어들어 Co_2GaAs 및 GaAs 의 감소 또는 소멸을 예측할 수 있었다. 이를 확인하기 위하여 AES depth profile 분석을 하여 그 결과를 Fig. 8(a)에 나타내었다. Fig. 8(a)로부터 Si peak이 sputter time 48분까지 확장되고 Ga와 As peak은 sputter time 48분 이상에서 증가하기 시작하여, 420°C 에서 존재했던 $\text{CoGa}(\text{CoAs})$ 층이 모두 소멸하였고 CoSi 층이 성장하였음을 확인하였다. 또한, sputter time 52~60분 구간에서 Co, Ga 및 As peak이 함께 검출되어 Co_2GaAs 는 아직 잔재하나 그 두께가 420°C 열처리 후의 두께보다 훨씬 줄어들어, GXR D 분석결과에서 $2\theta=35^\circ$ peak의 강도가 줄어든 원인은 $\text{CoGa}(\text{CoAs})$ 의 소멸 및 Co_2GaAs 의 감소로 인한 결과임을 알 수 있었다.

열처리온도가 500°C 이상으로 증가되면 $2\theta=35^\circ$ peak이 모두 사라지고 CoSi peak만이 검출되어 460°C 에서 남아있던 Co_2GaAs 가 모두 사라지고 CoSi 와 GaAs 의 계면이 형성됨을 예측할 수 있었고, Fig. 8(b)의 AES depth profile에서 Si peak이 GaAs 기판에서 까지 검출되어 Co_2GaAs 가 모두 사라지고 $\text{CoSi}/$

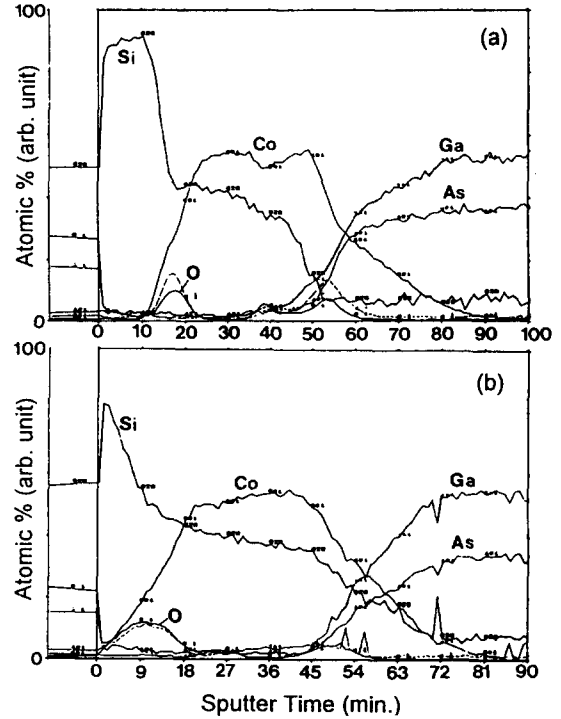


Fig. 8. AES depth profile after annealing at (a) 460°C, 30 min (b) 600°C, 30 min

GaAs 계면이 형성됨을 확인하였다. 또한, Fig. 8과 Fig. 4(b)에 나타낸 380°C, 30분 열처리 후 AES depth profile의 oxygen peak을 비교하여, $\text{Co}_2\text{Si}/\text{Co}$ 계면에 집중되었던 oxygen이 Si/CoSi 계면에 집중되어 있음을 알았다. 이는 CoSi 생성시 Si이 주확산 원소라는 보고로부터 Co_2Si 가 CoSi 로 상전이된 후 Si이 in-diffusion하여 생긴 빈 자리를 oxygen이 out-diffusion하여 Si/CoSi 계면에 집중되기 때문이라 판단된다. 500°C 이상에서 형성된 CoSi 계면을 관찰하고자 600°C, 30분 열처리 후 XTEM 분석하여 그 결과를 Fig. 9(a)에 나타내었다. 열처리 전의 단면사진과 비교하여 맨 윗층은 Si이고 맨 아래층은 GaAs 기판이며 이 두층 사이에 하나의 층이 형성되어 있음을 알았다. 새로 형성된 층을 분석하고자 microdiffraction 분석하여 Fig. 9(b)에 나타내었으며, 이로부터 새로 형성된 층은 CoSi 임을 확인하였다.

이상의 고찰로부터 Co층이 모두 사라져 $\text{CoSi}(\text{Co}_2\text{Si})$ 와 $\text{CoGa}(\text{CoAs})$ 계면이 형성된 후의 상전이 과정은 $\text{CoGa}(\text{CoAs})$ 및 Co_2GaAs 의 소멸과 CoSi 와 GaAs 와의

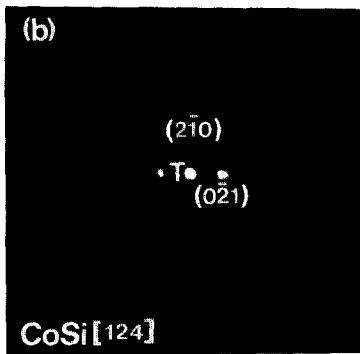
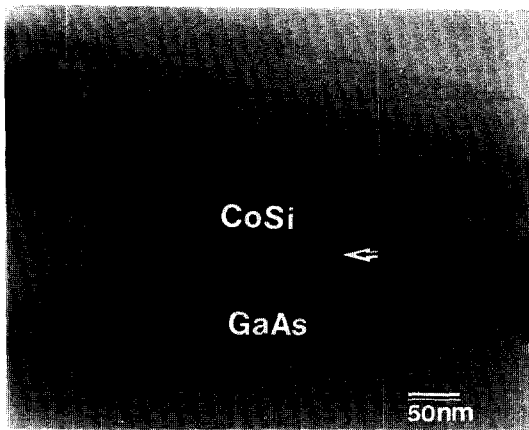


Fig. 9. (a) The bright field XTEM image of Si/Co/GaAs sample at 600°C for 30 min., showing the interface between CoSi and GaAs, and (b) microdiffraction pattern of CoSi.

계면형성임을 확인하였으며, 형성된 CoSi/GaAs계면은 700°C 열처리 후에도 안정하게 존재함을 확인하였다. Si/Co/GaAs계의 열처리 온도에 따른 계면반응에 대한 개략도를 Fig. 10에 나타내었다. Fig. 10으로부터 Si/Co/GaAs계의 계면반응은 Co의 in-diffusion에 의한 Co₂GaAs 및 Co₂Si의 생성으로 시작되었고, 420°C 에서는 Co층이 모두 사라지고 Si/CoSi(Co₂Si)/CoGa(CoAs)/Co₂GaAs/GaAs층이 형성되었으며, 460°C 이상에서는 CoGa(CoAs) 및 Co₂GaAs이 소멸되고 CoSi와 GaAs와의 계면이 형성되었음을 알았다.

3.3. Si-Co-Ga-As 4원계 상태도 계산 및 계면반응과의 비교

본 연구에서는 Si/Co/GaAs계면반응을 열역학 및 상평형 관점에서 고찰하고자, Gibbs 상률에 근거하여 열역학 자료로부터 4원계 상태도의 tie line을 계산할 수 있다고 제안한 A. S. Bhansali 등의 제안[11]에 근거하여 Si-Co-Ga-As 4원계 상태도의 tie line들을 계산하여 Fig. 11에 나타내었다.

본 연구에서 증착시킨 층 구조는 Si(1200Å)/Co(500Å)/GaAs이고, 열처리 온도가 증가하여 상호확산이 일어나면, 두 계면 즉 Si/Co계면과 Co/GaAs계면에서 반응이 진행되었다. 이에 따라 Materials Balance는, Si/Co계면에서는 3.1절에서 나타낸 바와 같이 유효농도가 Co_{0.770}Si_{0.210}인 위치에서 점점 Si쪽으로 이동하였고, Co/GaAs계면에서는 Co/GaAs의 계면반응에 대한

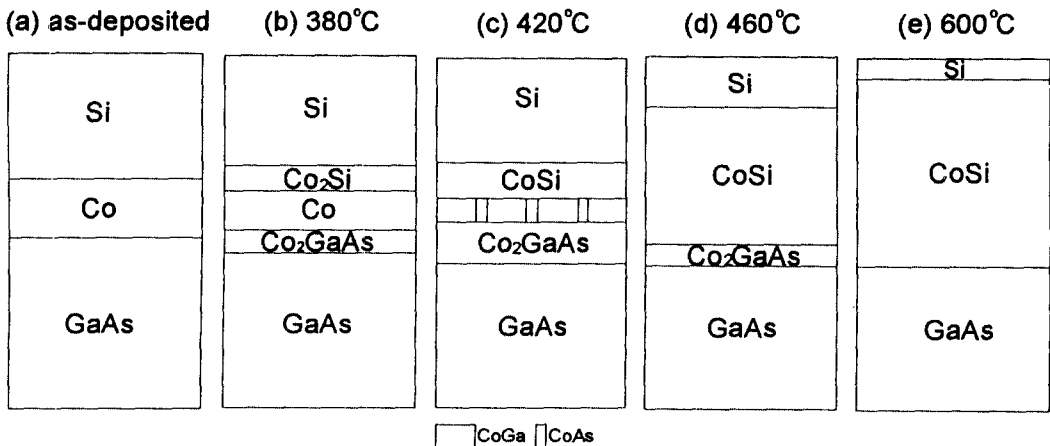


Fig. 10. Schematic representation of phase formation in the Si/Co/GaAs system.

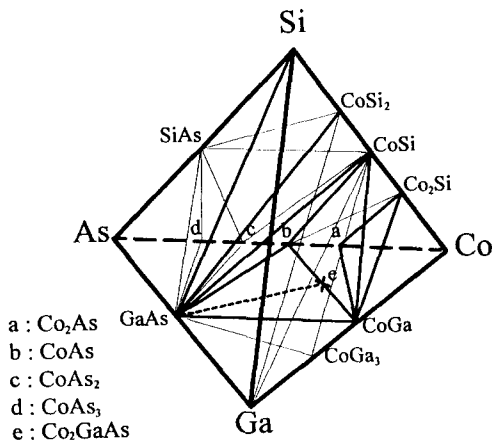


Fig. 11. The calculated Si-Co-Ga-As quaternary phase diagram.

보고로부터[13, 16] Co-GaAs line에서 이동함을 알 수 있었다. 그러므로, Co층이 존재하는 한 Materials Balance는 Si/Co binary와 Co/GaAs ternary에서 각기 독립적으로 이동하게 된다.

열처리 온도가 증가하여 420°C 가 되면 Fig. 6에 나타낸 바와 같이 Co층은 사라지고 CoGa(CoAs)과 Co₂Si(CoSi)가 계면을 형성하게 되며, 열처리 온도가 460°C 로 증가되면 Co₂Si가 모두 CoSi로 상전이 되고 CoGa이 소비되면서 CoSi가 성장한다. 열처리 온도가 500°C 이상의 고온이 되면 CoGa, CoAs 및 Co₂GaAs가 모두 사라지고 CoSi/GaAs계면이 형성되고 잔재한 Si도 거의 모두 사라진다. 이러한 4원계 계면반응은 Fig. 11에 나타낸 Si-Co-Ga-As 4원계 상태도로부터 이해되었다. 4원계 상태도에서, CoGa(CoAs)과 Co₂Si(CoSi)에는 Co₂Si-CoAs만 제외하고 모두 tie line이 존재하여 안정한 계면이 형성되고, Si의 공급이 계속됨에 따라 Co₂Si가 모두 CoSi로 전이하여 CoSi/CoGa(CoAs)/GaAs 층구조가 형성되면, 이 네 상은 4원계 상태도에서 tie-tetrahedron을 형성하므로 안정하게 존재하리라 추측되었다. 그러나, Co의 공급은 없고, Ga, As 및 Si의 공급은 계속되므로, CoSi-CoGa-CoAs-GaAs로 이루어진 tie tetrahedron내에 있던 Materials Balance가 CoSi-CoSi₂-GaAs tie plane으로 이동하게 됨을 알 수 있다. 그러므로, 계면반응 실험에서 420°C, 30분 열처리 후 생성된 층 구조인 Si/CoSi(Co₂Si)/CoGa(CoAs)/Co₂GaAs/GaAs에서 CoGa(CoAs)이 소멸되고 Co₂GaAs가 감소하며 CoSi층이 성장하는 원인은,

Si-Co-Ga-As 4원계 상태도에서 Co의 공급은 중단되고 Si, Ga 및 As의 공급은 계속되어 CoSi-CoGa-CoAs-GaAs tie tetrahedron내에 있던 Materials Balance가 CoSi-CoSi₂-GaAs tie plane으로 이동하여 CoSi/GaAs계면이 안정하게 되기 때문이라 판단된다. 한편, 600°C 이상에서는 Si의 공급도 더 이상 계속되지 않으므로, CoSi-CoSi₂-GaAs tie plane에 있던 Materials Balance가 Si-CoSi₂-GaAs tie plane으로 이동하지 않고 머물러 있으므로, CoSi/GaAs 계면이 고온까지 안정하게 존재하였다고 판단된다.

이상의 결과로부터 Si/Co/GaAs계면반응의 결과는 계산에 의하여 구한 Si-Co-Ga-As 4원계 상태도로 잘 설명되어짐을 확인하였다.

4. 결 론

본 연구에서는 Si/Co 계면반응을 연구하고, 이를 기초로 Si/Co/GaAs 계의 계면반응 및 상평형에 대한 연구를 수행하여 다음과 같은 결론을 얻었다.

1. Si/Co/GaAs계에서는, Si/Co계면에서 Co₂Si가, Co/GaAs계면에서는 Co₂GaAs가 첫생상상으로 나타났으며, 계면반응 전후의 oxygen peak의 변화로부터 주확산원소는 Co₂Si와 Co₂GaAs 모두 Co임을 확인하였다.

2. Si/Co/GaAs계의 420°C, 30분 열처리 후 생성된 층 구조인 Si/CoSi(Co₂Si)/CoGa(CoAs)/Co₂GaAs/GaAs에서 열처리 온도가 증가함에 따라, Co의 공급은 중단되고 Si, Ga 및 As의 공급은 계속되어 Si-Co-Ga-As 4원계 상태도에서 CoSi-CoGa-CoAs-GaAs tie tetrahedron내에 있던 Materials Balance가 CoSi-CoSi₂-GaAs tie plane으로 이동되기 때문에 CoGa(CoAs)이 소멸되고 Co₂GaAs가 감소하며 CoSi층이 성장하였다.

3. Si/Co/GaAs계의 계면반응에 의한 층구조는 Si/Co/GaAs→Si/Co₂Si/Co/Co₂GaAs/GaAs→Si/CoSi/Co₂GaAs/GaAs→(Si)/CoSi/GaAs로 변화하였고, 이 결과는 열역학 계산으로부터 구한 Si-Co-Ga-As 4원계 상태도의 예측과 일치하였다.

감사의 글

본 연구는 1994년도 교육부 학술연구조성비(반도체 분야, ISRC-94-E-3053)의 지원에 의한 것으로 이에

감사드립니다.

참고문헌

1. R. Williams, *Modern GaAs Processing Methods*, Artech Press. (1990).
2. H. Morko et al, *Principles and Technology of MOD-FETs*, Wiley, London (1991).
3. T. C. Shen, G. B. Gao, and H. Morko, *J. Vac. Sci. Technol.* **B10**, 2113 (1992).
4. T. Sands, V. G. Keramidas, K. M. Yu, J. Washburn, and K. Krishnan, *J. Appl. Phys.* **62**, 2070 (1987).
5. S. R. Smith and J. S. Solomon, *Mater. Lett.*, **3**, 294 (1985).
6. E. D. Marshall, W. X. Chen, C. S. Wu, S. S. Lau, and T. F. Kuech, *Appl. Phys. Lett.*, **47**, 298 (1985).
7. K. Tanahashi, H. J. Takata, A. Otuki, and M. Murakami, *J. Appl. Phys.*, **72**, 4183 (1992).
8. L. C. Wang, S. S. Lau, E. K. Hsieh, and J. R. Velebir, *Appl. Phys. Lett.*, **54**, 2677 (1989).
9. L. C. Wang, X. Z. Wang, S. S. Lau, T. Sands, W. K. Chan, and T. F. Kuech, *Appl. Phys. Lett.*, **56**, 2129 (1990).
10. R. Beyers, K. B. Kim, and R. Sinclair, *J. Appl. Phys.*, **61**, 2195 (1987).
11. A. S. Bhansali, R. Sinclair, and A. E. Morgan, *J. Appl. Phys.*, **68**, 1043 (1990).
12. R. Pretorius, *Mater. Sci. Eng.*, **R10** 1 (1993).
13. 광준섭, 백홍구, 신동원, 박찬경, 김창수, 노삼규, 한국재료학회지, Submitted
14. G. J. van Gurp, W. F. van der Weg, and D. Sigurd, *J. Appl. Phys.* **49**, 4011 (1978).
15. M. Genut and M. Eizenberg, *J. Appl. Phys.*, **66**, 5456 (1989).
16. J. S. Kwak, H. K. Baik, J. I. Lee, S. K. Noh, D. W. Shin, and C. G. Park, *Mater. Res. Soc. Proc.* **337** 337 (1994).