

## $\alpha$ -Si의 contact hole 수의 증가에 따른 MIM antifuse의 전기적 특성

이상기 · 김용주 · 임원택 · 이동윤 · 권오경\* · 이창호

한양대학교 물리학과, 서울 133-79, \*한양대학교 전자공학과  
(1995년 2월 10일 접수)

### Electrical characteristics of MIM antifuse with contact hole numbers of $\alpha$ -Si.

Sang Gi Lee, Yoong Ju Kim, Won Taeg Lim, Dong Yun Lee,  
Oh Kyong Kwon\* and Chang Hyo Lee

Department of Physics, Hanyang University, Seoul 133-791, Korea  
Department of Electronics Engineering, Hanyang University, Seoul 133-791, Korea  
(Received February 10, 1995)

**요 약** - 물성을 달리한  $\alpha$ -Si을 사용하여 MIM(Metal-Insulator-Metal)구조의 antifuse들을 제작하고, 물성의 변화에 따른 전기적 특성의 변화를 조사하였다.  $\alpha$ -Si은 PECVD(Plasma Enhanced Chemical Vapor Deposition)방법으로 증착하였으며, 물성은 RF power를 달리하여 변화시켰다.  $\alpha$ -Si MIM 구조의 antifuse를 프로그래밍할 때 생기는 failure rate를 줄이기 위해 전극 사이에 삽입되는  $\alpha$ -Si의 contact hole 크기와 갯수를 변화시켜 보았다. MIM antifuse는 contact hole이 2개 이상일 때 failure rate가 10% 이내로 줄었으며, 프로그래밍 전류는 거의 변화가 없었다. 항복전압은 10-11V 범위에 집중적으로 분포하였으며, 5V에서의 누설전류는 contact hole의 수가 증가함에 따라 커짐을 알았다.

**Abstract** - We fabricate MIM antifuses with  $\alpha$ -Si and investigate the electrical characteristics of the antifuses.  $\alpha$ -Si is deposited by PECVD at various RF power to vary the properties of  $\alpha$ -Si. To decrease the failure rate of  $\alpha$ -Si MIM antifuse, we change  $\alpha$ -Si MIM antifuse structure with the contact hole size and the number of holes. The failure rate is limited to about 10% above 2-contact holes and programming current is nearly constant. We find that the breakdown voltage density is high at 10 to 11V, while the leakage current increases with contact hole numbers at 5V.

## 1. 서 론

Antifuse는 비전도 상태에서 전도 상태로 변환될 수 있는 전기적 스위치로서 fuse와 반대되는 개념이다. 즉 초기 저항은 높은 값을 유지하지만 충분히 높은 전류와 전압 펄스를 작용하면 낮은 저항값을 가지는 연결 소자이다[1].

구조로는 상부전극과 하부전극 사이에 절연체를 삽입하는 수직 구조와 절연체의 좌우 끝에 전극을 만드는 평면 구조 등이 있다[2]. 전극 물질로는 n<sup>-</sup> poly, refractory 물질 등 비저항이 낮으며 hillock 등이

성장되지 않는 물질들이 사용되며, 절연체로는 nitride, oxide,  $\alpha$ -Si, nitride-oxide 적층 등이 주로 사용되고 있다.

현재까지는 전극 물질로 p<sup>+</sup>, n<sup>+</sup> silicon, 절연체로 ONO(Oxide-Nitride-Oxide) 구조 등을 사용한 antifuse들이 주로 연구되어 왔으나 이 구조는 제작 온도가 높을 뿐만 아니라 두께 조절이 어려우므로 공정상 어려움이 뒤따른다[3]. 그러므로 공정이 쉽고 두께 조절이 용이한  $\alpha$ -Si과 refractory material을 전극으로 사용하는 MIM 구조의 연구가 진행되고 있는 실정이다 [4].

기존의 연구는 주로 antifuse의 항복전압 분포, 온저항 분포, 누설전류, filament형성모델에 관한 것이었다[5]. 그러나 절연체로 사용된  $\alpha$ -Si의 물성에 따른 antifuse의 특성이나 위의 문제점들을 해결할 수 있는 구조적인 방법들이 구체적으로 제시되지 않았다.

본 연구에서는 MIM구조의 antifuse들을 비정질 실리콘의 물성을 달리하여 제작하고 이들의 전기적 특성을 조사하였다. 또한, 현재 사용되고 있는 단순한 구조에서 벗어나 다양한 구조로 antifuse를 제작하여, 이들의 기본 특성을 조사함으로써 더욱 더 향상된 특성을 갖는 antifuse의 모델을 제시하고자 한다.

### 2. 실험 방법

RF sputtering방법으로 p-type 실리콘 웨이퍼 위에 하부전극인 Mo를 400 nm 증착하였으며, 상부전극은 식각의 편의상 Al전극을 150 nm 증착하였다.

절연체로 사용된  $\alpha$ -Si은 PECVD방법으로 증착하였으며 이 때 초기 진공을  $3 \times 10^{-6}$  torr를 유지하였고, SiH<sub>4</sub>와 H<sub>2</sub>의 유량은 각각 6 sccm, 24 sccm이며, 증착압력은 200 mTorr, 기판온도는 200°C 이었다.

실리콘 산화막을 식각하기 위해 포토리소그래피 작업을 행하였으며, 이 때 HF(49%)와 DI water의 비를 1 : 10으로 섞은 용액을 사용하여 상온에서 40초 동안 식각하였다(식각속도 5 nm/s). 상부전극 Al은 H<sub>3</sub>PO<sub>4</sub> : HNO<sub>3</sub> : CH<sub>3</sub>COOH : DI water의 비를 16 : 1 :

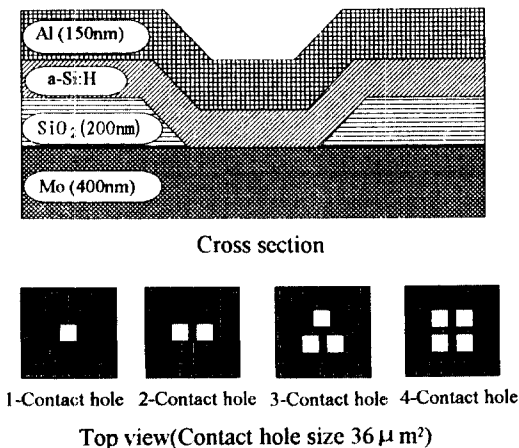


Fig. 1. Schematic cross section and top view of a MIM antifuse.

1 : 2로 혼합한 용액을 사용하여 상온에서 식각하였다 (식각속도 50 nm/min). 절연체와 상부전극의 포토리소그래프에 의한 식각과정을 거쳐 MIM구조인 Al/ $\alpha$ -Si/Mo antifuse들을 제작하였으며 구조는 Fig. 1과 같다.

전기적 특성 및 실용성을 향상시키는 조건을 얻기 위하여, 위의 조건에서 RF power를 변화시키면서  $\alpha$ -Si을 증착하여 MIM antifuse들을 제작하였고 HP4145 B로 항복전압에 대한 특성을 조사하였다. 비정질 실리콘과 전극을 식각하기 위하여 4장의 마스크를 제작하였고, 구조적 개선점을 찾기 위해 비정질 실리콘을 식각하는 마스크는 전극 사이에 삽입되는 contact hole의 크기를 6  $\mu$ m, 8  $\mu$ m, 10  $\mu$ m, 12  $\mu$ m가 되도록 제작하였으며, 각각의 contact hole 크기를 1개, 2개, 3개, 4개의 군으로 제작하여 항복전압, 누설전류, 프로그래밍 전류 특성을 조사하였다.

### 3. 결과 및 논의

Fig. 2는 RF power를 3W(17.68 mW/cm<sup>2</sup>)로 하여 증착한  $\alpha$ -Si에서 두께가 증가함에 따라 항복전압도 증가함을 나타낸다. 이는 막의 절연특성이 두께에 따라 변화됨을 나타낸다. 비정질 실리콘은 수소농도를 조절하여 막의 특성을 향상시킴으로써 항복전압을 조절할 수도 있으나, 항복전압은 두께의 함수이므로,

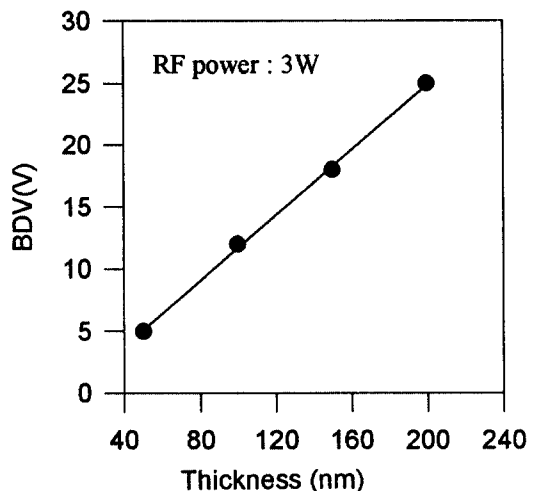


Fig. 2. Breakdown voltage as function of the  $\alpha$ -Si thickness.

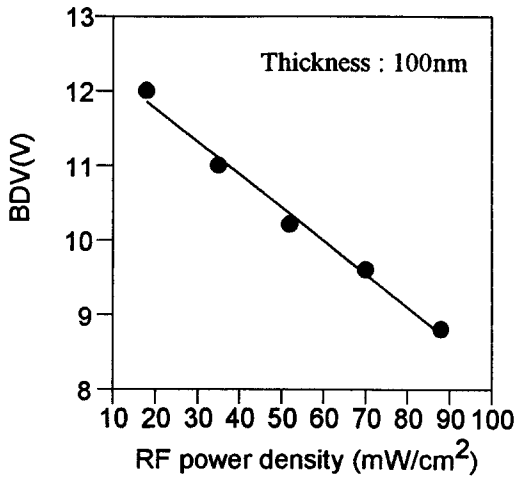


Fig. 3. Breakdown voltage as a function of RF power density.

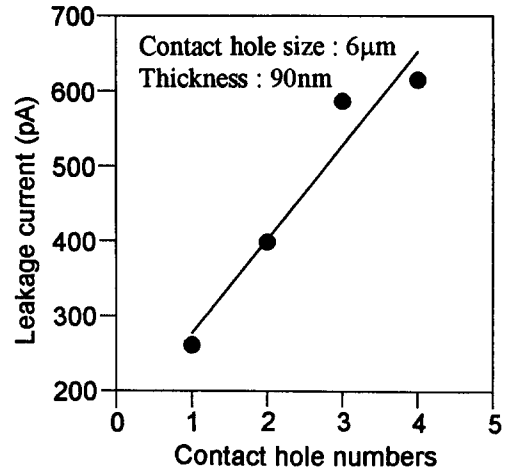


Fig. 5. The leakage current as a function of contact hole numbers.

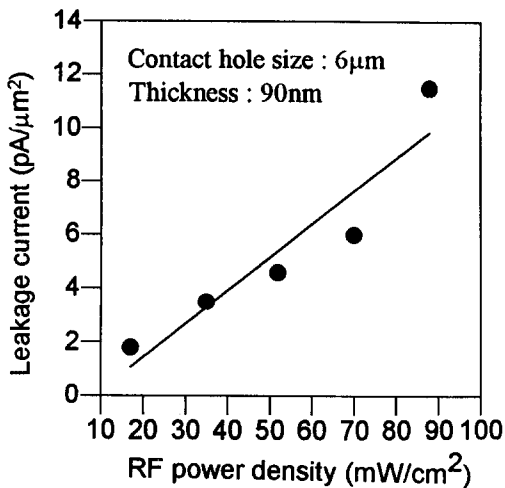


Fig. 4. The leakage current of Al/ $\alpha$ -Si/Mo antifuse at various RF power conditions.

두께조절로 항복전압을 선택할 수 있다. 또한, 전기장이 가장 강한 부분에서 필라멘트가 형성되므로 항복전압의 분포를 줄이기 위해 전극으로 사용하는 물질은 hillock이 성장되지 않는 refractory 물질을 사용하여야 한다. Fig. 2로부터 MIM antifuse의 항복전압을 선택하기 위한 두께를 결정할 수 있으며, 10V 항복 전압을 얻기 위해  $\alpha$ -Si의 두께는 90 nm가 적당함을 알 수 있다.

Fig. 3은 RF power가 증가함에 따라 항복전압이 감소함을 보이고 있다. 이 사실은  $\alpha$ -Si이 높은 RF po-

wer에서 주상구조를 갖게되어 많은 결함을 형성하는 반면, 낮은 RF power에서는 물결무늬 성장을 하게 되므로 결함이 적고 실리콘 원자들이 비교적 안정된 위치를 점유하고 있어 구조적으로 훨씬 안정하게 될을 나타낸다. 그러므로 낮은 RF power에서 성장한  $\alpha$ -Si이 MIM 구조에서 절연체로서 적합함을 시사해준다.

Fig. 4는 RF power에 따른 누설전류를 나타낸다. 누설전류는 작동전압(5V)에서 off상태의 contact hole에 흐르는 전류이므로 막의 defect의 존재가 중요한 역할을 하며, 전극과 절연체의 상호작용 및 절연체 주변의 field oxide가 중요한 역할을 한다. Fig. 3에서 보듯이 낮은 power에서 양질의 박막을 얻었으며, 마찬가지로 누설전류의 특성을 향상시킬 수 있다.

또한, Fig. 5은 contact hole수의 증가에 따라 누설전류가 증가함을 보이고 있다. 이는 전극과 접촉면적이 증가함에 따라 누설전류가 증가함을 의미한다. 그러므로 접촉면적을 줄이기 위해 각각의 contact hole의 크기를 줄이고 그 수를 2~3개 정도로 제작하면 전극과 접촉면적을 줄일 수 있어 누설전류의 특성을 향상시킬 수 있다.

Fig. 6은 contact hole수의 증가에 따라 프로그래밍 전류의 변화를 나타낸 것이다. 이는 contact hole수에 따라 프로그래밍 전류에는 거의 변화가 없음을 보이고 있다. 프로그래밍 전류는 막의 특성과 관계가 있으며 antifuse의 필라멘트 형성에 중요한 역할을 한다. 필라멘트는 Joule열에 의한 절연체의 용융으로 형성되

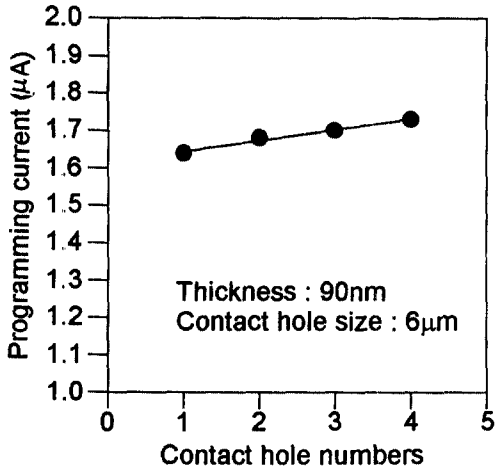


Fig. 6. The programming current as a function of contact hole numbers.

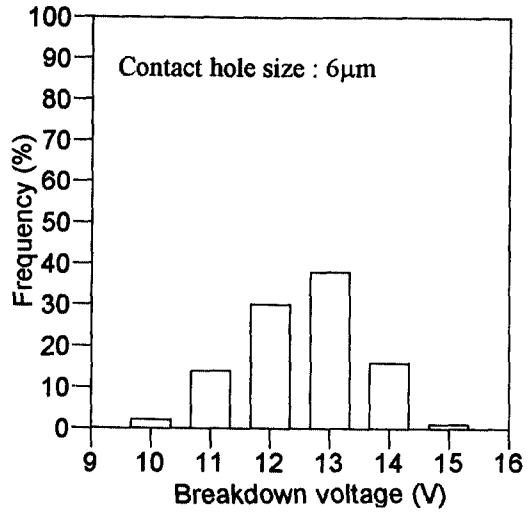


Fig. 8. Histogram of Vp for Al/α-Si (90 nm)/Mo antifuse with 1-contact hole.

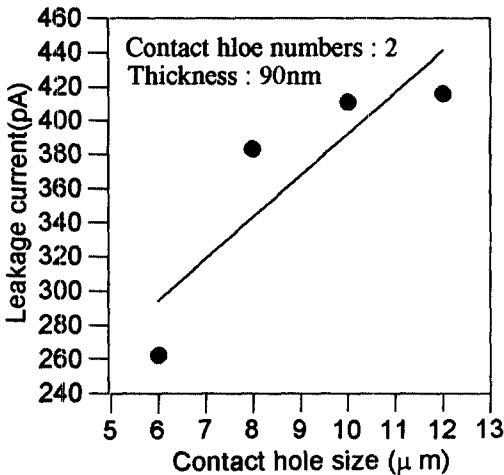


Fig. 7. The leakage current as a function of contact hole size.

므로 프로그래밍 전류의 증가에 따라 필라멘트의 반경이 증가한다. 필라멘트의 반경이 증가함에 따라 온저항은 감소하게 되므로 연결소자로의 속도 특성을 향상시킬 수 있다. 그러므로 contact hole 수가 증가되어도 hole중에서 하나만 필라멘트로 형성되며, 프로그래밍 전류도 hole이 1개일 경우와 거의 변화가 없으므로 contact hole의 증가는 antifuse 프로그램시 power증가와 거의 무관함을 알 수 있다.

Fig. 7은 contact hole이 2개일 경우 hole의 크기에 따른 누설전류를 나타낸 것이다. Fig. 5에서와 마찬가지로 전극과 접촉하는 절연물질의 면적이 증가할수록

누설전류가 증가함을 보이고 있다.

따라서 제작한 시료중 누설전류가 낮은 6 µm의 contact hole에 대한 antifuse의 항복전압, 빈도수, failure rate를 측정하였다.

Fig. 8은 6 µm크기의 contact hole이 1개일 경우 항복전압의 빈도수를 나타낸 것이다. 항복전압이 넓게 분포되어 있으므로 연결소자의 프로그래밍 전압은 14 V가 되어야 거의 모든 antifuse를 on상태인 전도상태로 만들 수 있다. 낮은 전압에서 분포하는 빈도수가 많으면 누설전류가 증가할 뿐만 아니라, 작동전압에서의 신뢰도에 문제점이 제기된다고 할 수 있다.

Fig. 9는 contact hole이 2개일 경우 항복전압과 빈도수와의 관계이다. 항복전압의 분포가 10V에서 72%, 11V에서 28%로 좁은 영역의 전압에서 항복전압이 분포되므로, 11V에서 모든 소자를 프로그래밍하여 전도채널을 형성할 수 있다. Contact hole이 1개일 경우보다 집중된 분포로 인해 원하는 항복전압을 정확히 조절할 수 있고, 안정된 소자로 사용할 수 있다.

Fig. 10은 contact hole 크기가 6 µm, 두께 90 nm인 경우 전류크기는 10 mA로 제한하여 주입하고, 전압 펄스는 15V, 3.2 ms로 인가하여 α-Si antifuse의 contact hole 수에 따른 필라멘트의 failure rate를 나타낸 것이다. Contact hole을 1개 이상으로 증가시키면 failure rate는 점점 감소함을 보이고 있으며, 3개일 경우

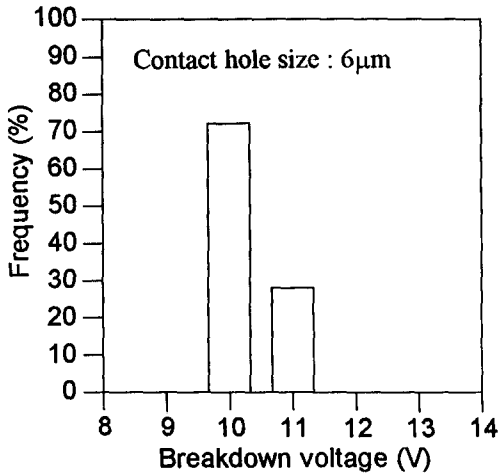


Fig. 9. Histogram of Vp for Al/α-Si(90 nm)/Mo anti-fuse with 2-contact holes.

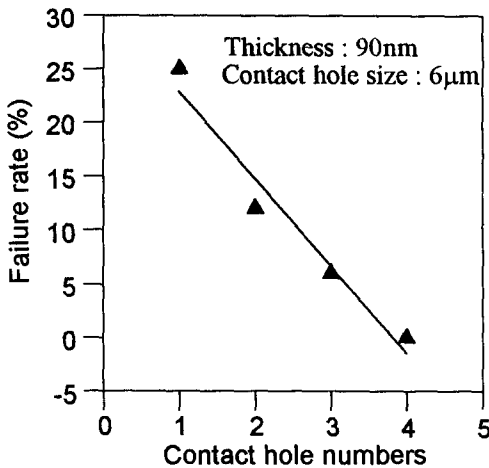


Fig. 10. The failure rate as a function of contact hole numbers.

6% 정도로 낮아졌고, 4개일 경우 cell 모두가 안정되게 switching됨을 보이고 있다. Antifuse는 전극양단에 전압을 인가할 때 필라멘트가 형성되어야 연결소자로 사용할 수 있지만 막의 물성에 따라 filament off가 일어나서 프로그램 전압 이하 또는 이상에서 필라멘트가 형성되는 경우가 존재한다. 이러한 경우가 많이 발생할 때 FPGA (Field-Programmable Gate Arrays) 로의 응용이 힘들며 신뢰도가 떨어지게 된다. 그러므로 모든 소자가 작동전압 이상에서 필라멘트가 형성

되도록 하기위해서 failure rate를 낮추어야 한다. 즉 failure rate를 10% 이내로 감소시키기 위해서는 contact hole의 수를 2개 이상으로 증가시킬 필요가 있다. 셀의 크기를 증가시켰을 경우도 Fig. 10과 마찬가지로 경향을 보였다.

#### 4. 결 론

여러 RF power에서 증착한 α-Si으로 MIM anti-fuse를 제작하여 막의 특성에 따른 항복전압과 누설 전류를 측정된 결과 다음의 결론을 얻을 수 있었다.

가능한 낮은 RF power인 3W에서 증착한 α-Si으로 항복전압 10V, 누설전류 2 mA/μm<sup>2</sup>인 양질의 anti-fuse특성을 얻었으며, programming voltage를 얻기 위한 두께를 실험적으로 쉽게 구할 수 있었다.

α-Si의 contact hole수가 2개 이상인 경우 누설전류는 증가하였으나 failure rate는 감소하는 경향을 보이고 있으며 contact hole이 4개일 경우 failure rate는 거의 0%임을 나타냈다. 또한 항복 전압의 분포도는 contact hole의 수가 2개 이상일 때, 요구되는 항복전압에 밀집됨을 보였다. 즉 contact hole수의 증가는 누설전류를 증가시키지만 항복전압 분포를 10 V 범위에 집중시킬 수 있으며 failure rate를 감소시킬 수 있었다. 그리고 contact hole의 크기를 작게 함으로써 누설전류를 어느 정도 감소시킬 수 있었다.

위의 결과로 미루어 볼 때 contact hole수가 2~3개일 경우 1개일 때보다 차지하는 면적이 약간 증가하기는 하지만 failure rate도 줄일 수 있고, 프로그래밍 전류 또한 1개일 때와 거의 차이가 없어 antifuse 특성을 향상시킬 수 있었다.

#### 참고문헌

1. C. Hu, *IEDM. Tech. Dig.*, 591 (1992).
2. S. Chiang, et. al., *IEDM. Tech. Dig.*, 611 (1992).
3. S. Chiang, et. al., *IEEE VLSI Tech. Symposium*, 20-21 (1992).
4. S. Cohen, et. al., *IEEE Electron Device Lett.*, 13(9), 471(1992).
5. Yosi Shacham-Diamand, *IEEE Transaction on Electron Devices*, 40(10), 1780 (1993).