

전극 재료와 산화분위기에 따른 게이트 산화막의 전기적 특성에 관한 연구

정희환 · 정관수

경희대학교 전자공학과
(1994년 11월 10일 접수)

Study on Electrical Characteristics of Gate Oxide with Electrode Materials and Oxidation Ambients

Hoi Hwan Chung and Kwan Soo Chung

Department of Electronic Engineering, Kyunghee University, Suwon, 449-900
(Received November 10, 1994)

요 약 - 건식, 습식, 건식/습식 산화분위기로 성장한 게이트 산화막 위에 Al, 인 도핑된 다결정 실리콘, 비정질 실리콘/인 도핑된 다결정 실리콘을 증착하여 제작한 금속-산화물-반도체(metal-oxide-semiconductor:MOS)의 전기적 특성을 순간 절연파괴(TZDB), 정전용량-전압(C-V)과 경시절연파괴(TDDB)로 평가하였다. Al 게이트에서 습식산화막과 건식산화막의 평균 파괴전계는 각각 9.0 MV/cm, 7.7 MV/cm이었고, 습식산화막이 건식산화막보다 낮은 유동전하(Q_m)와 계면 고정전하(Q_{ss})를 가졌다. 다결정 실리콘 게이트에서는 습식산화막의 평균 파괴전계가 8.4 MV/cm 이었으며, Al 게이트보다 0.6 MV/cm 정도 낮았다. 이것은 다결정 실리콘/습식산화막 계면에서 인(phosphorus) 확산으로 다결정 실리콘의 grain 성장과 산화막의 migration에 의한 roughness 증가에 기인한다. 그러나 다결정 실리콘/건식산화막 계면에서 roughness 증가는 없었다. 다결정 실리콘 게이트에서는 건식/습식 산화막이 건식산화막과 습식산화막보다 평균 파괴전계와 절연파괴전하(Q_{BD})가 높았다. 또한 다결정/비정질 실리콘 게이트에서는 습식산화막의 평균 파괴전계가 8.8 MV/cm이었으며, 다결정 실리콘 게이트에서보다 0.4 MV/cm 정도 높았다. 다결정/비정질 실리콘 구조는 앞으로 VLSI 적용에 있어서 게이트 전극으로 매우 유용할 것이다.

Abstract - The electrical characteristics of metal-oxide-semiconductor(MOS) fabricated by depositing Al, phosphorus(P)-doped polysilicon and amorphous silicon(a-Si)/P-doped polysilicon(poly-Si) onto gate oxide grown by dry, wet and dry/wet oxidation ambients were evaluated by time zero dielectric breakdown(TZDB), capacitance-voltage(C-V) and time dependent dielectric breakdown(TDDB). The average breakdown field of the wet and the dry oxides with Al gate was 9.0 MV/cm, 7.7 MV/cm respectively. The wet oxides with Al gate have lower Q_m (mobile oxide charge) and Q_{ss} (fixed oxide charge) than that of the dry oxides. The average breakdown field of the wet oxides with poly-Si gate was 8.4 MV/cm, 0.6 MV/cm lower than those of the Al gate. This is attributed to the increase of roughness due to the grain growth of poly-Si gate and migration of oxide by phosphorus diffusion at the poly-Si/wet oxide interface. But, there was no the increase of roughness at the poly-Si/dry oxide interface. The average breakdown field and the total charge to breakdown (Q_{BD}) of the dry/wet oxides with poly-Si gate have higher than that of the dry, and wet oxides. Also, the average breakdown field of the wet oxides with a-Si/poly-Si gate was 8.8 MV/cm, 0.4 MV/cm higher than that of the poly-Si gate. It is believed that this structure can offer a superior performance for gate electrode in future VLSI applications.

1. 서 론

반도체 공정상의 lithography 기술과 미세가공 기술의 발전에 힘입어 집적회로의 집적도가 submicron 시대로 접어들게 되었다.

이러한 초고집적화 및 미세화와 함께 소자에 대한 고기능화, 고속화, 고신뢰화에 대한 필요성이 높아지고 있는 실정이다. 고집적 및 고속화를 목표로 하는 MOS (metal-oxide-semiconductor) 공정기술에서 크기가 감소함에 따라 게이트 절연막의 두께가 감소하여[1] 게이트 절연막에 고전계가 인가되게 되었다.

따라서 신뢰성의 확보가 중요한 과제로 대두 되어 최근에는 저전압화도 진행되고 있으나 속도 측면에서 문제가 되고, 캐패시터의 전하 확보가 어려운 문제로 대두되고 있다. 이 때문에 실리콘 기판상에 열산화된 산화막의 박막화에는 여러가지 문제가 뒤따르게 되었다[2-5].

따라서 실리콘 기판 위에 신뢰성이 탁월한 초박 절연막(ultra-thin oxide)을 형성하는 것이 전술한 소자의 실현을 위하여 필요하고, deep submicron 소자의 실현에 중요한 요소가 될 것이다[6]. 또한 이러한 deep submicron 소자에 사용되는 절연막은 결함 밀도(defect density)가 적어 절연 내압이 높고, 방사선 조사(radiation)에 강하고, 경시절연파괴(time dependent dielectric breakdown : TDDB) 수명이 길어 신뢰성이 우수한 특성을 갖출 필요성이 있다. 이러한 요구에 부응하는 절연막으로서 열산화막과 질화산화막이 계속해서 연구되고 있지만, 절연막의 결함발생 원인을 정확히 파악해서 절연막의 특성을 개선하는 것도 중요한 문제이다. 산화막의 신뢰성에 영향을 주는 요인 중에는 여러가지가 있지만 그 중에서도 특히 MOS 게이트 전극으로 사용하고 있는 폴리사이드(polyicide)와 살리사이드(salicide) 구조에서 다결정 실리콘의 막질 자체가 중요한 요소중의 하나이다.

산화막의 전기적 특성에는 여러가지 process 조건이 관계되는데 본 연구에서는 Al과 인 도핑된 다결정 실리콘 게이트 전극을 사용하여 건식산화막과 습식산화막의 장, 단점을 전기적 특성을 통하여 비교, 평가하였으며 건식과 습식 산화분위기에 성장한 건식/습식 산화막에 대해서도 평가하였다.

또한 다결정 실리콘에 전기적 특성을 좋게하기 위하여 $POCl_3$ 을 이용하여 인(phosphorus)을 도핑하는데

인 이온이 습식산화막에 미치는 영향을 조사하였으며, 인 도핑된 다결정 실리콘/비정질 실리콘 구조로 게이트 전극에 적용하여 산화막의 전기적 특성에 대해서도 평가하였다.

2. 실 험

본 실험에서 사용된 시료는 다음과 같은 공정 순서에 의해서 Fig. 1과 같이 제작하였다. 시편 제작을 위해 사용된 반도체 기판은 결정면이(100)이고 비저항이 $3\sim 7 \Omega \cdot cm$ 인 직경 4인치 P형 실리콘 웨이퍼이다.

각 시편은 표준 세정공정을 거친 후 열산화법으로 건식산화막은 $950^\circ C$ 에서 200\AA , 습식산화막은 $820^\circ C$ 에서 200\AA , 건식/습식 산화막은 $820^\circ C$ 에서 각각 $100\text{\AA}/100\text{\AA}$, $50\text{\AA}/150\text{\AA}$ 성장하였다. Table 1은 각 시료에 대한 종류를 나타내었다. 각각의 시료는 $950^\circ C$ 질소 분위기에서 30분 동안 어닐링(annealing)을 하였으며 건식산화시에는 2% HCl을 첨가하였다. 그리고 최종적으로 각 시료에 대한 게이트 전극을 DC 마그네트론 스퍼터링으로 8000\AA 의 Al(1% Si)을 증착하였다. 이때 온도는 $250^\circ C$ 이고 압력은 1×10^{-6} Torr이었다. Metal 마스크를 이용하여 사진 식각 공정을 거친후 Al 전극 영역을 습식 식각으로 정의하였고 $460^\circ C$ 의

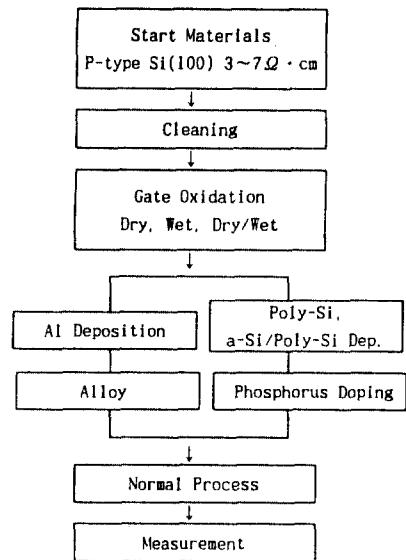


Fig. 1. Process sequence of MOS capacitor

Table 1. List of sample types

Sample Types	S1	S2	S3	S4
Dry Oxide(Å)	200	100	50	0
Wet Oxide(Å)	0	100	150	200
Gate Materials	Al, Poly-Si, a-Si/Poly-Si			

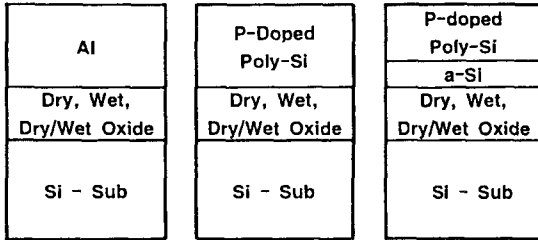


Fig. 2. The MOS capacitor structure of (a) Si/SiO₂/Al, Si/SiO₂/Poly-Si and (b) Si/SiO₂/a-Si/Poly-Si

H₂(10%)/N₂(90%) 분위기에서 30분간 열처리하였다. 다결정 실리콘 게이트 전극은 LPCVD법으로 620°C에서 SiH₄을 열분해하여 3000Å 증착하였고, 이때 생긴 PSG(phosphosilicaglass)층은 1 : 99 HF 용액으로 제거하였다.

비정질/다결정 실리콘 게이트 전극은 540°C에서 300Å의 비정질 실리콘(a-Si)을 증착한 후 in-situ로 620°C에서 2700Å의 다결정 실리콘(poly-Si)을 증착하여, 각각 950°C에서 30분 동안 POCl₃을 이용하여 도핑(doping)하였다. 캐패시터 영역을 정의하기 위해서 PR mask 과정을 거쳐 식각하고 Al(1% Si)을 8000Å으로 전극을 완성한 시료의 단면도를 Fig. 2에 나타내었다.

3. 결과 및 고찰

3.1. Al 게이트 전극에 따른 산화막의 전기적 특성

3.1.1. 순간 절연파괴(TZDB) 특성

순간 절연파괴(time zero dielectric breakdown : TZDB)의 메카니즘은 주로 공정에서 생성되는 결함에 기인된다고 보고되고 있다[7]. 결함은 산화막이 성장될 때 산화막과 bulk 실리콘과의 계면, 산화막 중에 불순물 첨가, 불균일성 등에 기인된 weak oxide 영역이 생성된 것을 말한다. 이 weak oxide에서 국소적인 전자장이 물리케 될 때 전류는 급격하게 증가

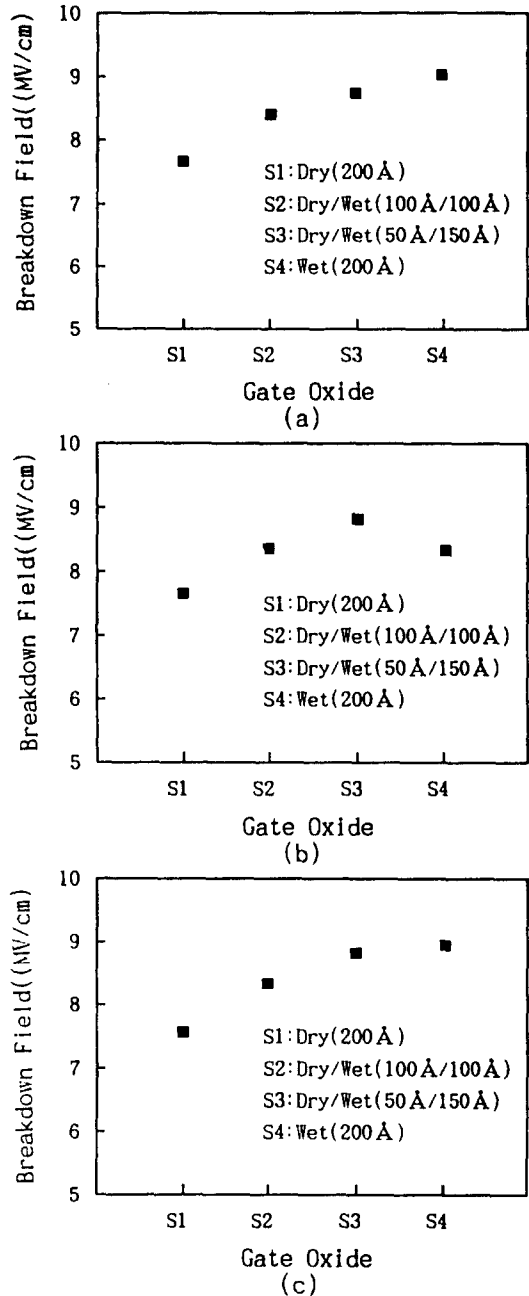


Fig. 3. Average breakdown field of dry, wet, double oxide for (a) Al, (b) Poly-Si, (c) a-Si/Poly-Si gate electrode.

되어 절연파괴 현상이 일어난다.

TZDB는 게이트 산화막 특성평가의 효과적인 방법의 하나이다. 이것은 짧은 시간에 데이터를 얻을 수

있는 잇점이 있다. semiconductor parameter analyzer (HP 4145B)를 사용하여 전압을 증가시켜 전류가 1 μ A일 때 파괴전압으로 규정하였다. Fig. 3은 Table 1에서 나타낸 각각의 시료에 대해서 게이트 전극재료를 Al, 다결정 실리콘과 비정질/다결정 실리콘을 사용하여 절연파괴전계 값을 웨이퍼당 10개의 캐패시터를 측정하여 평균값을 취하여 나타내었다. Fig. 3(a)에서 게이트 전극재료를 Al을 사용한 경우 평균 절연파괴전계 값을 나타낸 것으로써 이는 순수하게 산화막 자체만을 평가하였을 때이다.

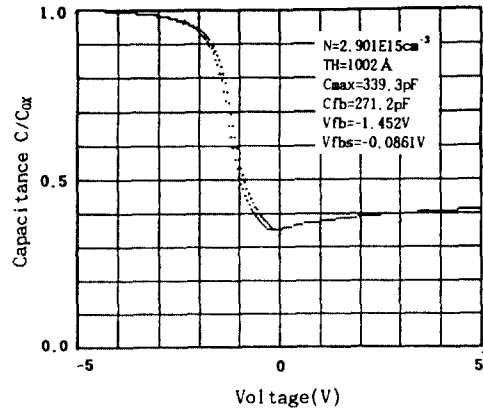
건식산화막의 평균 파괴전계는 7.7 MV/cm인 반면, 습식산화막의 경우는 9.0 MV/cm의 값을 갖고 있음을 알 수 있다. 건식산화막보다는 습식산화막이 1.3 MV/cm정도 높게 나타났다.

3.1.2. C-V 특성

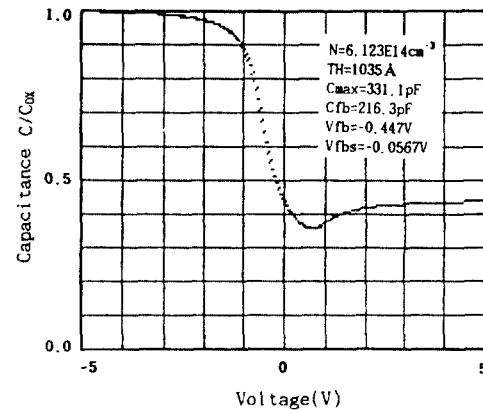
LCR meter(HP4275)를 사용하여 건식산화막과 습식산화막을 고주파 C-V 특성을 통하여 평가하였다. Fig. 4는 정전용량(capacitance) 값을 측정하여 그래프화 한 것이다. Fig. 4의 C-V곡선으로 부터 유동전하 (mobile oxide charge : Q_m)와 계면 고정전하(fixed oxide charge : Q_{ss})를 계산하였는데[8] 건식산화막인 경우에는 $Q_m = 9.222E10$ [Ions/cm²], $Q_{ss} = 4.224E10$ [Ions/cm²]이었으며, 습식산화막은 $Q_m = 5.136E10$ [Ions/cm²], $Q_{ss} = 2.969E10$ [Ions/cm²]이었다. 습식산화막이 건식산화막보다 낮은 Q_m , Q_{ss} 값을 나타내었다. TZDB 및 C-V 특성으로부터 게이트 전극재료를 Al 사용하여 순수하게 산화막의 전기적 특성을 평가하였을 때 습식산화막이 건식산화막에 비해 높은 파괴전계와 낮은 Q_m 과 Q_{ss} 값을 나타내었다.

E. H. Nicollian과 A. G. Revesz는 산화막에 전계가 가해지면 전자들이 산화막 내의 결함(defect) 부분으로 집중되며 습식산화막의 경우는 Si-OH group이 많이 존재하여 이것은 유입된 전자를 포획하여 전기화학적 반응을 일으키게 되고 다음과 같은 형태 $\equiv Si-OH + e^- \rightarrow (Si-O) + H$ 로 된다고 보고하였다[9-11].

결국, OH나 그 밖의 물에 관계된 radical이 micropore나 void를 메꾸거나 또는 SiO₂ 막중의 응력을 완화해서 micropore나 void 발생을 억제하기 때문에 균일한 산화막을 형성하여 내압분포를 증가시킨다고 볼 수 있으며, Si-OH의 전자포획은 산화막내의 결함에 집중되는 전계를 약화시켜 결과적으로 산화막 내압 특성인 TZBD를 좋게한다고 생각된다. 그리고 Q_m 값



(a)



(b)

Fig. 4. C-V characteristics of (a) dry, (b) wet oxide.

이 작게 되는 것은 습식산화시 OH 이온이 mobile 이온들에 대한 clean 및 게더링(gettering) 효과가 있다는 것을 말해주고 있다.

또한, 전기화학적 반응 결과로 발생한 H 원자는 산화막내의 broken bond 및 Si/SiO₂ 계면의 Si 덩글링 본드와 반응하여[12, 13] 산화막의 특성을 좋게하고, Q_{ss} 값을 낮추어 주는 데 H가 큰 역할을 한 것으로 사료된다.

3.2. Poly-Si 게이트 전극에 따른 산화막의 전기적 특성

3.2.1. 경시절연파괴(TDDB) 특성

경시절연파괴(time dependent dielectric breakdown : TDDB) 특성으로부터 산화막의 장기수명이나 고장률을 예측할 수 있으므로 TDDB는 산화막의 신

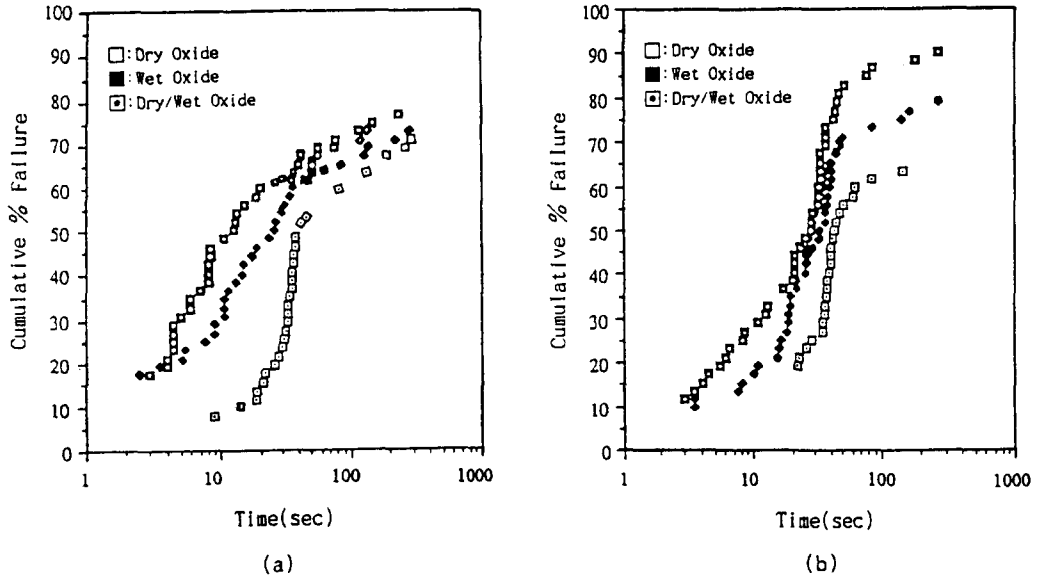


Fig. 5. Cumulative failure(%) versus dielectric breakdown time of dry, wet, double oxide for (a) $+0.4A/cm^2$ and (b) $-0.4A/cm^2$ stress on Poly-Si gate electrode.

뢰성을 평가하는데 중요한 방법중의 하나이다[14, 15].

경시절연파괴(TDDB)는 산화막내에 또는, cathode-SiO₂ 계면근방에서 존재하는 trap에 포획된 정공이 cathode-SiO₂ 계면의 전계를 강화, Fowler-Nordheim 전류를[16] 증가시키고 이 증가된 전류가 다시 trap된 정공을 증가시키는 이런 현상들이 반복되는 정(+) 캐환 작용을 일으켜 절연파괴를 나타내게 될 것이다[17, 18]. 경시절연파괴는 전압 또는 전류 스트레스를 인가한 순간에는 파괴되지 않지만 스트레스 인가 후 어느 시간 경과하고 나서 절연파괴되는 현상이다[19, 20].

본 실험에서는 단위 면적당 $+0.4A/cm^2$ 와 $-0.4A/cm^2$ 의 전류밀도를 갖는 전류를 인가하여 절연막이 파괴될 때까지 걸리는 시간을 parameter analyzer(HP 4145B)를 사용하여 측정하였다. 이때 캐패시터의 면적은 $0.004 cm^2$ 이었다. Fig.5는 산화막이 파괴될 때까지 걸리는 시간에 따른 축적된 파괴율(cumulative % failure)을 나타내었다. 시간에 따라 게이트 전압이 증가하다가 급격히 떨어지는 시간, 즉 절연막의 항복이 일어나는 시간으로 t_{BD} 를 정의하면 항복이 일어날 때까지의 총전하 Q_{BD} 는 다음 식으로부터 구할 수 있다.

$$Q_{BD} = \int_0^{t_{BD}} J dt = J \cdot t_{BD} (C/cm^2) \quad (1)$$

TDDB 특성 분포에서는 진성 절연파괴와 관련된 것과 결합에 관련된 파괴를 동시에 가질 수 있다. 전기적 스트레스에 의해 파괴 될때까지 걸리는 시간은 습식산화막이 건식산화막보다, 건식/습식 산화막이 건식산화막과 습식산화막보다 초기파괴도 현저하게 감소되었고 50% 누적불량에 도달하는 시간도 길게 나타났다.

또한 절연파괴에 도달하는 전하량(Q_{BD})은 식(1)로부터 계산하면 다결정 실리콘 게이트에서는 건식/습식 산화막이 가장 큰 값을 갖는 것을 알 수 있다. 스트레스 시간에 따른 산화막의 누적 파괴율 거동이 양과 음의 전류에 대하여 건식/습식 산화막에서는 차이가 없음을 Fig.5에서 알 수 있는데, 이는 산화막 질이 우수하다는 것을 나타낸다.

3.2.2. 순간 절연파괴(TZDB) 특성

Fig.3(b)에서 게이트 전극재료를 다결정 실리콘을 사용하였을 경우 평균 파괴전계 값을 나타낸 것으로써 건식산화막과 건식/습식 산화막에서는 Al 게이트 전극과 같은 값인 7.7 MV/cm, 8.5 MV/cm이었으나 습식산화막의 경우 8.4 MV/cm로 Al 게이트 전극에서와 달리 0.6 MV/cm 정도 떨어지는 것을 알 수 있었다. 습식산화막에서 평균 절연파괴 값이 Al 게이트 전극과 비교해서 감소하는 것은 다결정 실리콘/산화막 계면

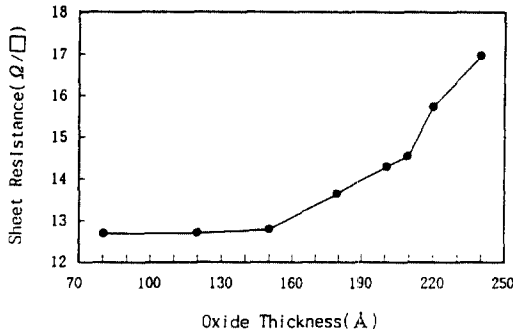


Fig. 6. Sheet resistance versus wet oxide thickness.

에서의 거칠기 증가로 사료된다.

3.2.3. 습식산화막의 물리적 특성

Fig. 6은 실리콘 기판에 습식산화막을 두께에 따라 성장하고 각 시료에 대해서 950°C 에서 30분간 POCl₃ 로 인을 도핑한 후 산화막을 100 : 1HF와 50 : 1 BOE (NH₄F : HF)에서 식각하여 RS-50 계측장비(4-point probe)를 이용하여 실리콘 기판의 면저항을 측정하여 나타내었다. 그림에서 알 수 있듯이 산화막이 200Å 까지는 다량의 인(P) 이온이 산화막 내부에 도핑된 후 실리콘 기판으로 확산되었음을 알 수 있다.

P 이온은 습식산화막(SiO₂)의 Si 이온과 치환되면서 침투하고 SiO₂가 P_xO_y로 변화해서 점도(viscosity)가 적은 PSG화 된다. Fig. 7은 실제로 사용되는 게이트 절연막보다 얇은 75Å의 습식산화막을 성장한 후 다결정 실리콘을 3000Å 증착하고 POCl₃로 인을 도핑한 후 SIMS 분석을 나타내었다.

다결정 실리콘에 도핑된 인 이온이 다결정 실리콘/습식산화막 계면에서 pile-up된 현상을 볼 수 있으며 습식산화막 내에서도 인 이온이 침투되었다는 것을 알 수 있다. 다결정 실리콘/산화막 계면을 HRTEM 으로 관찰하여 Fig. 8에 나타내었다. 다결정 실리콘/건식산화막과 다결정 실리콘/건식/습식 산화막 계면에서는 산화막 두께가 균일하였지만, 다결정 실리콘/습식산화막 계면에서는 산화막 두께가 불균일 한 것을 확인 할 수 있었다. 건식산화막에서는 밀도가 조밀하고 단단하기 때문에 발생하지 않은 것으로 사료된다.

위의 결과로 부터 다결정 실리콘 게이트 전극을 사용한 경우에 Al 게이트 전극의 경우와 달리 습식 산화막에서 TZDB와 TDDB특성이 떨어지는 것은 다결정 실리콘에 전기적 특성을 좋게하기 위하여 인을

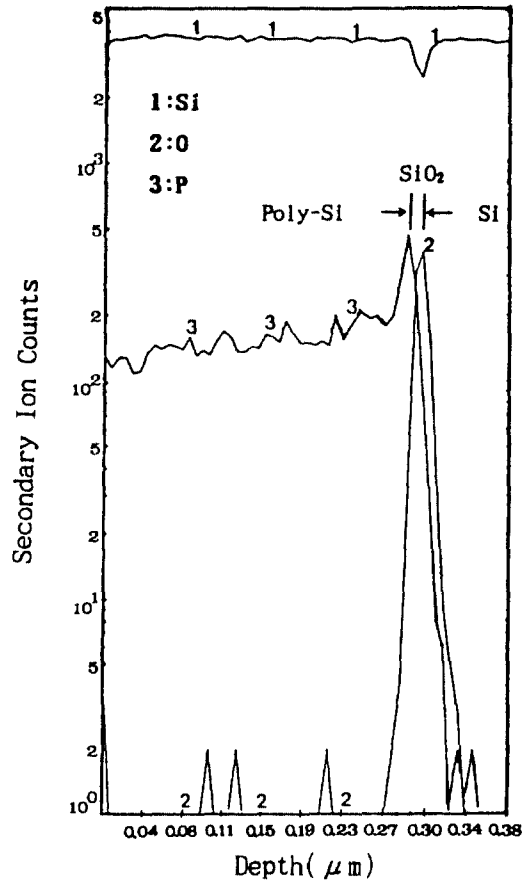


Fig. 7. SIMS depth profile of phosphorus for phosphorus-doped poly-Si/SiO₂ interface.

도핑하면 인 이온이 다결정 실리콘의 grain boundary를 따라 침투될 때 다결정 실리콘의 Si-Si bond의 Si와 P 이온이 서로 치환되어 Si-P 결합으로 grain이 커지고[21], 특히 다결정 실리콘/산화막 계면에서 pile-up된 P 이온이 Si-P 결합으로 grain 커져서 다결정 실리콘 하부의 산화막이 부분적으로 강한 스트레스를 받아 산화막 함몰이 발생하기 때문일 것이다.

또한, 함몰이 발생한 부분의 산화막은 결합력이 약해져 다결정 실리콘/산화막 계면에 pile-up된 P 이온과 산화막(SiO₂)의 Si와 치환되어 P_xO_y로 변화해서 PSG화 되기 때문에 산화막 열화에 원인이 되고, 점도가 적은 PSG는 grain의 크기가 커짐에 따른 스트레스로 다결정 실리콘, grain boundary 또는 약한 결합 부분으로 migration이 일어나 다결정 실리콘/산화막 계면에서 거칠기가 발생하기 때문이다.

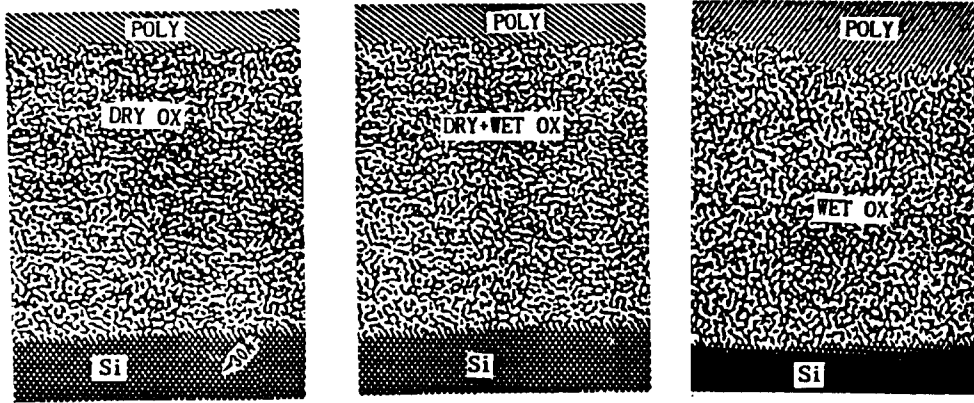


Fig. 8. Cross sectional HRTEM photographs of Poly-Si/(a) dry, (b) dry/wet, (c) wet oxide interface.

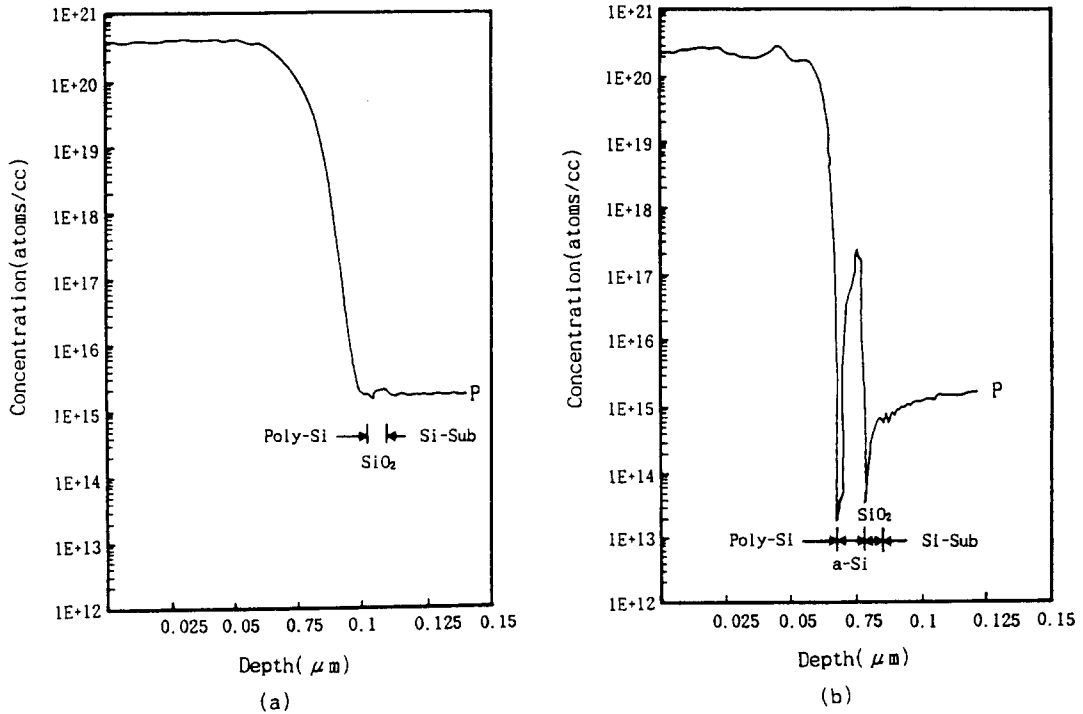


Fig. 9. ASR data of phosphorus for (a) poly-Si/SiO₂, (b) a-Si/Poly-Si/SiO₂ interface.

3.3. 비정질/다결정 실리콘 게이트 전극에 따른 습식산화막의 전기적 특성

Fig. 9는 다결정 실리콘/습식산화막, 다결정/비정질 실리콘/습식산화막 계면에서 인 농도 분포를 ASR (auto spreading resistance)로 분석하여 나타내었다. 다결정 실리콘보다도 비정질/다결정 실리콘이 산화막

과의 계면에서 인 이온의 양이 급격히 감소된 것을 알 수 있다.

이 원인은 다결정 실리콘과 비정질 실리콘과의 grain의 크기 차이보다는 다결정/비정질 실리콘 계면에서의 grain mismatch로 인 이온의 침투를 완하시켜 산화막내로 확산을 방지하는 효과가 있어 산화막의

열화 현상을 방지할 수 있다.

Fig. 3(c)에서 게이트 전극재료를 비정질/다결정 실리콘을 사용하였을 경우 평균 파괴전계 값을 나타낸 것으로써 건식산화막에서는 다결정 실리콘 게이트와 거의 같은 값인 7.7 MV/cm이었고, 습식산화막의 경우에 다결정 실리콘 게이트에서는 8.4 MV/cm, 비정질/다결정 실리콘 게이트에서는 8.8 MV/cm로 다결정 실리콘 게이트보다 0.4 MV/cm 정도 높았고, Al 게이트보다는 0.2 MV/cm 정도 낮았다. 게이트 절연막으로 전기적 특성이 우수한 습식산화막을 사용할 경우에는 다결정/비정질 실리콘을 전극 재료로 적용할 수 있을 것이다.

4. 결 론

산화막의 전기적 특성을 조사하기 위하여 Al, 인 도핑된 다결정 실리콘, 인 도핑된 다결정/비정질 실리콘 게이트 전극으로 사용하여 건식, 습식, 건식/습식 산화분위기에서 성장한 게이트 산화막의 TZDB, C-V와 TDDB 특성을 평가하였다.

Al 게이트를 사용하여 건식, 습식산화막에 대해서 전기적 특성을 평가한 결과 습식산화막이 높은 파괴전계와 낮은 Q_m 과 Q_{ss} 를 가졌다.

다결정 실리콘 게이트에서는 전기적 특성을 좋게 하기 위하여 인을 도핑하면 다결정 실리콘의 grain 성장과 습식산화막의 migration으로 다결정 실리콘/습식산화막 계면에서 산화막 두께가 불균일하였지만, 다결정 실리콘/건식산화막 계면에서는 균일하였다. 전기적 특성이 우수한 습식산화막과 다결정 실리콘과의 계면에서 균일한 특성을 가지는 건식산화막을 조합한 건식(50Å)/습식(150Å) 산화막이 가장 높은 파괴전계와 절연파괴전하(Q_{BD})을 가졌다. 다결정/비정질 실리콘 게이트에서는 다결정 실리콘 게이트 전극보다 습식산화막의 파괴전계가 높았다. 게이트 절연막으로 전기적 특성이 우수한 습식산화막을 사용할 경우에는 다결정/비정질 실리콘을 전극 재료로 적용할 수 있을 것이다.

참고문헌

1. P. J. Wright and K. C. Saraswat, *IEEE Trans. Electron Device* **37**(8), 1884 (1990).
2. W. A. Tiller, *J. Electrochem. Soc.*, **127**(3), 619 (1980).
3. C. Hu, *IEDM Tech. Dig.*, P.368 (1885).
4. K. L. Chen, S. A. Saller, I. A. Groves and D. B. Scott, *IEEE Trans. Electron Devices*, **ED-32**(2), 386 (1985).
5. J. E. Chung, M. C. Jeng, J. E. Moon, P. K. Ko and C. Hu, *IEEE Trans. Electron Devices* **38**(3), 545 (1991).
6. I. C. Chen, S. E. Holland and C. Hu, *IEEE Trans. Electron Devices*, **ED-32**(2), 413(1985).
7. K. Tsukamoto et al., *IEDM Tech. Dig.*, P.328, (1987).
8. S. Wagner and C. N. Bergludv, *Rev. Sci. Instrum.* **43**, 1775-1777, Dec. (1972).
9. E. H. Nicollian, A. Goetzberger, C. N. Berglund, *Appl. Phys. Lett.*, **15**, 174 (1969).
10. E. H. Nicollian, C. N. Berglund, P. F. Schmidt, J. M. Andrew, *J. Appl. Phys.*, **42**, 5654 (1971).
11. A. G. Revesz, *J. Electrochem. Soc.*, **126**, 122 (1979).
12. Yu Wang, Y. Nishioka, T. P. Ma and R. C. Barker, *Appl. Phys. Lett.*, **52**(7), 573 (1988).
13. Yu Wang, Y. Nishioka, T. P. Ma and R. C. Barker, *IEEE IRPS*, 145 (1988).
14. T. Hori, and H. Iwashki, *IEDM Tech. Dig.*, P.570, (1987).
15. H. H. Tsai, L. C. Wu, and C. Y. Wu, *IEEE Electron Device Lett.*, **EDL-8**(4), 143 (1987).
16. C. M. Osburn, *J. Electrochem. Soc.*, **121**, 809 (1974).
17. C. Hashimoto, S. Muramoto, N. Shiono and O. Nakajima, *J. Electrochem. Soc.*, **127**, 129 (1980).
18. I. C. Chen, S. E. Holland, C. and *IEEE*, 413 (1985).
19. X. R. Cheng, B. Y. Liu, and Y. C. Cheng, *Applied Surface Science*, **30**, 237(1988).
20. S. P. Li and J. Meserjian, *Solid-State Electron Devices*, **37**(7), 1643 (1990).
21. K. Yoneda, Y. Fukuzaki, K. Satoh, Y. Todokoro and M. Inoue, *Mat. Res. Soc. Symp. Proc. Vol.* **182**, 321 (1990).